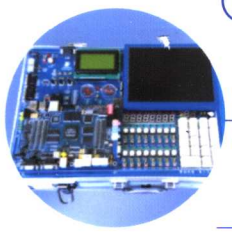
博创科技策划



Nios II系统开发设计与应用实例

Nios II

孙　恺　程世恒　编著

北京航空航天大学出版社

Nios II 系统开发设计与应用实例

孙 恺 程世恒 编著

北京航空航天大学出版社

内 容 简 介

本书介绍了使用 Altera 公司 SOPC Builder、Nios II IDE 等软件建立以 Nios II 处理器为核心的嵌入式系统的方法以及 Nios II 的高级使用技巧。内容包括 FPGA/CPLD 开发基础，Altera FPGA/CPLD 的结构，Quartus II 的基本应用，Quartus II 辅助设计工具的应用，ModelSim SE 的基本应用，Nios II 处理器，Avalon 总线规范，Nios II 系统开发设计基础，Nios II 系统设计基础开发实例，Nios II 系统设计综合提高实例，基于嵌入式操作系统的 Nios II 系统设计与应用等。

本书适合高等院校相关专业的本科高年级、研究生以及 SOPC 技术应用开发人员阅读参考。

图书在版编目(CIP)数据

Nios II 系统开发设计与应用实例 / 孙恺，程世恒编著.
北京：北京航空航天大学出版社，2007.8
ISBN 978-7-81077-991-3

Ⅰ. N… Ⅱ. ①孙…②程… Ⅲ. 微处理器—系统设计
Ⅳ. TP332

中国版本图书馆 CIP 数据核字(2007)第 098568 号

Nios II 系统开发设计与应用实例
孙 恺 程世恒 编著
责任编辑 唐 瑶 张 楠
*
北京航空航天大学出版社出版发行
北京市海淀区学院路 37 号(100083) 发行部电话：010-82317024 传真：010-82328026
http://www.buaapress.com.cn E-mail：bhpress@263.net
涿州市新华印刷有限公司印装 各地书店经销
*
开本：787×1 092 1/16 印张：20.25 字数：518 千字
2007 年 8 月第 1 版 2007 年 8 月第 1 次印刷 印数：5 000 册
ISBN 978-7-81077-991-3 定价：32.00 元

前 言

随着微电子设计技术与工艺的发展，数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路(VLSIC)逐步发展到今天的专用集成电路(ASIC)。ASIC 的出现降低了产品的生产成本，提高了系统的可靠性，缩小了设计的物理尺寸。但是 ASIC 因其设计周期长，改版投资大，灵活性差等缺陷制约了它的应用范围。FPGA/CPLD 设计正好弥补了这一缺陷。

FPGA/CPLD 具有功能强大，开发工程投资小、周期短，可反复编程修改，保密性能好，开发工具智能化等特点，特别是随着电子工艺的不断改进，低成本 FPGA/CPLD 器件推陈出新。新一代的 FPGA 甚至集成了中央处理器(CPU)或数字处理器(DSP)内核，在一片 FPGA 上进行软硬件协调设计，为实现片上可编程系统(SOPC，System On Programmable Chip)提供了强大的硬件支持。

SOPC 是 Altera 公司提出来的一种灵活、高效的 SOC 解决方案。SOPC 是一种特殊的嵌入式系统：首先它是片上系统 SOC；其次它是可编程系统，具有灵活的设计方式，可裁剪、可扩充、可升级，并具备软硬件在系统可编程的功能。

SOPC 结合了 SOC 和 FPGA/CPLD 各自优点，具备以下基本特征：

- 至少包含一个嵌入式处理器内核。
- 具有小容量片内高速 RAM 资源。
- 丰富的 IP 核资源可供选择。
- 足够的片上可编程逻辑资源。
- 处理器调试接口和 FPGA 编程接口。
- 可能包含部分可编程模拟电路。
- 单芯片，低功耗，微封装。

SOPC 是 PLD 和 ASIC 技术融合的结果。目前 0.13 μm 的 ASIC 产品制造价格仍然相当昂贵，相反，集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑的 SOPC 芯片在应用的灵活性和价格上有极大的优势，所以 SOPC 被称为“半导体产业的未来”。

Nios II 是由硬件描述语言编写的基于 FPGA 的软核 CPU，是 Altera 公司 SOPC 战略的重要组成部分。Nios II 嵌入式处理器不仅提供更高的性能、更低的成本，还提供了齐全的软件开发工具以及系统灵活性。它拥有 32 位指令集，32 位数据线宽度，32 个通用寄存器，32 个外部中断源和 2 GB 寻址空间；基于边界扫描测试的调试逻辑，支持硬件断点，数据触发，以及

片外和片内的调试跟踪等高级特性。

本书内容丰富，实用性强，从 FPGA 理论入手，讲述了开发工具、Nios II 的基础，最后结合 UP－SOPC2000 教学实验平台开发了一套完整的实践体系。该实验体系从易到难，从浅入深，可以使读者快速全面地掌握 SOPC 的开发方法。本书适合高等院校相关专业的本科高年级、研究生以及 SOPC 技术应用开发人员阅读参考

本书主要由孙恺、程世恒共同编写，作者在 SOPC 方面有多年的工作经验和很深的造诣。在本书编写的过程中，黄伦学、潘峰、王玉峰、朱峰、钱正光、赵宁、刘枫、李伟、赵晓宾、王君、陈佳、李长征、姚远、曹宇男完成了本书资料的收集和整理工作，并且参与书中部分章节的编写工作，这里向他们表示由衷的感谢。作者在编写本书的过程中参考了不少专家和学者的论文、著作，也参考了网络上很多的文献，在此对他们表示谢谢。

限于作者的理论水平和开发经验，书中难免存在一些不足之处或错误，恳请广大读者和相关专家批评指正。

作　者

2007 年 7 月

目 录

第一部分 芯片器件与开发工具

第二部分 Nios II 理论基础

第三部分 Nios II 实践开发

第一部分　芯片器件与开发工具

第1章

FPGA/CPLD开发基础

1.1 FPGA/CPLD概述

随着微电子设计技术与工艺的发展，数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路(VLSIC)逐步发展到今天的专用集成电路(ASIC)。ASIC的出现降低了产品的生产成本，提高了系统的可靠性，缩小了设计的物理尺寸，推动了社会的现代化进程。但是ASIC因其设计周期长、改版投资大、灵活性差等缺陷制约了它的应用范围。FPGA/CPLD设计正好弥补了这一缺陷。FPGA/CPLD具有功能强大、开发工程投资小、周期短、可反复编程修改、保密性能好、开发工具智能化等特点，特别是随着电子工艺的不断改进，低成本FPGA/CPLD器件推陈出新，新一代的FPGA甚至集成了中央处理器(CPU)或数字处理器(DSP)内核，在一片FPGA上进行软硬件协调设计，为实现片上可编程系统(SOPC，System On Programmable Chip)提供了强大的硬件支持。在高新技术日新月异的今天，以HDL语言来表达设计意图，以FPGA/CPLD作为硬件载体，以计算机为设计开发工具，以EDA软件为开发环境，以ASIC、SOC、SOPC和IP核技术等为综合设计的方法，已成为硬件设计工程的主要特征。这一切促使FPGA/CPLD成为当今硬件设计的首选方式之一。可以说FPGA/CPLD设计技术是当今高级硬件工程师与IC工程师的必备技能。

现场可编程逻辑阵列(FPGA)和复杂可编程逻辑器件(CPLD)都属于可编程逻辑器件。可编程逻辑器件指的是一切通过软件手段更改、配置器件内部连线结构和逻辑单元完成既定设计功能的数字集成电路。更形象地说，FPGA/CPLD能完成任何数字器件的功能，上至高性能的CPU，下至简单的74电路。它如一张白纸或一堆积木，工程师可以通过传统的原理图输入法或硬件描述语言自由地设计一个数字系统，通过软件仿真可以事先验证设计的正确性；在PCB完成以后利用FPGA/CPLD的在线可反复编程修改功能，随时修改设计而不必更改硬件电路。同时，大大缩短设计时间，减少PCB面积，提高系统的可靠性。

1.1.1 FPGA/CPLD与EDA、ASIC技术

1. EDA技术

EDA是电子设计自动化(Electronic Design Automation)的简称。现在电子技术设计的核心是EDA工程。EDA工程就是以计算机为工作平台、以EDA软件工具为开发环境、以硬件描述语言为设计语言、以FPGA/CPLD为载体、以ASIC、SOPC/SOC芯片为目的器件、以电子系统设计为应用方向的电子产品自动化设计过程。

2. ASIC技术

ASIC是专用集成电路(Application Specific Integrated Circuit)的简称，是一种带有逻辑处理的加速处理器。简单的说就是用硬件的逻辑电路实现软件的功能。使用ASIC可把一些原先由CPU完成的通用工作用专门的硬件实现，从而在性能上获得突破性提高。FPGA/CPLD是可编程逻辑器件，而ASIC则是指标准单元和门阵列，其芯片实际上是制造时而不是在用户端进行编程。FPGA/CPLD与ASIC各有优势，具体比较如表1.1所列。

表1.1 FPGA/CPLD与ASIC比较一览表

层 面	FPGA/CPLD	ASIC	备 注	结 论
时钟设计	一般同步时钟设计，采用全局时钟驱动	一般异步时钟设计，采用门控时钟树驱动		
布线方式	一般采用时序驱动方式在各级专用布线资源上灵活布线	布线固定		
功 耗	较高	较低	ASIC由于其门控时钟结构和异步电路设计方式，功耗很低	ASIC这三方面优势将FPGA/CPLD排除在很多高速、复杂、低功耗设计领域之外
设计频率	低	高	目前FPGA/CPLD最快频率不过500 MHz，很多ASIC工作频率在10 GHz以上	
设计密度	小	大	FPGA/CPLD底层硬件结构一致，大量单元不能充分利用，与ASIC门设计效率比为1∶10	
设计周期	短	长	FPGA/CPLD设计流程比ASIC简化许多，且可以重复开发	FPGA/CPLD更适合于那些不断演进的标准
开发成本	低	高	ASIC的非重复性工程成本(NRE)费用非常高	
灵活性	易于修改，重复编程	不可修改，不能重复编程		

新型FPGA/CPLD规模越来越大，成本越来越低。低端CPLD已经逐步取代了74系列等传统的数字元件，高端FPGA也在不断地夺取ASIC的市场份额，特别是目前大规模FPGA

多数支持 SOPC，与 CPU、DSP 核有机结合使 FPGA 逐步上升为系统级实现平台。

高端 FPGA 重要特点就是集成了功能丰富的 Hard IP Core(硬知识产权核)。这些 Hard IP Core 一般能完成高速、复杂的设计标准。通过这些 Hard IP Core，FPGA 正逐步进入一些过去只有 ASIC 能完成的设计领域。必须强调的是这些内嵌在 FPGA 之中的 DSP 或 CPU 处理器模块的硬件主要由一些加、乘、快速进位链等结构组成，加上用逻辑资源和块 RAM 实现的软核部分，就组成了功能强大的软计算中心。但是，由于其不具备传统的 DSP 和 CPU 的各种译码机制、复杂通信总线、灵活的中断和调度机制等硬件结构，所以还不是真正意义上的 DSP 和 CPU。这种 DSP、CPU 比较适合实现 FIR 滤波器、编解码器、FFT(快速傅里叶变换)等运算。以上这种内嵌硬核思路体现了 FPGA 向 ASIC 的融合；另一种思路是在 ASIC 中集成部分可编程配置资源，这种思路是 ASIC 向 FPGA 的融合，被称为结构化 ASIC。

总之，市场趋势是 FPGA 设计与 ASIC 设计技术进一步融合，FPGA 通过 Hard IP Core 和结构化 ASIC 之路加快占领传统 ASIC 市场份额。

1.1.2 FPGA/CPLD 与 SOPC/SOC

SOC 是片上系统(System On Chip)的简称，即由单个芯片完成整个系统的主要逻辑功能。SOPC 是可编程片上系统(System On Programmable Chip)的简称。SOPC 是一种特殊的嵌入式系统：首先它是片上系统 SOC；其次它是可编程系统，具有灵活的设计方式，可裁剪、扩充、升级，并具备软硬件在系统可编程的功能。而 FPGA/CPLD 正是 SOC/SOPC 的高效设计平台。

SOPC 结合了 SOC 和 FPGA/CPLD 各自优点，具备以下基本特征：

- 至少包含一个嵌入式处理器内核。
- 具有小容量片内高速 RAM 资源。
- 丰富的 IP 核资源可供选择。
- 足够的片上可编程逻辑资源。
- 处理器调试接口和 FPGA 编程接口。
- 可能包含部分可编程模拟电路。
- 单芯片、低功耗、微封装。

SOPC 是 PLD 和 ASIC 技术融合的结果。目前 0.13 μm 的 ASIC 产品制造价格仍相当昂贵，相反，集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑的 SOPC 芯片在应用的灵活性和价格上有极大的优势，所以 SOPC 被称为“半导体产业的未来”。

1.2 FPGA/CPLD 硬件体系结构

1.2.1 FPGA 体系结构

FPGA 是现场可编程门阵列(Field Programmable Gate Array)的简称。FPGA 是在 CPLD 的基础上发展起来的高性能可编程逻辑器件，它一般采用 SRAM 工艺，也有一些专用

器件采用 Flash 工艺或反熔丝(Anti-Fuse)工艺等。FPGA 的集成度很高,其器件密度从数万系统门到数千万系统门不等,可以完成极其复杂的时序与组合逻辑电路功能,适合于高速、高密度的高端数字逻辑电路设计领域。

1. FPGA 基本结构

FPGA 的基本组成部分有:可编程 I/O 单元、可编程逻辑单元、布线互连资源、嵌入式块 RAM、底层嵌入功能单元和内嵌专用硬核等。FPGA 结构示意图如图 1.1 所示。

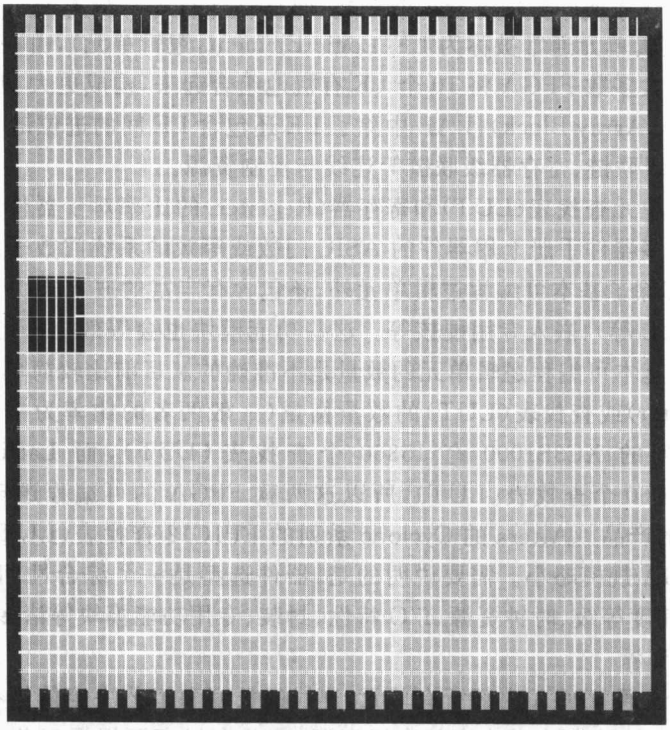


图 1.1　FPGA 结构示意图

(1) 可编程 I/O 单元

可编程 I/O 单元是芯片上的逻辑与外部封装脚的接口部分,它们通常排列在芯片的四周,完成不同电气特性下对输入、输出信号的驱动与匹配要求。目前大多数 FPGA 的 I/O 单元被设计成可编程模式,即通过软件配置可以适配不同的电气标准与 I/O 物理特性。常见的电气标准有 LVTTL、LVCMOS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等,可以调整匹配阻抗特性,上下拉电阻,可以调整输出驱动电流的大小等。随着 ASIC 工艺的飞速发展,目前可编程 I/O 支持的最高频率越来越高,一些高端 FPGA 通过 DDR 寄存器技术,可以支持高达 2 Gbit/s的数据速率。

(2) 可编程逻辑单元

基本可编程逻辑单元是可编程逻辑单元的主体,可以根据设计灵活地改变其内部连接与配置,完成不同的逻辑功能。FPGA 一般是基于 SRAM 工艺,其基本可编程逻辑单元几乎都是由查找表(LUT, Look Up Table)和寄存器(Register)组成的。LUT 本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT,所以每一个 LUT 可以看成一个有 4 位地址线的

16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，PLD/FPGA 开发软件会自动计算逻辑电路所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。查找表一般完成纯组合逻辑功能。FPGA 内部寄存器结构相当灵活，可以配置为带同步/异步复位或置位、时钟使能的触发器，也可以配置成为锁存器(Latch)。FPGA 一般用寄存器完成同步时序逻辑设计。一般来说，经典的基本可编程逻辑单元是一个寄存器加上一个查找表。但是不同厂商的寄存器和查找表内部结构有一定的差异，而且寄存器和查找表的组合模式也不同。例如 Altera 可编程逻辑单元通常被称为 LE(Logic Element，逻辑单元)，由一个寄存器加一个查找表构成。Altera 大多数 FPGA 将 10 个 LE 有机地组合起来，构成更大功能单元——逻辑阵列模块(LAB，Logic Array Block)，LAB 中除了 LE 还包含 LE 间的进位链、LAB 控制信号、局部互连资源、LUT 级联链、寄存器级联链等连线与控制资源。

了解底层配置单元查找表(LUT)和寄存器(Register)的比率对于器件选型和规模估算有很重要的意义。很多器件手册上用器件的 ASIC 门数或等效的系统门数表示器件的规模。由于现在 FPGA 内部除了基本可编程逻辑单元外，还包含有丰富的嵌入式块 RAM、底层嵌入式功能单元(PLL、DLL 等)、嵌入专用硬核等。这些功能模块也会等效出一定规模的系统门，所以再用系统门权衡基本可编程逻辑单元的数量是不准确的。目前比较简单科学的方法是用器件的寄存器(Register)或查找表(LUT)的数量衡量(一般两者的比率为 1∶1)。例如，Xilinx 的 Sparten-III 系列的 XC3S1000 有 15360 个查找表(LUT)，而 Lattice 的 EC 系列的 LFEC15E 也有 15 360 个查找表(LUT)，所以这两款 FPGA 的可编程逻辑单元数量基本相当，属于同一规模的产品。Altera 的 Cyclone 系列的 EP1C12 查找表(LUT)数量是12 060个，就比前面两款 FPGA 规模略小。需要说明的是，器件选型是一个综合性问题，需要将设计的需求、成本、规模、速度等级、时钟资源、I/O 特性、封装、专用功能模块等诸多因素综合考虑。

(3) 布线互连资源

布线互连资源连通 FPGA 内部所有单元，连线的长度和工艺决定信号在连线上的驱动能力和传输速度。FPGA 内部有着丰富的布线资源，这些布线资源根据工艺、长度、宽度和分布位置的不同而被划分为不同的等级。

- 全局性布线资源：用以完成器件内部的全局时钟和全局复位/置位的布线。
- 长线资源：用以完成器件分区(Bank)间的高速信号和第二全局时钟信号(Low Skew)的布线。
- 短线资源：用以完成基本逻辑单元之间的逻辑互连与布线。
- 逻辑单元内部布线资源：用以完成基本逻辑单元内部的布线互连。

实现过程中，设计者一般不需要直接选择布线资源，而是由布局布线器自动根据输入的逻辑网表的拓朴结构和约束条件选择可用的布线资源连通所用的底层单元模块，所以设计者常常忽略布线资源。其实，布线资源的优化与使用和设计的实现结果(包含速度和面积两个方面)有直接关系。

(4) 嵌入式块 RAM

目前大多数 FPGA 都有内嵌的块 RAM(Block RAM)。FPGA 内部嵌入可编程 RAM 块，大大扩展了 FPGA 的应用范围和使用灵活性。FPGA 内嵌的块 RAM 一般可以灵活配置为单端口 RAM(SPRAM，Single Port RAM)、双端口 RAM(DPRAM，Double Port RAM)、

FIFO(First In First Out)等常用存储结构。FPGA 内部实现 RAM、FIFO 等存储结构都可以基于嵌入式块 RAM 单元，根据需求自动生产相应的粘合逻辑以完成地址和片选等控制逻辑。

不同器件商或不同器件族的内嵌块 RAM 的结构不同，Xilinx 常见的块 RAM 大小是 4 Kbit和 18 Kbit 两种结构，Lattice 常用的块 RAM 大小是 9 Kbit，Altera 的块 RAM 最为灵活，一些高端器件内部同时含有 3 种块 RAM 结构，分别是 M512RAM(512 bit)，M4KRAM (4 Kbit)，M-RAM(512 Kbit)。

除了块 RAM，FPGA 还可以灵活地将 LUT 配置成 RAM、ROM、FIFO 等存储结构，这种技术被称为分布式 RAM(Distributed RAM)。根据设计需求，块 RAM 的数量和配置方式也是器件选型的一个重要标准。

(5) 嵌入式功能单元

嵌入式功能单元指的是那些通用程度较高的嵌入式功能模块，比如 PLL(Phase Locked Loop)、DLL(Delay Locked Loop)、DSP、CPU 等。随着 FPGA 的发展，这些模块被越来越多地嵌入到 FPGA 的内部，以满足不同场合的需求。

目前大多数 FPGA 厂商都在 FPGA 内部集成了 DLL 或者 PLL 硬件电路，用以完成时钟的高精度、低抖动的倍频、分频、占空比调整、移相等功能。Altera 芯片集成的是 PLL，Xilinx 芯片主要集成的是 DLL，Lattice 的新型 FPGA 同时集成了 PLL 和 DLL 以适应不同的需求。

(6) 内嵌专用硬核

这里内嵌专用硬核与前面的“底层嵌入单元”是有区分的，这里主要指那些通用性、较弱的。例如，Altera 的 Stratix GX 器件族内部集成了3.187 5 Gbit/s串并收发单元(SERDES)；Lattice 器件的专用硬核(Hard Core)比重更大。但不是所有的 FPGA 器件都包含硬核(Hard Core)。

2. FPGA 的编程工艺

FPGA 的功能由逻辑结构的配置数据决定。工作时，这些配置数据存放在片内的 SRAM 或熔丝图上。基于 SRAM 的 FPGA 器件，在工作前需要从芯片外部的 EPROM 或其他存储体上加载配置数据，配置完成以后，FPGA 进入工作状态。掉电后，FPGA 恢复成白片，片内逻辑关系消失，因此，FPGA 能够反复使用。用户可以控制加载过程，在现场修改器件的逻辑功能，即所谓的现场编程。

FPGA 有多种配置模式：并行主模式为一片 FPGA 加一片 EPROM 的方式；主从模式可以支持一片 PROM 编程多片 FPGA；串行模式可以采用串行 PROM 编程 FPGA；外设模式可以将 FPGA 作为微处理器的外设，由微处理器对其编程。

1.2.2　CPLD 体系结构

CPLD 是复杂可编程逻辑器件(Complex Programmable Logic Device)的简称。CPLD 是在 PAL、GAL 的基础上发展起来的，一般采用 EECMOS 工艺，也有采用 Flash 工艺的。CPLD 一般可以完成设计中较复杂、较高速的逻辑功能，如接口转换、总线控制等。

1. CPLD 基本结构

CPLD 的结构相对比较简单，主要由可编程 I/O 单元、可编程逻辑单元、布线池、布线阵列构成。

(1) 可编程 I/O 单元

CPLD 的可编程 I/O 单元和 FPGA 的可编程 I/O 单元的功能一样，完成不同电气特性下对 I/O 信号的驱动与匹配。由于 CPLD 的应用范围局限性较大，所以其可编程 I/O 的性能和复杂度与 FPGA 相比有一定的差距。CPLD 的可编程 I/O 支持的 I/O 标准较少，频率也较低。

(2) 可编程逻辑单元

CPLD 的基本逻辑单元结构与 FPGA 的相差较大，FPGA 的基本逻辑单元通常是由 LUT 和 Register 按照 1∶1 的比例组成的，而 CPLD 没有 LUT 这种概念，其基本逻辑单元是一种被称为宏单元(MC，Macro Cell)的结构。宏单元是由乘积项加上触发器构成的，其中乘积项完成组合逻辑功能，乘积项实际就是一个与或阵列，每一个交叉点都是一个可编程熔丝，如果导通就是实现“与”逻辑，在“与”阵列后一般还有一个“或”阵列，用以完成最小逻辑表达式中的“或”关系。“与或”阵列配合工作，完成复杂的组合逻辑功能。触发器完成时序逻辑功能，用以实现时序逻辑的寄存器或锁存器等功能。CPLD 器件规模一般由宏单元(MC)数目表示，器件标称中的数字一般都包含该器件的宏单元(MC)数量。例如，Altera 的 EPLD MAX7000 系列 EPM7256AEQC2Q8 - 10，其中 256 表示 256 个宏单元(MC)。Altera 为了突出特性，曾将自己的 CPLD 器件称为 EPLD(Enhanced Programmable Logic Device 增强型可编程逻辑器件)，现已统称为 CPLD。

(3) 布线池、布线阵列

CPLD 的布线及连通方式与 FPGA 差异较大。FPGA 内部有不同速度、不同驱动能力的丰富布线资源，用以完成 FPGA 内部所有单元之间的互连。而 CPLD 的结构比较简单，其布线资源也相对有限，一般采用集中式布线池结构。布线池本质就是一个开关矩阵，通过打结点可以完成不同宏单元的输入与输出项之间的连接。

由于 CPLD 的布线池结构固定，所以 CPLD 的输入引脚到输出引脚的标准延时固定，被称为 Pin-to-Pin 延时，用 Tpd 表示，Tpd 已达到纳秒(ns)级。Tpd 反应了 CPLD 器件可以实现的最高频率，并清晰地表明了 CPLD 器件的速度等级。

2. CPLD 编程工艺

CPLD 大多采用 CMOS EPROM、E2PROM 和 Flash 等编程技术，一般可重复擦写上千次。编程是指将编程数据放到具体的可编程器件中去。器件在编程完毕以后，可以用编译时产生的文件对器件进行检验、加密等工作。对于具有边界扫描测试能力和在系统编程能力的器件来说，测试起来更加方便。ISP 在系统可编程技术使 CPLD 开发过程变得简单，它对器件、电路甚至整个系统有进行现场升级和功能重构的能力。

1.2.3 FPGA 和 CPLD 的比较

FPGA/CPLD 既继承了 ASIC 的大规模、高集成度、高可靠性的优点，又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点，逐步成为复杂数字硬件电路设计的理想首选。在选择产品时，一般需要考虑芯片速度、器件功耗等技术因素。

- 芯片速度：随着可编程逻辑器件集成技术的不断提高，CPLD 和 FPGA 的工作速度也不断提高，Pin-to-Pin 延时已经达到纳秒(ns)级，在一般使用中，器件的工作频率已经