



周立功单片机公司策划

EDA 实验与实践

周立功 等编著



北京航空航天大学出版社

TN707/8

2007

EDA 实验与实践

周立功 等编著

北京航空航天大学出版社

内 容 简 介

本书根据教学实验操作的要求,以提高设计水平、增强动手实践能力为目的,通过实验深入浅出地介绍 EDA 技术及相关知识。全书分为 5 章:第 1 章详细分析本实验教程所对应实验平台的硬件电路;第 2 章简单介绍进行本实验教程实验前所应做的一些准备工作;第 3~5 章列出大量实用、创新的 EDA 实验,介绍 EDA 开发的基本流程、Quartus II 软件的基本应用,以及 EDA 应用开发的相关知识。

本书以实战为主,提供了完整的程序源码和电路图,结合所配套的 SmartSOPC、SmartEDA 实验箱,可以帮助初学者达到快速掌握 EDA 技术的目的。

本书可作为高等院校电子工程、计算机、微电子、通信、自动控制等相关专业 EDA 课程的实验教材,也可以作为 EDA 初学者的参考资料。

图书在版编目(CIP)数据

EDA 实验与实践/周立功编著. —北京:北京航空航天大学出版社,2007.9

ISBN 978-7-81124-200-3

I. E… II. 周 III. 电子电路—电路设计:计算机辅助设计—实验 IV. TN702-33

中国版本图书馆 CIP 数据核字(2007)第 136035 号

© 2007,北京航空航天大学出版社,版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书内容。

侵权必究。

EDA 实验与实践

周立功 等编著

责任编辑 苏向鹏

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhpress@263.net

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:24 字数:532 千字

2007 年 9 月第 1 版 2007 年 9 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81124-200-3 定价:34.00 元

前 言

EDA(Electronic Design Automation, 电子设计自动化)技术是现代电子工程领域的一门新技术,它提供了基于计算机和信息技术的电路系统设计方法。EDA 技术的发展和推广应用极大地推动了电子工业的发展。随着 EDA 技术的发展,硬件电子电路的设计几乎全部可以依靠计算机来完成,这样就大大缩短了硬件电子电路设计的周期,从而使制造商可以快速开发出品种多、批量小的产品,以满足市场的需求。EDA 教学和产业界的技术推广是当今世界的一个技术热点,EDA 技术是现代电子工业中不可缺少的一项技术。

本实验教程中的一部分实例是经常使用的实用程序模块,另一部分则是历届电子设计竞赛的题目,所有实例都在 Quartus II 5.0 软件平台上进行过编译、仿真并可通过 SmartSOPC、SmartEDA 多功能教学开发平台进行下载,实际测试,因而均可以作为进一步开发的参考。

以本实验教程作者们的经验,EDA 技术只有通过大量的操作与实践才能很好并快速地掌握,为此本实验教程内容编排力求实用,深入浅出、由易到难地列举了很多实例。在教程中,作者努力做到不仅讲述怎样进行实验,而且分析为什么这样做,以便读者深刻理解并快速掌握。

本实验教程的内容编排如下:

第 1 章详细分析了本实验教程所对应实验平台的硬件电路,包括核心板和主板两部分,为读者设计自己的硬件电路提供参考。

第 2 章简单介绍了进行本实验教程实验前所应做的一些准备工作,读者们必须按照本章要求完成准备工作,才能正确的进行其他章节的实验内容。

第 3 章列出了一些 EDA 基础实验,目的是让读者通过这些实验掌握 EDA 开发的基本流程,并熟悉 Quartus II 软件的使用。本章的实验较为简单,但采用 STEP BY STEP 的方式能够让读者以最快的方式了解 EDA 开发以及软件的使用,从而激起读者对 EDA 技术的兴趣。

第 4 章列出了一些 EDA 进阶实验,主要涉及到一些算法及状态机的设计和应用开发。包括乘法器、相关器、CRC 的设计、ADC/DAC 状态机的设计及 DDS/VGA 的应用设计等实验。

第 5 章列出了一些 EDA 综合实验,包括 VGA 的图像显示设计、PS/2 键盘鼠标控制器的设计、简易逻辑分析仪的设计、FFT/FIR IP Corer 的应用设计等。实验的选题以创



新、实用为主。实验内容中详细的分析了设计原理及应用方法,以便于读者理解学习。

附录 A 为本实验教程的开发平台(SmartSOPC、SmartEDA 多功能教学实验开发平台)的 FPGA 的引脚分配表。


附录 B 为本实验教程的开发平台的部分硬件电路原理图。

附录 C 首先简单介绍了逻辑分析仪的基础知识,重点比较了逻辑分析仪与示波器的区别,以此得出逻辑分析仪在数字电路设计中的重要作用,最后向读者简单介绍了广州致远电子有限公司的 LA 系列高性能逻辑分析仪。

附录 D 介绍了一些学习 EDA 技术的相关资源。

在阅读本教程的过程中,请读者注意以下几点:

(1) 本教程的代码和算法力求简单易懂,在此过程中很少考虑运行的效率。一方面因为书中的代码仅供学习使用,暂不考虑用作实际项目;另一方面,作者认为在读者对本教程的内容有足够的了解之后再考虑效率和实用性也不迟。

(2) 本教程列出了作者们在验证本教程内容过程中遇到的一些问题的解决方法和注意事项,书中特别用  表示出来。

(3) 由于缺乏相应的中文资料,一些内容是在 Altera 英文文档及软件帮助内容的基础上翻译的,在翻译过程中一些表达可能不恰当,为此在括号内给出了相应的英文表达,以便于读者更好的理解。

(4) 本教程基于广州致远电子有限公司的 SmartSOPC、SmartEDA 多功能教学实验开发平台,如果读者没有该实验开发平台或使用其他类似的开发平台,也能从本教程的部分章节中受益。

(5) 本实验教程既适合 SmartSOPC 实验箱 QuickSOPC-1C6 用户、QuickSOPC-1C12 用户,也适合 SmartEDA 实验箱 QuickEDA 用户。

(6) 本实验教程中的所有实验源程序皆以 Verilog HDL 语言提供,考虑到各高校 EDA 教学中使用的硬件语言不同,为此在实验开发平台配套的光盘中也提供所有实验的 VHDL 源程序。

(7) 本书正文多处提到“产品配套光盘”,此光盘为 SmartSOPC 和 SmartEDA 多功能教学实验开发平台的配套光盘,购买这两款数学开发平台的用户,可随设备获得该光盘。该光盘提供所有实验的 VerilogHDL 源代码及 VHDL 源代码。

本教程在写作过程中遵循“宁可啰嗦一点,也不放过细节”的方针和“基础、实用、创新”的原则。在教程中的某些地方,有些读者可能觉得很“简单”,甚至显得有些啰嗦,但对于大多数初学者可能并非如此。因为作者认为,足够简单甚至可以跳过的内容,对某些读者来说,未必能一下子就弄清楚,所以,本教程在很多地方将尽量阐述清楚,以节省读者理解的时间。但在后面的章节中,如果涉及的细节在前面章节中已经提及,这些内容就会省略。

最后作者要强调的是,本教程旨在引路,不会带领读者进行更深层次的开发,更高级的应用希望读者自己去挖掘。

本教程适合于高等院校电子工程、计算机、微电子、通信、自动控制等专业以及对此类

专业感兴趣的高年级本科生和研究生。相信本教程的读者只要认真、勤奋地实践书中的内容,就能体会到实践而带来的一次又一次的成就感,而成就感是学习过程中的快乐源泉,学习效率也会因此而提高,读者也因此能较快地进入 EDA 技术世界。

参与本书编写和工作的主要人员有芮文彬、周书武、许惠泉、刘英斌等,本书由周立功负责规划、内容编排、定稿与修改。

EDA 技术是不断发展变化的,要掌握 EDA 技术的精髓,需要设计者在实践过程中不懈地摸索和积累,逐步提高自己的设计水平,本实验教程试图起到快速入门、抛砖引玉的作用,但由于作者的水平有限,书中的内容难免有疏忽、不恰当甚至错误的地方,恳请各位老师及其同行指正,并请您将阅读中发现的错误或建议发送到 tools@embedtools.com,以使本教程不断的完善。

读者若需要购买配套的 SmartSOPC、SmartEDA 多功能教学实验开发平台,请与广州周立功单片机发展有限公司联系(联系方式见本书最后)。

周立功
2007 年 3 月



目 录

第 1 章 SmartSOPC、SmartEDA 教学实验开发平台	1
1.1 实验开发平台功能特点	2
1.2 核心板电路分析	3
1.2.1 核心板硬件原理框图	3
1.2.2 FPGA 电路	5
1.2.3 存储电路	6
1.2.4 配置电路	12
1.2.5 复位电路	17
1.2.6 时钟电路	18
1.2.7 FPGA I/O 口分配电路	19
1.2.8 扩展接口电路	20
1.2.9 独立按键及 LED 电路	22
1.2.10 电源电路	23
1.3 主板电路分析	24
1.3.1 电源电路	25
1.3.2 按键及 LED 电路	25
1.3.3 蜂鸣器电路	26
1.3.4 七段数码管显示电路	26
1.3.5 液晶显示电路	27
1.3.6 16×16 LED 点阵电路	28
1.3.7 RS232 串口电路	29
1.3.8 RS485 接口电路	29
1.3.9 红外通信电路	30
1.3.10 以太网接口电路	31
1.3.11 USB 接口电路	32
1.3.12 步进电机电路	32
1.3.13 直流电机电路	33
1.3.14 VGA 接口电路	34
1.3.15 PS/2 键盘鼠标接口电路	35



1.3.16	串行 D/A、A/D 电路	35
1.3.17	实时时钟电路	36
1.3.18	数字温度传感器电路	37
1.3.19	SD/MMC 卡接口电路	38
1.3.20	外设 PACK 接口电路	39
1.3.21	主板与核心板接口	40
1.3.22	主板上的跳线	41
1.4	高速 AD/DA PACK 板	41
1.5	红外遥控器电路	42
第 2 章	实验准备工作	43
2.1	QuickSOPC-1C6、QuickSOPC-1C12 和 QuickEDA 简介	43
2.2	实验平台电源连接	44
2.3	安装 ByteBlaster II 下载电缆	45
2.3.1	安装 ByteBlasterII 驱动程序	45
2.3.2	在 Quartus II 中添加 Altera ByteBlaster II 下载电缆	46
第 3 章	EDA 基础实验	48
3.1	应用 Quartus II 完成 LED 的驱动	48
3.2	流水灯	64
3.3	读取按键信号	68
3.4	静态数码管显示	71
3.5	动态数码管显示	76
3.6	按键去抖动	80
3.7	1 位全加器的文本输入(波形仿真应用)	84
3.8	含异步清 0 和同步时钟使能的 4 位加法计数器	92
3.9	8 位硬件加法器	96
3.10	数控分频器	99
3.11	8 位十进制频率计	102
3.12	蜂鸣器输出报警声	107
3.13	硬件电子琴	108
3.14	硬件乐曲自动演奏电路	111
3.15	数字时钟	115
第 4 章	EDA 进阶实验	121
4.1	用状态机实现序列检测器	121
4.2	移位相加 8 位硬件乘法器	124
4.3	采用流水线技术的高速数字相关器	128
4.4	线性反馈移位寄存器(LFSR)	133

4.5	循环冗余校验编码(CRC)	139
4.6	通用异步收发器(UART)	146
4.7	红外收发通信	155
4.8	直流电机 PWM 控制	157
4.9	步进电机细分驱动控制	162
4.10	用状态机实现对 TLC549 的采样控制(A/D 实验)	168
4.11	用状态机实现 TLC5620 的控制(D/A 实验)	175
4.12	波形发生与扫频信号发生器(LPM_ROM 定制)	183
4.13	数字锁相环 PLL 的应用	190
4.14	直接数字频率合成器(DDS)	195
4.15	高速 A/D 数据采集(嵌入式逻辑分析仪 SignalTap II 的调用)	200
4.16	液晶显示屏 LCD 显示	208
4.17	VGA 彩色信号显示控制器	217
第 5 章	EDA 综合实验	225
5.1	VGA 图像显示的设计与应用	225
5.2	PS/2 鼠标接口设计与 VGA 显示控制	232
5.3	PS/2 键盘接口设计与 VGA 显示控制	254
5.4	基于 VGA 显示的 10 路逻辑分析仪	281
5.5	FIR 数字滤波器	305
5.6	基于 VGA 显示的频谱分析仪(FFT)	314
附录 A	SmartSOPC、SmartEDA 核心板 FPGA 引脚分配	347
附录 B	AD_DA PACK 原理图	354
附录 C	LA 系列高性能逻辑分析仪	355
附录 D	一些 EDA 设计相关的网站	360
参考文献		361

第 1 章

SmartSOPC、SmartEDA 教学实验开发平台*

SmartSOPC 教学实验开发平台集多种功能于一体,是 SOPC、EDA、DSP、ARM7 SOC、ARM 以及 51 教学实验、科研开发的最佳选择。开发平台采用核心板加主板的结构,更换核心板即可实现不同的功能。而且,SmartSOPC 多功能教学实验开发平台标配一台高性能的 LA1024 逻辑分析仪,用户使用逻辑分析仪可以更直观和感性地进行开发和实验,理解更加深刻。

开发平台采用核心板加主板的结构,除标配的 Altera QuickSOPC 核心板外,现提供的选配核心板有:Actel QuickMP7(ARM7 SOC)核心板、Philips QuickARM 核心板和 Quick51 核心板。实验开发平台标配高速 AD_DA PACK。QuickSOPC 核心板上可进行 SOPC、EDA 和 DSP 的开发和实验;QuickMP7 SOC 核心板可进行 Actel ARM7 的 SOC 开发和实验(QuickMP7 核心板的功能同 QuickSOPC 类似,不同之处在于 QuickMP7 使用的是广泛使用的 ARM7 核,并且其 FPGA 基于 Flash 工艺,不使用配置芯片,可加密,低功耗);QuickARM 核心板可进行 Philips ARM 的开发和实验;Quick51 核心板可进行 C51 单片机的开发和实验。用户也可根据开放的接口来设计自己的核心板。

考虑到核心板对用户的实用性,核心板上除设计有 FPGA、各类存储器以及用户扩展 PACK 外,还设计有按键、LED(与主板共用 I/O 口)及电源插座等。用户通过在 PACK 上实现自己的功能电路(如主板上的某部分电路),核心板就能脱离主板而单独使用,这样核心板可用于用户自己的设计中,亦可用于电子设计大赛。与一般的实验箱不同,SmartSOPC 主板上大部分外设都不需要进行跳线设置,实验时方便简单;此外每个外设的关键信号都设置了测试点,方便用户使用逻辑分析仪进行信号测量。总之,一切为设计为用户考虑是本开发平台的出发点。

SmartEDA 是只适合 EDA 教学实验、科研开发的教学实验开发平台,标配 QuickEDA 核心板,它不支持 SOPC、DSP 等其他教学实验,是 SmartSOPC 实验开发平台的精简版本。

本章以 SmartSOPC 教学实验开发平台做介绍,首先简单介绍实验平台的功能特点,然后详细分析 QuickSOPC 核心板的硬件电路以及 SmartSOPC 主机(底板)的硬件电路。读者只有熟悉实验平台的电路原理后才能有效并有目的性的进行实验,遇到问题也能分析解决,同时

* 读者若需要购买配套的 SmartSOPC、SmartEDA 多功能教学实验开发平台,请与广州周立功单片机发展有限公司联系(联系方式见本书最后)。



也为读者以后设计自己的硬件电路提供参考。

1.1 实验开发平台功能特点

SmartSOPC 教学实验开发平台的功能特点如下:

- 核心板 QuickSOPC 标准配置为 Altera 公司的 EP1C6Q240、4 MB Flash、1 MB SRAM、16 MB SDRAM、配置器件 EPCS1 以及 256 字节 E²PROM。
- 核心板还包括用户扩展 PACK、4 个独立按键、8 个 LED(与主板共用 I/O 口)以及 5 V 电源插座,在 PACK 上扩展设计后可直接用于用户产品设计和电子设计大赛。
- 标配核心板兼容两种 FPGA:EP1C6Q240 和 EP1C12Q240,用户选择余地更大。
- 采用核心板加主板的灵活结构,核心板可采用各公司 FPGA 的各种型号,可换用 Actel QuickMP7 SOC 核心板、Quick51 核心板、Philips QuickARM 核心板,进行 ARM7 SOC、ARM 或 51 单片机开发。
- 大部分实验不需要跳线设置,免去了实验前繁琐的跳线设置,实验开发简单快捷。
- 主板有总线 PACK,核心板有 I/O 口 PACK 方便用户开发和使用,两个 PACK 都完全兼容周立功单片机发展有限公司的 ARM 系列 PACK,所有 ARM 的 PACK 都可再次利用,节省资金。
- 核心板上 I/O 口 PACK 考虑的高速特性,可用于高速外设扩展。
- 可支持 μ C/OS-II 操作系统,搭建用户系统平台更方便。
- 标配 128×64 图形点阵液晶屏。
- 16×16 点阵 LED 显示。
- 具有 SD 卡接口,支持 SD/MMC 卡读写。
- 具有 RS232 转换电路,可与上位机进行串行通信,完成 UART 通信实验。
- 包含 1 路 RS485 接口电路,可做 RS485 通信实验。
- PDIUSB12 USB2.0 Full Speed。
- 10M 以太网 RTL8019,支持以太网开发。
- 8 个独立 LED 灯,8 个独立按键,1 个蜂鸣器。
- 8 个七段数码管。
- 8 位串行 A/D、D/A。
- 实时时钟 PCF8563T。
- 数字温度传感器 LM75。
- 具有 PS/2 键盘、鼠标接口,扩展系统的输入设备。
- 具有 256 色 VGA 接口。
- 具有四相步进电机,可实验做步进电机细分。

- 直流电机驱动电路(包括测速电路),可做直流电机闭环调试控制实验。
- 高速 AD、DA PACK,20M 8bit ADC,125MSPS 10bit DAC,350M 高速运放。
- 提高一个红外遥控器(LPC915)。
- 绝大部分元件为表贴元件,使用先进的表贴机生产,产品质量更可靠,外观更整洁。
- 提供基于 $\mu\text{C}/\text{OS-II}$ 实验例子。
- 大量的实验程序,详细的配套教材。

1.2 核心板电路分析

SmartSOPC 教学实验开发平台标配的核心板是 QuickSOPC,可实现 EDA、SOPC 和 DSP 的教学实验及研究开发。在本节中将对核心板的硬件电路进行详细的分析。

1.2.1 核心板硬件原理框图

QuickSOPC 核心板的硬件原理框图如图 1.1 所示。

核心板采用 4 层板精心设计,采用 120 针接口,元件布局如图 1.2 所示。

核心板的硬件资源如下:

- 一个型号为 Cyclone EP1C6Q240 的 FPGA 器件,兼容 EP1C12Q240。
- 两片 2 MB(共 4 MB)的 Nor Flash Memory AT49BV163AT-70(1M \times 16 bit),每片 Flash 都可兼容 4 MB 或 8 MB,这样最大可扩充为 16 MB 的 Flash。
- 两片 512 KB(共 1 MB)的 SRAM IS61LV25616AL(256K \times 16 bit),每片 SRAM 都可兼容 1 MB,这样最大可扩充为 2 MB 的 SRAM。
- 两片 16 位总线 8 MB 的 SDRAM K4S641632H,每片 SDRAM 都兼容 16 MB、32 MB 以及 64 MB,这样最大可扩充为 128 MB SDRAM。
- 串行配置器件 EPCS1(EP1C6Q240 时使用),兼容 EPCS4(EP1C12Q240 时使用)。
- AS 接口,通过 AS 接口可直接对 EPCS 器件快速编程。
- JTAG 接口,可下载配置到 FPGA、调试程序、Flash 编程,也可对 EPCS 器件编程。
- 带 I²C 接口的 E²PROM(256 字节)的复位芯片 CAT1025SI-30。
- 8 个用户 LED 灯,4 个用户按键。
- 配置成功指示灯,用于指示配置的成功。
- 重新配置按键,按下此按键后,FPGA 将要求重新配置。
- 复位按键,用于产生系统复位信号。
- 通过 2 个 60 针接口将 57 个(EP1C12Q240 时为 45 个)I/O 口、I²C 总线、16 位数据总线、23 位宽度的地址总线、读写信号引出,用于主板的各外设。
- 一个 33 个 I/O 口的用户 PACK,用于用户自己的设计。

- 48 MHz 的有源晶振。
- 5 V、3.3 V、1.5 V 电源。

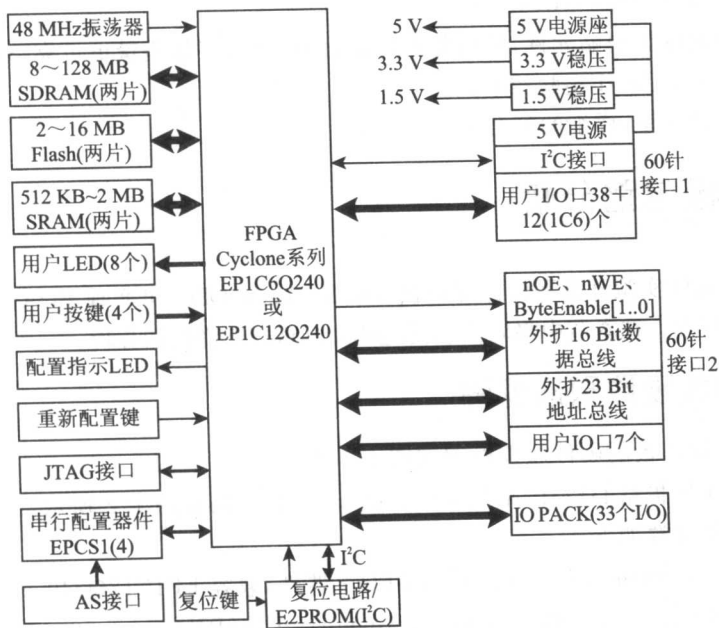


图 1.1 QuickSOPC 硬件方框图

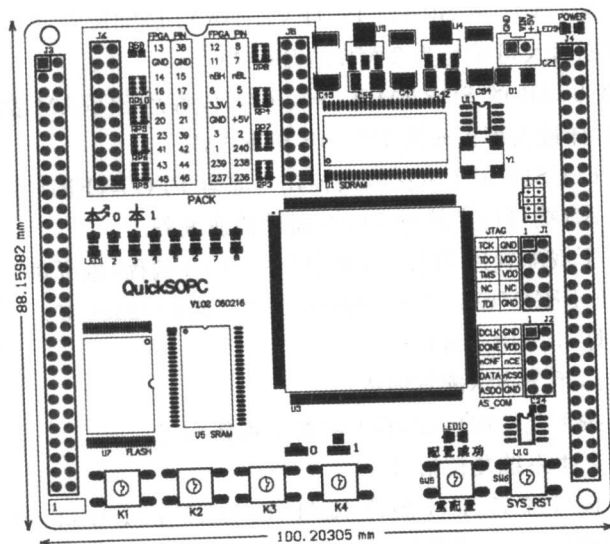


图 1.2 核心板元件布局图

与 QuickSOPC 核心板相比,QuickEDA 核心板只是少了 SDRAM、Flash 这些存储器件,其他资源完全一样。


1.2.2 FPGA 电路

核心板 QuickSOPC 上所用的 FPGA 为 Altera 公司 Cyclone 系列的 EP1C6Q240,它兼容 EP1C12Q240。EP1C6Q240 包含有 5 980 个逻辑单元(LE)和 92 Kbit 的片上 RAM,EP1C12Q240(包含有 12 060 个 LE 和 239 Kbit 的片上 RAM)。EP1C6Q240 有 185 个用户 I/O 口,封装为 240-Pin PQFP,EP1C12Q240 也是 240-Pin PQFP 封装,但用户 I/O 口只有 173 个,因为相对 EP1C6Q240,EP1C12Q240 的内核功耗增加,所用有额外的 12 个 I/O 口用于电源引脚,具体内容见 1.2.7 小节。核心板可选用 FPGA 器件特性如表 1.1,更详细的特性请参考其数据手册。

表 1.1 核心板可选用 FPGA 器件特性

特 性	EP1C6Q240	EP1C12Q240
逻辑单元(LE)	5 980	12 060
M4K RAM 块(4 Kbit+奇偶校验)	20	52
RAM 总量(bit)	92 160	239 616
PLL(个)	2	2
最大用户 I/O 数(个)	185	173
配置二进制文件(.rbf)大小(bit)	1 167 216	2 326 528
可选串行主动配置器件	EPCS1/EPCS4/EPCS16	EPCS4/EPCS16

Cyclone FPGA 常用的配置方式有主动配置(AS)、被动配置(PS)以及 JTAG 配置(具体内容请参考《SOPC 嵌入式系统基础教程》^[11]第 5 章的相关内容),主动配置需要使用串行主动配置器件 EPCS。Cyclone FPGA 是第一款支持对配置数据进行解压缩的 FPGA,这使得用户可以将压缩的配置数据存储到配置器件或其他存储器中。在配置过程中,Cyclone FPGA 实时的解压缩配置数据对 SRAM 单元编程。一般来说,配置数据经过压缩,可以减少到 35%~55%。如表 1.1 所列,EP1C6Q240 配置文件的大小为 1 167 216 bit,EP1C12 配置文件的大小为 2 326 528 bit,而 EPCS1 的容量为 1 Mbit,EPCS4 的容量为 4 Mbit。EP1C6Q240 的配置文件略大于 EPCS1 的容量,可以使用 EPCS1 对其进行配置以节省成本,但对 EPCS1 进行编程时一定要采用压缩后的配置数据。EP1C12 由于配置文件为 2 326 528 bit,压缩后可能大于 1 Mbit,所以必须选用 EPCS4 配置器件。

 请注意核心板上所使用的 FPGA 型号,将 EP1C6Q240 更换为 EP1C12Q240 时,要进行 3 项工作:1. 由于 EP1C6Q240 和 EP1C12Q240 的 I/O 口不完全兼容,要将一些 I/O 口用于电源引脚,要将 12 个电阻(R45-R56)焊上,如图 1.14 所示,接在这些 I/O 口的外设改由其他 I/O 口控制。2. 将电阻 RP11、RP12、RP13 断开。3. 将 EPCS1(U10)更换为 EPCS4。



1.2.3 存储电路

核心板的存储器包括用于存储 FPGA 配置数据并进行主动配置的串行配置器件 EPCS、SDRAM、Flash 以及 SRAM。核心板上还包括一个带复位输出的 2 Kbit E²PROM。

1. Flash 存储器

核心板使用 2 片 2 MB 的 Flash AT49BV163AT-70(1M×16 bit)，每片都可以使用兼容的 4 MB 的 AT49BV322A(2M×16 bit)或 8 MB 的 S29JL064H(4 M×16 bit)，这样最大可使用 16 MB 的 Flash。Flash 电路如图 1.3 所示。

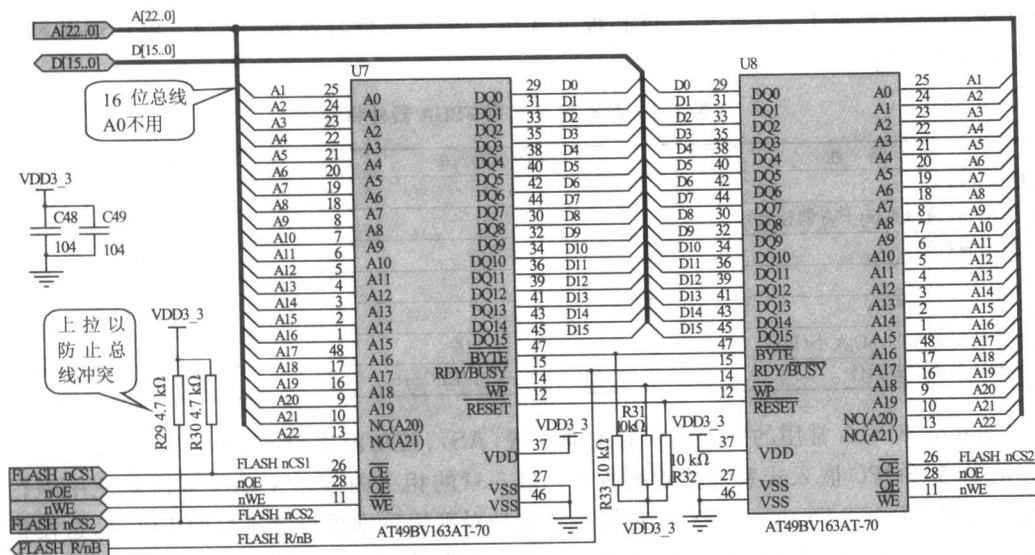


图 1.3 Flash 存储电路

电路中 2 片 Flash 的片选信号独立，数据总线、地址总线共用，为了节省 I/O 口，将读写信号线 nOE 和 nWE 都共用，并且它们与所有挂在总线上的总线型外设(SRAM、主板上的液晶以及外扩总线 PACK)都是共用的。

2 片 AT49BV163AT-70 的片选信号分别为 FLASH_nCS1 和 FLASH_nCS2。

电路中对芯片的片选信号线进行了上拉(R29、R30)。Flash 的数据总线与所有挂在总线上的总线型外设(SRAM、主板上的液晶以及外扩总线 PACK)都是共用的。如果应用中，2 个 Flash(或某一个)不使用时，用户可能不会在 FPGA 中定义并设置该器件的片选引脚，该片选引脚将为高阻态，不确定的电平有可能选通芯片，从而造成总线冲突。当然，为了避免总线上其他的总线型外设在不使用时因意外而造成总线冲突，应将这些外设的片选都上拉(低电平有效时)或下拉(高电平有效)，具体请查看相应外设的电路。

造成总线冲突解释如下：

如图 1.4 所示,数据总线上往往不只一个设备,当 FPGA 需要从器件 A 中读取数据时(并不希望对器件 B 操作),FPGA 发出器件 A 的选通信号($nCSA$ 为低),随后 FPGA 发送读信号有效(nOE 为低,其中器件 A 与器件 B 共用读写信号线),FPGA 为输入,而器件 A 为输出。在不对器件 B 操作时,器件 B 不应该选通,但当发生 $nCSB$ 引脚在引脚分配时并没有定义,而且被驱动到地(见图 1.5),那么器件 B 也将被选通,而且也为输出状态(因为相同的 nOE),这样出现了数据总线上器件 A 和器件 B 同时输出的情况。而这时,如果一个器件输出为高(如器件 A),另一个器件输出为低(器件 B),就会造成总线的冲突。第一,本来 FPGA 读入器件 A 数据线 $D0$ 上的信号应该为 1,但却被器件 B 拉低,会造成读数据错误;第二,会在两个输出驱动器之间形成一个电源(VCC)到地(GND)的直电路径,造成一个大电流。一般来说,短时间的冲突可能引发器件发热,长时间则会导致器件过热而烧毁。

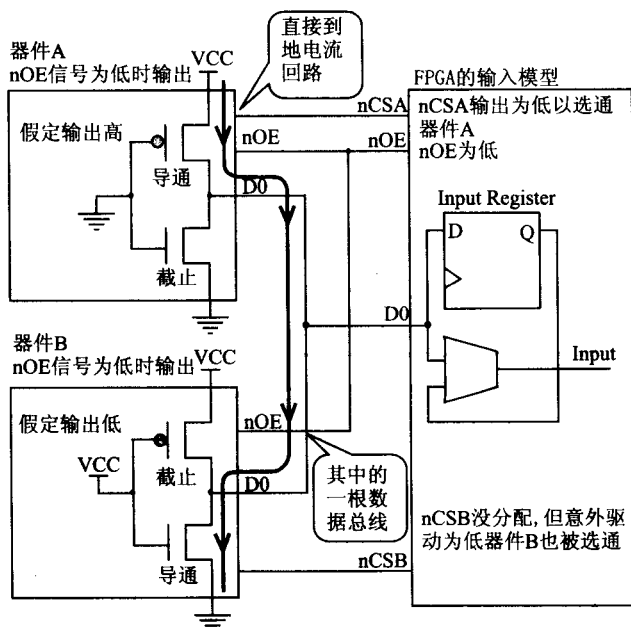


图 1.4 数据总线冲突示意图

在设计中一定要将未定义的引脚定义为三态输入,如图 1.5 所示。这样在上拉(下拉)电阻的作用下为确定的高电平(低电平)。注意一定不能将未定义(不使用)引脚模式设置为输出,并连接到地。否则,可能会造成连接在总线上而未使用的芯片的片选有效而长期占用总线,造成总线冲突。

图 1.3 所示电路中,两片 Flash 是分开的,都是采用 16 bit 数据总线,这是为了节省

I/O 口, 当实际应用中, I/O 口足够时, 可以将电路中的两个片选信号合成一个, 将其中一片的数据总线改为 D8~D15, 这样就形成了一个 4MB 32 bit 数据总线的 Flash, 其访问速度更快, 但占用了更多的 I/O 口。

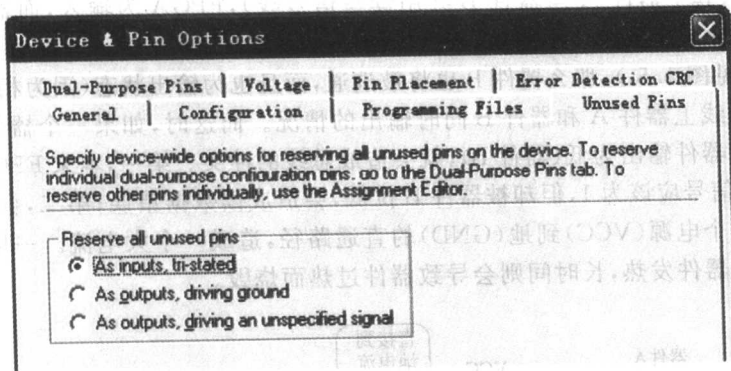


图 1.5 未定义引脚定义选择

2. SRAM 存储器

核心板使用 2 片 512 KB 的 SRAM IS61LV25616AL(256K×16 bit), 每片 SRAM 都可兼容 1 MB 容量的 IS61LV51216AL, 这样 SRAM 容量最大可为 2 MB。SRAM 可作为高速存储器使用, 如显示缓存等。SRAM 电路如图 1.6 所示, 电路基本与 Flash 相同。

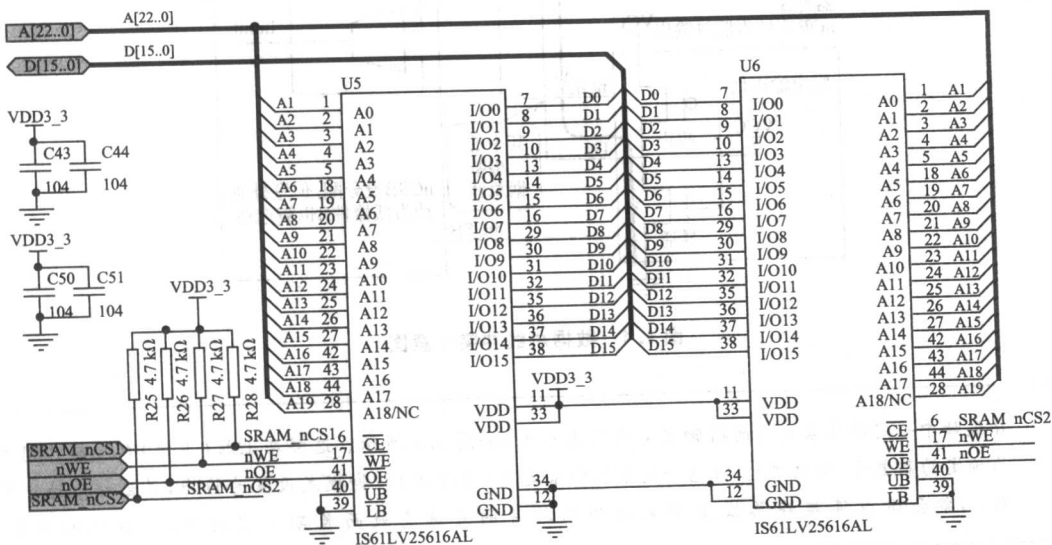


图 1.6 SRAM 电路