



普通高等教育“十一五”国家级规划教材

教育部“高等学校教学质量与教学改革工程”立项项目

汤志忠 杨春武 编著

开放式实验 CPU设计

计算机科学与技术专业实践系列教材

清华大学出版社





中国美术学院美术考级教材

中国美术学院美术考级教材 素描分册 素描头像 素描半身像 素描全身像

开放式实验 CPU设计

中国美术学院美术考级教材

中国美术学院美术考级教材



计算机科学与技术专业实践系列教材

开放式实验 CPU设计

汤志忠 杨春武 编著

清华大学出版社
北京

内 容 简 介

本书介绍了开放式实验 CPU 的设计方法,采取全新的实验理念,允许实验者自行设计指令系统和 CPU 的系统结构,能对 CPU 设计的正确性进行验证。

本书介绍一种开放式 CPU 实验教学系统 TEC-CA,以及计算机组成原理实验和计算机系统结构实验。计算机组成原理实验包括多种编码实验、运算器部件实验、存储器实验、组合逻辑控制器和微程序控制器实验等;计算机系统结构实验包括普通 CPU 设计、具有多级流水的 CPU 设计、具有多级流水带 Cache 的 CPU 设计和超标量 CPU 设计等。

为了帮助初学者设计 CPU,本书以 if 语句、process 语句、case 语句 3 个常用语句和 VHDL 层次结构为重点,通过大量实例讲解了如何使用 VHDL 设计硬件;通过 16 位实验 CPU 设计实例及其 VHDL 程序源代码阐述 CPU 设计方法。

本书可用作计算机专业本科生和研究生的实验教材,也可作为相关专业人员的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

开放式实验 CPU 设计/汤志忠,杨春武编著. —北京:清华大学出版社,2007.6

(计算机科学与技术专业实践系列教材)

ISBN 978-7-302-15105-0

I. 开… II. ①汤… ②杨… III. 微处理器—系统设计—高等学校—教材 IV. TP332

中国版本图书馆 CIP 数据核字(2007)第 058823 号

责任编辑:马瑛珺 薛 阳

责任校对:李建庄

责任印制:何 芊

出版发行:清华大学出版社

<http://www.tup.com.cn>

c-service@tup.tsinghua.edu.cn

社 总 机:010-62770175

投稿咨询:010-62772015

地 址:北京清华大学学研大厦 A 座

邮 编:100084

邮购热线:010-62786544

客户服务:010-62776969

印 刷 者:清华大学印刷厂

装 订 者:三河市新茂装订有限公司

经 销:全国新华书店

开 本:185×260 印 张:20.75

字 数:499 千字

版 次:2007 年 6 月第 1 版

印 次:2007 年 6 月第 1 次印刷

印 数:1~5000

定 价:25.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。
联系电话:010-62770177 转 3103 产品编号:024249-01

普通高等教育“十一五”国家级规划教材 计算机科学与技术专业实践系列教材

编委会

主 任：王志英

副 主 任：汤志忠

编委委员：陈向群 樊晓桢 邝 坚

孙吉贵 吴 跃 张 莉

责任编辑：马瑛珺

E D I T O R S

计算机组成原理和计算机系统结构是高校计算机专业及相关专业的两门重要课程。为了适应这两门课程的实验教学需要,清华大学计算机系和清华大学科教仪器厂联合研制并生产了 TEC-CA 开放式 CPU 实验教学系统。

在计算机组成原理和计算机系统结构课程的教学过程中,实验教学的位置越来越重要,国外一些著名大学的计算机实验教学在整个课程评价体系中已经占到 60% 以上,我国也逐渐加大了实验教学的力度。近几年来随着计算机和微电子技术的发展,CPU 的设计一直是国内外研究的热点。根据国家教育部高校计算机专业教学大纲的要求,在计算机组成原理课程实验中,学生应该能够设计 CPU。CPU 作为计算机系统的核心,是计算机组成原理和计算机系统结构实验中的重要内容。目前,国内绝大部分计算机组成原理教学实验装置都是在指令集、指令格式、数据表示、寻址方式、存储系统等相对确定的情况下进行的,学生主要进行功能实现和验证。创新是大学教育的灵魂,国家已经开始实施自主创新战略,因此培养学生的创新能力已经越来越迫切。实践教学是培养学生创新能力的一种重要方式,在计算机组成原理和计算机系统结构教学中占据越来越重要的地位。在实践教学中培养学生的创新能力的关键除了加强创新意识教育以外,很重要的一点就是要提供必要的实践环境,在实践教学中给学生提供最大的自由空间,使他们能够充分发挥自身的创新能力,TEC-CA 就是根据这一指导思想设计的。TEC-CA 开放式 CPU 实验教学系统的目标是建立一个研究型、设计型的开放式 CPU 设计实验平台。在该平台上能够尽可能消除各种限制,从 CPU 的指令集到系统结构全部由学生自由设计,并且能够对各种不同系统结构的 16 位 CPU 进行验证和调试。

学生既可以在 TEC-CA 实验平台上进行计算机组成原理各个部件的设计实验,也可以进行计算机系统结构级的 CPU 设计、验证和测试等大型实验。考虑到目前国内的实际情况,我们为各个实验提供了示范性的目标代码,因此可以在 TEC-CA 上进行演示型实验和验证型实验,帮助学生形象地掌握这两门课程的基本内容。

本书由汤志忠教授和杨春武研究员组织编写。清华大学计算机系提供了丰富的素材。全书共 7 章和 2 个附录。第 1 章是 VHDL 入门知识。与一般讲解 VHDL 的书籍不同,本章阐述时不求面面俱到,而是以 if 语句、process 语句、case 语句 3 个常用语句的使用为重点,通过大量实例阐述如何用 VHDL 设计硬件;本章的另一个重点是 VHDL 层次结构设计,讲述大型 VHDL 设计的方法。第 2 章通过 16 位实验 CPU 设计实例讲解了 CPU 设计方法,对 16 位实验 CPU 程序源代码加注了详细注解。第 3 章介绍 Quartus II 基本使用方法,第 4

章是 TEC-CA 开放式 CPU 实验教学系统介绍,第 5 章讲述调试软件 Debugcontroller,第 6 章是计算机组成原理实验,第 7 章是计算机系统结构实验。2 个附录对 VHDL 基础和两种 FPGA 器件 EP1C6、EP1C12 的引脚做了介绍。计算机系统结构的 4 个实验(基本 CPU 设计,多级流水线的 CPU 设计,多级流水带 Cache 的 CPU 设计和超标量 CPU 设计)以清华大学计算机系为期 5 周的夏季学期“计算机专业实践”课程为基础编写,这些实验的一个重要特点是开放式,每个实验都有不同的思路,避免了千篇一律的模式,适合作为学生实验的参考。本书的第 6 章 6.1 节至 6.7 节、第 7 章 7.1 节至 7.3 节初稿由潘轲编写。全书由杨春武统稿,汤志忠审定。在本书的编写过程中,于艳丽对书稿进了校对,提出了若干修改意见;李山山、刘敬晗、柏青、霍明宇、解利忠、李锡荣、扈浩、朱军、石言心和朱冰等做了大量工作。

敬请广大读者提出宝贵意见。

清华大学计算机系 汤志忠 tzz-dcs@tsinghua. edu. cn
清华大学科教仪器厂 杨春武 yangchunwu@tsinghua. edu. cn

2007 年 3 月

P r e f a c e

第 1 章 VHDL 入门 /1

- 1.1 VHDL 入门需掌握的基本知识 /1
- 1.2 命名规则和注释 /2
- 1.3 对象及其说明、运算和赋值 /2
 - 1.3.1 信号、变量和常量 /2
 - 1.3.2 数据类型 /3
 - 1.3.3 信号、变量和常量的说明 /4
 - 1.3.4 常用运算符 /5
 - 1.3.5 赋值语句 /7
- 1.4 if 语句、process 语句和 case 语句的使用 /7
 - 1.4.1 if 语句 /8
 - 1.4.2 process 语句 /9
 - 1.4.3 case 语句 /14
- 1.5 设计实体 /17
 - 1.5.1 实体 /18
 - 1.5.2 结构体 /19
- 1.6 层次结构设计 /23
 - 1.6.1 component 语句和 port map 语句 /24
 - 1.6.2 用层次结构设计方法设计一个与或门 /25
- 1.7 一个通用寄存器组的设计 /28
 - 1.7.1 设计要求 /28
 - 1.7.2 设计方案 /28
 - 1.7.3 设计实现 /29
- 1.8 用 VHDL 设计硬件的建议 /32

第 2 章 16 位实验 CPU 设计实例 /34

- 2.1 指令系统 /34
 - 2.1.1 指令系统格式 /34
 - 2.1.2 指令系统设计说明 /37
- 2.2 实验 CPU 总体设计方案 /37
 - 2.2.1 一条指令执行需要 3 拍时间 /37

2.2.2	实验 CPU 的总体构成	/38
2.3	指令流程表	/41
2.4	实验 CPU 的 VHDL 程序源代码	/44
2.4.1	通用寄存器组部分 regfile	/45
2.4.2	取指部分 instru_fetch	/49
2.4.3	指令译码部分 decoder_unit	/51
2.4.4	执行部分 exe_unit	/53
2.4.5	存储器部分 memory_unit	/55
2.4.6	程序包 exp_cpu_components	/57
2.4.7	顶层设计实体 exp_cpu	/60
第 3 章	Quartus II 基本使用方法	/63
3.1	Quartus 主屏幕	/63
3.2	格雷码计数器设计示例	/66
3.3	仿真	/74
3.3.1	生成仿真波形文件	/74
3.3.2	设置仿真参数	/78
3.3.3	启动仿真且观察波形	/79
3.4	SOF 格式文件下载	/80
3.5	使用嵌入式逻辑分析仪进行实时测试	/81
3.6	电原理图和 VHDL 程序的层次结构设计	/85
第 4 章	TEC-CA 开放式 CPU 实验教学系统介绍	/90
4.1	TEC-CA 的总体结构概述	/90
4.1.1	TEC-CA 的组成部分	/90
4.1.2	TEC-CA 的总体结构	/91
4.2	TEC-CA 的设计指导思想	/92
4.3	TEC-CA 的功能概述	/93
4.3.1	TEC-CA 的基本功能	/93
4.3.2	TEC-CA 的扩展功能	/93
4.4	子板	/94
4.4.1	ACEX1K 系列 FPGA 的特点	/94
4.4.2	ACEX1K 系列 FPGA 的结构	/94

4.4.3	ACEX1K100(PQFP 封装)引脚	/96
4.4.4	TEC-CA 子板和实验平台的连接	/97
4.4.5	TEC-CA 对 ACEX1K100(PQFP 封装)的使用限制	/98
4.4.6	Cyclone 系列 FPGA 的特点	/100
4.4.7	Cyclone 系列 FPGA 的结构	/100
4.4.8	TEC-CA-I 子板和实验平台的连接	/101
4.4.9	使用 EP1C6 和 EP1C12 的限制	/102
4.5	实验平台	/105
4.5.1	实验平台布局图	/105
4.5.2	实验平台上的指示灯	/105
4.5.3	实验平台上的开关	/107
4.5.4	实验平台上的指示灯和逻辑笔	/108
4.5.5	实验平台上的短路子和单脉冲按钮	/109
4.6	TEC-CA 的 3 种调试模式及其设定	/110
4.6.1	TEC-CA 的 3 种调试模式	/110
4.6.2	3 种调试模式的设定	/111
4.7	FPGA-CPU 的一般实验步骤	/112
4.8	TEC-CA 出厂时模式开关和短路子的默认设置	/114
第 5 章 调试软件 Debugcontroller /115		
5.1	简介	/115
5.1.1	用户界面	/115
5.1.2	命令	/117
5.1.3	Debugcontroller 使用流程	/120
5.2	规则文件语法与编写指南	/124
5.2.1	基本语法	/124
5.2.2	进阶使用	/126
5.2.3	两个规则样例文件	/127
5.3	汇编程序格式说明	/128

第 6 章 计算机组成原理实验 /130

6.1 编码实验: Hamming 码 /130

6.1.1 实验目的 /130

6.1.2 实验原理 /130

6.1.3 实验步骤 /133

6.1.4 实验现象 /133

6.1.5 思考题 /134

6.2 编码实验: CRC 码 /134

6.2.1 实验目的 /134

6.2.2 实验原理 /134

6.2.3 实验步骤 /138

6.2.4 实验现象 /138

6.2.5 思考题 /139

6.3 编码实验: BCD 码的加法 /139

6.3.1 实验目的 /139

6.3.2 实验原理 /139

6.3.3 实验步骤 /141

6.3.4 实验现象 /141

6.3.5 思考题 /141

6.4 运算器部件实验 移位器 /142

6.4.1 实验目的 /142

6.4.2 实验原理 /142

6.4.3 实验步骤 /144

6.4.4 实验现象 /144

6.4.5 思考题 /145

6.5 运算器部件实验 加法器 /146

6.5.1 实验目的 /146

6.5.2 实验原理 /146

6.5.3 实验步骤 /150

6.5.4 实验现象 /150

6.5.5 思考题 /150

6.6 运算器部件实验 乘法器 /150

6.6.1 实验目的 /150

6.6.2	实验原理	/151
6.6.3	实验步骤	/156
6.6.4	实验现象	/156
6.6.5	思考题	/158
6.7	运算器部件实验 除法器	/158
6.7.1	实验目的	/158
6.7.2	实验原理	/158
6.7.3	实验步骤	/162
6.7.4	实验现象	/163
6.7.5	思考题	/164
6.8	时序部件实验	/165
6.8.1	实验目的	/165
6.8.2	实验原理	/165
6.8.3	实验步骤	/168
6.8.4	实验现象	/169
6.8.5	思考题	/170
6.9	实验 CPU 通用寄存器组	/170
6.9.1	实验目的	/170
6.9.2	实验原理	/170
6.9.3	实验要求	/172
6.9.4	实验步骤	/172
6.9.5	思考题	/173
6.10	实验 CPU 算术逻辑单元	/173
6.10.1	实验目的	/173
6.10.2	实验原理	/173
6.10.3	实验要求	/174
6.10.4	实验步骤	/175
6.10.5	思考题	/177
6.11	实验 CPU 存储器	/177
6.11.1	实验目的	/177
6.11.2	实验原理	/177

6.11.3	TEC-CA 实验台上的存储器器件 HM6116	/178
6.11.4	实验要求	/180
6.11.5	实验步骤	/181
6.11.6	思考题	/181
6.12	实验 CPU 指令译码器	/181
6.12.1	实验目的	/181
6.12.2	实验原理	/182
6.12.3	实验要求	/183
6.12.4	实验步骤	/186
6.12.5	思考题	/186
6.13	实验 CPU CPU 调试	/186
6.13.1	实验目的	/186
6.13.2	实验原理	/186
6.13.3	实验步骤	/192
6.13.4	思考题	/193
6.14	EP1C6 芯片内部的存储器实验	/193
6.14.1	实验目的	/193
6.14.2	实验原理	/193
6.14.3	Quartus II 中 RAM 的使用方法	/194
6.14.4	使用一个文件对 ROM 进行 初始化	/201
6.14.5	实验说明	/202
6.14.6	实验步骤	/203
6.14.7	实验现象	/203
6.14.8	思考题	/205
6.15	实验 CPU 微程序控制器	/206
6.15.1	实验目的	/206
6.15.2	实验原理	/206
6.15.3	实验 CPU 中的微程序控制器	/209
6.15.4	实验要求	/211
6.15.5	实验步骤	/212
6.15.6	思考题	/212

第 7 章	计算机系统结构实验	/213
7.1	基本 CPU 设计	/213
7.1.1	实验目的	/213
7.1.2	实验说明	/213
7.1.3	基本 CPU	/216
7.1.4	实验步骤与现象	/220
7.2	多级流水 CPU 设计	/222
7.2.1	实验目的	/222
7.2.2	流水线的工作原理	/223
7.2.3	5 级流水无 Cache 的 CPU	/226
7.2.4	实验步骤与现象	/231
7.3	多级流水线带 Cache 的 CPU 设计	/232
7.3.1	实验目的	/232
7.3.2	Cache 原理	/233
7.3.3	5 级流水带 Cache 的 CPU	/235
7.3.4	实验步骤与现象	/248
7.3.5	思考题	/254
7.4	超标量带 Cache 的 CPU 设计	/254
7.4.1	实验目的	/254
7.4.2	超标量 CPU 的原理	/255
7.4.3	超标量带 Cache 的 CPU	/255
7.4.4	实验步骤与现象	/261
附录 A	VHDL 基础	/265
A.1	概述	/265
A.2	VHDL 的基本结构	/266
A.2.1	VHDL 设计的基本单元—— 设计实体	/267
A.2.2	VHDL 构造体的子结构	/271
A.2.3	库和程序包	/276
A.3	数据类型、运算操作数据符	/278
A.3.1	对象	/278

A. 3. 2	VHDL 的数据类型	/281
A. 3. 3	VHDL 的运算操作符	/285
A. 4	VHDL 的基本执行语句	/288
A. 4. 1	并行执行语句	/288
A. 4. 2	顺序执行语句	/292
A. 5	VHDL 设计举例	/301
附录 B EP1C6 和 EP1C12 引脚		/303
参考文献		/313

第 1 章 VHDL 入门

随着系统设计规模的日益扩大,复杂程度日益提高,门级描述变得难以管理,不得不采用更抽象层次的描述方法,并接受高层次的自顶向下的设计方法。逻辑图和布尔方程曾经是描述硬件的方法,但随着系统复杂度的增加,这种描述变得过于复杂,不便于使用。在高于逻辑级的抽象层次上,这种方法难以用简练的方式提供精确的描述。在自顶向下的设计方法中,硬件描述语言如 VHDL 则成为满足以上要求的新方法。

把设计任务分解到可控制的规模的方法形成了层次结构。层次结构的优点如下:

- (1) 在希望抽象的层次上,可以对设计进行精确而简练的描述。
- (2) 在同一时刻,只需设计系统某一部分的细节,这有利于组织并行的设计工作,开展大规模工程设计,而不是个人单兵作战。
- (3) 把注意力集中在系统可以控制的一部分,有助于减少设计错误和排错时间。
- (4) 对各个模块分别进行仿真、测试、功能校验。
- (5) 分阶段地进行设计,逐步加入各个构造模块。

VHDL 的功能非常强大,不仅适合仿真,构建一个大的系统,对系统的行为进行描述,也适合设计具体的硬件电路。VHDL 的全称是 Very High Speed Integrated Circuit Hardware Description Language,即超高速集成电路描述语言。硬件描述语言有许多种,如 ABEL、Verilog 等,VHDL 是其中著名的一种硬件描述语言。VHDL 要适用于许多复杂的情况,还要适应各种硬件设计人员原先的习惯方式和设计风格,因此设计得比较全面。但是正如我们是中国人,都会说中国话,都会写中国字,但是除了专门的研究人员以外,没有几个人能够认识字典上的全部汉字,会汉语的全部语法,但这并不影响我们写文章,也不影响我们用汉语和周围的人员交流。因此,同样除了研究 VHDL 的专家外,大部分人没有必要对 VHDL 全部弄懂,因此本章只从使用的角度介绍 VHDL 的入门知识。从本章的介绍可以看出,VHDL 并不像许多人认为的那样十分难懂和高深,入门其实比较容易。使用这些入门知识,就能设计出绝大部分的电路。至于设计时的各种风格和提高,可参考本书的附录 A “VHDL 基础”和介绍 VHDL 的其他书籍。

1.1 VHDL 入门需掌握的基本知识

- (1) 信号的含义和信号的两种最常用数据类型: `std_logic` 和 `std_logic_vector`。
- (2) 五种常用语句的基本用法: 信号说明语句、赋值语句、if 语句、case 语句和 process

语句。

- (3) 实体(entity)、结构体(architecture)、一个实体和一个结构体对构成的设计实体。
 - (4) 层次结构的设计: 掌握元件(component)语句和端口映射(port map)语句。
 - (5) 库(library)和程序包(package)的基本使用方法。
- 有了上述的入门知识,一般的设计没有什么问题。

1.2 命名规则和注释

在 VHDL 中使用标识符时,即名字命名时应遵守如下规则:

- (1) 名字的最前面应使用英文字母。
- (2) 构成名字的字符只能用英文字母、数字和下划线“_”。
- (3) 不能连续使用两个下划线“_”,名字的最后一个字符也不能用下划线“_”。
- (4) 命名时不要与 VHDL 中的保留字相同,以免造成混乱。
- (5) 在 VHDL 中,对标识符的大小写不敏感,也就是说,下面 4 种标识符的写法代表同一个名字:

counter_16_bit Counter_16_bit Counter_16_Bit COUNTER_16_BIT

但有一种情况需要注意,代表高阻态的“Z”要求必须大写。

(6) VHDL 中使用的注释符是“--”,从注释符号“--”开始到该行末尾结束。所注释的文字不作为语句来处理,不描述电路硬件行为,不产生硬件电路结构。设计中应当对程序进行详细的注释,以增强可读性。

在本书中,为了将 VHDL 中的保留字和用户定义的标识符区分,在程序中保留字用黑体表示。

1.3 对象及其说明、运算和赋值

1.3.1 信号、变量和常量

在 VHDL 中,凡是可以赋予一个值的客体叫对象(object)。有 4 种对象:常量(constant)、信号(signal)、变量(variable)和文件(files),前 3 种经常使用。信号和变量可以连续赋予不同的值,常量只能在它被说明时赋值,试图对一个常量多次赋值会造成错误。

常量在使用中往往代表一些经常遇到的固定的值。如设计 CPU 时,可以把各指令系统中的操作码说明为常量,以便以后多次使用。

变量是程序中临时使用的对象,用于保存中间结果。例如可以用变量作为一个数组的下标等。

信号是硬件中物理连线的抽象描述。信号是 VHDL 中最重要的对象,因为一个信号在