

国外大学优秀教材——微电子类系列 (翻译版)

高级ASIC芯片综合

——使用Synopsys® Design Compiler™
Physical Compiler™ 和PrimeTime®
(第2版)

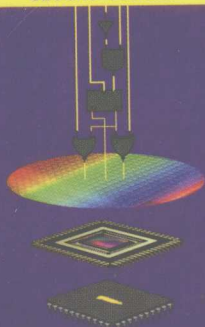
Himanshu Bhatnagar 著

张文俊 译

ADVANCED ASIC CHIP SYNTHESIS

Using Synopsys® Design Compiler™
Physical Compiler™ and PrimeTime®

SECOND EDITION



Himanshu Bhatnagar
Kluwer Academic Publishers



清华大学出版社



Springer

国外大学优秀教材 —— 微电子类系列 (翻译版)

高级ASIC芯片综合

—— 使用Synopsys® Design Compiler™
Physical Compiler™ 和PrimeTime®
(第2版)

Himanshu Bhatnagar 著
张文俊 译



清华大学出版社
北京



Springer

33.00 元

1-3200 册

2007年8月第1版

122×228 毫米

全彩印刷

三河市燕京印刷厂

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

010-62770175

Translation from the English language edition: ADVANCED ASIC CHIP SYNTHESIS, Second Edition, ISBN 0-7923-7644-7 by HIMANSHU BHATNAGAR.

Copyright © 2002 by Kluwer Academic Publishers.

Kluwer Academic Publishers is a part of Springer Science + Business Media.

All Rights Reserved.

本书中文简体字翻译版由德国施普林格公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字:01-2002-3731

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

高级 ASIC 芯片综合:使用 Synopsys® Design Compiler™ Physical Compiler™ 和 PrimeTime® (第2版)/巴特纳格尔(Bhatnagar, H.)著;张文俊译. —北京:清华大学出版社, 2007.6

书名原文:Advanced ASIC Chip Synthesis: Using Synopsys® Design Compiler™ Physical Compiler™ and PrimeTime®

(国外大学优秀教材——微电子类系列(翻译版))

ISBN 978-7-302-14881-4

I. 高… II. ①巴… ②张… III. 集成电路—电路设计—高等学校—教材
IV. TN402

中国版本图书馆 CIP 数据核字(2007)第 038435 号

责任编辑:王敏稚

责任校对:梁毅

责任印制:李红英

出版发行:清华大学出版社 地 址:北京清华大学学研大厦 A 座

http://www.tup.com.cn 邮 编:100084

c-service@tup.tsinghua.edu.cn

社总机:010-62770175 邮购热线:010-62786544

投稿咨询:010-62772015 客户服务:010-62776969

印刷者:北京四季青印刷厂

装订者:三河市溧源装订厂

经 销:全国新华书店

开 本:152×228 印 张:16.5 字 数:273 千字

版 次:2007 年 6 月第 1 版 印 次:2007 年 6 月第 1 次印刷

印 数:1~2500

定 价:33.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:010-62770177 转 3103 产品编号:008310-01

大学电子工程师, 科技文大电子学小热前得家好强出学大学电子工程师共
 意衡考岩书一批齐, 心关的取差味号野我我强学干申强学
 批查对壁, 仅文要文强学不音家中文, 期音平本香新干由, 录景

译者序

谢文洪

2006年11月11日

微电子技术是 21 世纪信息时代的关键技术之一, 是计算机技术、自动控制、通信技术的基础。现在集成电路的设计和应用已经渗透到各个工程技术领域, 几乎每个工程学科的学生和工程技术人员都要了解集成电路设计方面的知识, 并且越来越多的人参与到集成电路设计工作当中。因此十分需要一本介绍集成电路设计流程, 并且能够指导读者进行设计的教材。美国 Conexant 系统公司 Himanshu Bhatnagar 所著的《高级 ASIC 芯片综合》就是这样一本将技术和工具结合在一起的非常实用的教材。

Himanshu Bhatnagar 是 ASIC 设计方面的专家。他在使用 Synopsys 和其他 EDA 工具厂商提供的最新的高性能工具来定义下一代 ASIC 设计流程的方法学方面具有较深的造诣。

本书共 13 章。主要包括三部分内容: 第一部分介绍了一个完整的 ASIC 设计流程, 并且给出了实际应用的例子。第二部分详细讨论了在 ASIC 设计过程中所采用的各种技术, 主要包括 HDL 的编码风格、综合和优化、动态仿真、形式验证、DFT 扫描插入、links to layout (后端集成)、物理综合和静态时序分析等。第三部分详细介绍了 Synopsys 工具所采用的技术和特点以及使用方法, 包括 Synopsys 基本的工艺库、Design Compiler、Synopsys Test Compiler、Physical Compiler、PrimeTime 等。贯穿本书各部分的一个主线, 就是在讨论设计和相关技术问题的过程中, 给读者提供一个应用 Synopsys 工具解决相关问题的方法。这是本书的一大特点, 也使本书的实用性更强。

参加本书翻译的还有冯东博士、马君教授、孙月老师和张昕老师,

2 高级 ASIC 芯片综合

并得到了清华大学出版社编辑的热心指导和大力支持,得到了清华大学微电子学研究所领导和教师的关心,在此一并深表谢意。

最后,由于译者水平有限,文中定有不当或欠妥之处,望读者批评指正。

张文俊

2006年11月于清华园

序

半导体产业的发展有一条业已证明的轨迹,就是 IC 设计的特征尺寸急速减小。作为一个群体,我们的术语知识很快被指代集成度的术语所充满。例如在 20 世纪 80 年代中期,我们将在一个芯片(chip)上集成 1000 个以上晶体管称为“大规模集成”(LSI),然而一两年之后,集成度上升到更先进的 10000 到 100000,称为“超大规模集成”(VLSI)。人们对用新的术语重新定义我们的设计成果做出了少许努力,例如“甚大规模集成”(ULSI)就很幸运地在历史记录中留下一笔。越来越多的远见卓识者认识到摩尔定律的逻辑推演最后必然导致没有恰当的英语词汇来描述最高级的集成度。然而无论如何我们不能拒绝改变头脑中原来对于设计任务的概念,这个概念是基于 20 世纪 90 年代早期到中期新造的短语“片上系统”(System on a Chip),以达到这样一种认识:这种程度的集成度不仅仅允许复杂电子元件的开发,还允许自载信息处理系统。但是我们再一次发现自己在和实际情况斗争,即三四年前“系统”所指代的东西今天却极少能够填满一个中等引脚的计数器件的压焊块环。

因此,我们不应该对此感到惊讶,即设计团体中的一些人正在意识到重新思考和定义设计规则的必要性。设计规则限制了现代 IC 的设计任务。将注意力放在晶体管或者功能的集成度上的做法正在被取代,作为设计产品的规则,设计团队的注意力集中到我们最宝贵的商品和时间上。对于商品和时间,今天的设计任务由机会窗口来定义,机会窗口和设计产出相关,一般是一个不超过 12~18 个月的周期。因此设计团队重点关注一些工具和技术,这些工具和技术可以将设计效率提高到这样的水平:布满硅片的晶体管、功能和子系统模块可以在给定的时间内真正设计出来并表现出特色。当我们的字典开始采用如“六个月规模集成度”(SMSI)、“十二个月规模集成度”(TMSI)

4 高级 ASIC 芯片综合

这样的术语来定义集成规模时，我们不该太吃惊。

本书完全体现了这种努力，它探讨并描述了工具和技术的集合，这些工具和技术可以戏剧性地减少完成设计任务所需的时间并向市场推出 IC 产品。作者 Bhatnagar 先生收集了一系列现代的生产性 IC 设计工具，并揭示了这些工具应用在进一步的设计流程中的方法。这些技术对设计者构成了挑战，设计者必须超越这样的线性高层次设计流程，即利用 HDL 语言作设计描述，综合得到门级和晶体管级实现以及时序分析。本书探讨了实用技术，通过这些技术，更多的信息不是在设计流程中更快地引入就是更快地反馈，以达到减少反复次数和降低复杂性的目的。最终在这些技术的帮助下，我们在更短的时间内得到了质量更好的产品。

当今的半导体行业是在一个压缩时间、过度竞争的环境下进行的。为了在这样的环境下有效竞争，建议每一个设计者和设计团队，注意不断改善他们的上市时间设计规则。本书将满足从事 VLSI 设计的高年级学生以及经验丰富的业界人士在此方面的需求。

Mr. F. Matthew Rhodes

Sr. Vice President and General Manager

Personal Computing Division

Conexant Systems, Inc.

前 言

本书第 2 版描述了使用 Synopsys 工具进行 ASIC 芯片综合、物理综合、形式验证和静态时序分析的最新概念和技术，同时针对超深亚微米（VDSM）工艺的完整 ASIC 设计流程的设计方法学进行了深入的探讨。

本书的重点是使用 Synopsys 工具解决各种 VDSM 问题的实际应用。读者将详细地了解一个有效的处理复杂的亚微米 ASIC 设计方法学，其重点是 HDL 的编码风格、综合和优化、动态仿真、形式验证、DFT 扫描插入、links to layout（后端集成）、物理综合和静态时序分析。在每个步骤中，确定了设计流程中的每一部分的问题，并详细描述了解决的方法。此外，包括与时钟树综合和后端集成（links to layout）等对版图至关重要的问题也进行了详细的讨论。而且为了获得最佳的综合解决方案，本书还对 Synopsys 基本的工艺库、HDL 编码风格进行了深入的探讨。

本书的读者对象是 ASIC 设计工程师和正在学习关于 ASIC 芯片综合以及 DFT 技术的 VLSI 高级课程的硕士研究生。

本书并不是 Synopsys 参考手册的替代品，但希望对 ASIC 设计流程感兴趣的人们有所帮助。对于那些没有版图设计能力，或虽拥有工艺库，但仍依赖于外部厂商进行后端集成和最终器件制造的人们（或公司），本书是非常有用的。由于 VDSM 技术的各种问题，对于传统的向外部厂商提供网表的设计，本书提供了可供选择的设计方法。对于设计者使用来自不同厂商的各种设计工具时所遇到的一些常见问题，本书也提供了解决方案。

在本书的这一版中，已将所有的命令更新到 Design Compiler 的 Tcl 版本，并更改了所有命令以反映 Synopsys 工具的最新版本（2000.11-SP1）。

各章概述

第 1 章概括介绍使用 Synopsys 工具进行 ASIC 设计的不同阶段,并对从概念到芯片的定案下单 (tap-out) 的完整的设计流程作了简要介绍。本章对不了解芯片设计和集成的完整过程,但想学习完整的 ASIC 设计流程的人们是非常有用的。

第 2 章概略说明第 1 章所描述的 ASIC 设计流程的实际应用。本章可作为初学者的指南,也可作为使用 Synopsys 工具的高级用户的参考。没有使用过 Synopsys 工具进行综合的用户应当跳过本章,在阅读过本书的其他章节后再回来阅读本章。

第 3 章详细地介绍综合的基本概念。这些概念包括在后面章节要用到的综合术语。本章也介绍了 Synopsys 工具及使用环境的基本信息。除了描述每个工具的用途及其设置之外,本章还着重定义了 Design Compiler 使用的对象、变量、属性和编译指示。

第 4 章介绍 Synopsys 工艺库的基础知识。工艺库包含各种不同驱动强度的单元,只要工艺库包含不同驱动强度的多种单元,设计者通常不关心工艺库的全部细节。然而,一个丰富的库常常决定综合的质量。因此,本章试图从设计者的角度描述 Synopsys 工艺库。其重点放在延迟计算方法和可使设计人员更好地利用工艺库的其他技巧,进而提高综合设计的质量。

适当的划分和良好的编码风格是获得好品质的基础。第 5 章对正确划分的各种技术提供指导,以获得最佳的解决方案。此外,在本章的大量实例中,介绍了 HDL 编码风格,并且指导设计人员通过怎样的编码来完成设计以得到较快的逻辑和最小的面积。

第 6 章介绍了用于综合与优化的 Design Compiler 命令。本章对使用 Synopsys 工具的初学者和高级用户都有所帮助。本章重点考虑与理想情况偏离的实际应用,即“不是所有的设计或设计者都能遵循 Synopsys 建议”。本章还列举了大量实例来帮助用户实际使用这些命令。

第 7 章讨论优化技术以满足时序和面积的需求,并比较了 Design Compiler 新旧版本之间差异。本章重点介绍了在 DC 中使用的新的优化技术“TNS”。同时也详细分析了进行逻辑优化的各种方法。此外,对不同的编译策略的优缺点也进行了详细的讨论。

DFT 技术正在逐渐成为 ASIC 设计工程师必须掌握的技术。第 8 章首先概述了目前使用的各种 DFT 技术, 然后详细描述了如何使用 Synopsys Test Compiler 将系统设计为可扫描的, 并介绍了通过 Design Compiler 插入扫描的命令。为了减少设计中 DFT 扫描插入所引起的相关问题, 本章给出了一系列的指导。

第 9 章讨论了 Design Compiler 的后端集成 (links to layout) 的特性。它描述了前端和后端设计工具之间的接口。本章也为布图后的优化设计提供了不同策略, 包括基于优化技术的布局。此外, 还介绍了时钟树插入和将时钟树移入到 Design Compiler 所产生的相关问题, 并对常见的问题给出了各种解决办法。本章对那些没有版图工具并且愿意学习布局布线过程以及全芯片集成技术的设计者 (和公司) 是非常有价值的。

Physical Compiler 极大地改变了传统的综合方法。第 10 章详细地描述了这一流程, 并描述了使用 Physical Compiler 获得最佳结果的各种方法。为了理解 Physical Compiler 流程, 在读本章之前, 建议读者阅读关于传统流程的所有章节 (尤其是第 9 章)。这将会帮助理解本章与传统流程相关的内容。本章还给出了各种示例脚本来说明这个新工具的用法。

第 11 章标题为“SDF 生成——动态时序仿真”, 描述利用 Design Compiler 或 PrimeTime 生成 SDF 文件的过程。本章首先讲述了 SDF 格式句法, 然后详细讨论布图前后的 SDF 生成过程。此外, 一些创新的思想和建议还可以帮助设计者进行成功的仿真。对那些为了验证设计的功能, 喜欢使用动态仿真方法胜过形式验证技术的设计人员, 本章也是非常有用的。

第 12 章介绍使用 PrimeTime 进行静态的时序分析的基本方法, 包括 PrimeTime 使用的 Tcl 语言的简要介绍。本章还介绍了用于进行静态时序分析以及在出现时序违例 (timing violation) 时便于设计人员进行调试的 PrimeTime 命令。

对于特定的设计而言, 制造工作芯片的关键是能够成功地完成静态时序分析。在整个设计流程中进行静态时序分析是最重要的一步, 也是许多设计人员将设计提交给 ASIC 厂商的交付标准。第 13 章讨论了使用 PrimeTime 进行静态时序分析的一些基础和高级的问题, 对 ASIC 设计流程中布图前后的 PrimeTime 的用法作了详细的说明。此外, 还给出了大量关于各种情况的分析报告和建议的示例。对那些想

要从传统的动态仿真方法转到静态分析设计的设计人员，本章是有益的；同时，对那些想要使用 PrimeTime 对设计进行深入分析的读者，本章也是很有帮助的。

本书使用的约定

所有的 Synopsys 命令以“Arial”字体表示。这包括综合和时序分析脚本的所有示例。

命令行提示以“Courier New”字体表示。例如：

```
dc_shell>和 pt_shell>
```

对于一些带有选项值的命令，选项值放在 < 和 > 之间。通常在使用命令之前，需要替换这些值。例如：

```
set_false_path-from<from list> - to <to list>
```

“\” 字符用来表示续行，而 “|” 字符表示“OR”函数。例如：

```
compile -map_effort low|medium|high\  
-incremental_mapping
```

只要有可能，关键字都用斜体。主题或要点需要强调用下划线或粗体字来突出表示。

致 谢

在本书的出版过程中，许多人都投入了时间和精力，作者在此向他们表示衷心的感谢。没有他们的帮助，本书是不可能完成的。

首先，特别感谢我的家庭给予了我长久的支持和鼓励，这是我完成这项工作的动力。我的妻子 Nivedita，她容忍我夜里和周末的写作活动，同时花费大量的时间校对原稿并改正我的“工程师英语”。没有她的帮助和理解，我不可能完成这项工作。

我要感谢我的主管 Anil Mankar，他在工作中给予我大力的支持，使我能够完成本书。他的精神支持和创造性的建议对我有很大的帮助。我也非常感谢我在科胜讯 (Conexant) 的同事。Khosrow Golshan 帮助我设计了书的封面。对后端设计流程，他也提出许多重要的建议。Young Lee, Hoat Nguyen, Vinson Chua, Hien Truong, Songhua Xu, Chilan Nguyen, Randy Kolar, Steve Schulz, Richard Ward, Sameer Rao, Chih-Shun Ding 和 Ravi Ranjan 等都花费了他们的宝贵时间对原稿进行了讨论。

极其幸运的是我遇到一位杰出的评审专家，Kelvin F. Poole (南卡罗来纳州克莱姆森大学)。当写作本书的时候，我得到了认识许多年的普尔博士的指导。他不止逐字地校对了全部文稿 (我肯定他咬紧了牙关!)，而且还提出了许多有价值的建议，使本书内容更加翔实。谢谢你，普尔博士。

向在 Synopsys 公司工作的 Bill Mullen, Ahsan Bootehsaz, Steve Meier, Russ Segal, Juergen Froessl, Elisabeth Moselery, Kelly Conklin, Bob Moussavi 和 Amanda Hsiao 表示我深深的感谢。他们参与了原稿的讨论，并且提出了许多有价值的建议。Synopsys 公司的 Julie Liedtke 和 Bryn Ekroot 帮助我写必需的商标信息。特别感谢 Broadcom 公司的 Jeff Echtenkamp, Heratch Avakian, Chung-Jue Chen 和 Chin-Sieh

Lee, 他们提供了有价值的反馈和深入的讨论。感谢总是积极给予反馈的 Kameshwar Rao (顾问), Jean-Claude Marin (法国 ST 微电子), Tapan Mohanti (Centillum 通信), Dr. Sudhir Aggarwal (Philips 半导体) 和 Abu Horaira (Intel 公司), 非常感激他们的鼓励与支持。

在 SNUG 2000 期间, 我认识了 Cliff Cummings (Sunburst 设计的总裁兼顾问), 作为 Verilog RTL 编码和综合的专家, Cliff 在这一行业中是非常著名的。我请求他帮助我评审本书的某些章节, 我非常感谢他提出了许多有价值的建议。我已将这些建议写入了本书的第 5 章。

本书第 2 版的写作比预期花费了更长的时间, 主要的原因是引入了 Physical Compiler。我对这本书的内容进行了扩展, 但是不能写一些不成熟的内容。在写作本书的过程中, Kluwer 科学出版社的 Carl Harris 理解并且支持我。即使我延迟书的出版, 他也表示理解, 使我非常感激。

最后, “感谢父母对我永无止境的信任”。

Himanshu Bhatnagar

Conexant Systems, INC.

Newport Beach, California

作者简介

Himanshu Bhatnagar 是位于美国加州新港海滩 (Newport Beach) 的科胜讯 (Conexant) 系统公司 ASIC 设计小组的领导。科胜讯系统公司是世界上最大的专门提供半导体通信电子产品的公司。Himanshu 在使用 Synopsys 和其他 EDA 工具厂商提供的最新的高性能工具来定义下一代的 ASIC 设计流程方法学方面具有较深的造诣。

在加入科胜讯之前, Himanshu 在新加坡 ST 微电子工作, 该公司的总部位于法国 Grenoble。他在斯旺西 (Swansea) 大学 (英国威尔士) 获得了电子与计算机科学专业的学士学位。在克莱姆森大学 (美国南卡罗来纳州) 获得了超大规模集成电路设计专业的硕士学位。

目 录

78	3.3
83	3.3.1
88	3.3.2
93	3.3.3
104	3.3.4
104	3.3.5
111	3.3.6
114	3.3.7
118	3.3.8
第 1 章 ASIC 设计方法学	1
1.1 传统的设计流程	1
1.1.1 规范和 RTL 编码	3
1.1.2 动态仿真	4
1.1.3 约束、综合和扫描插入	5
1.1.4 形式验证	6
1.1.5 使用 PrimeTime 进行静态时序分析	7
1.1.6 布局、布线和验证	8
1.1.7 工程改变命令	9
1.2 Physical Compiler 流程	10
1.2.1 物理综合	11
1.3 小结	12
第 2 章 入门指南 静态时序分析与综合	13
2.1 设计示例	14
2.2 初始设置	14
2.3 传统流程	15
2.3.1 布图前的步骤	15
2.3.2 布图后步骤	27
2.4 Physical Compiler 流程	32
2.5 小结	32
第 3 章 基本概念	33
3.1 Synopsys 产品	33
3.2 综合环境	35
3.2.1 启动文件	35
3.2.2 系统库变量	36

3.3	对象、变量和属性	37
3.3.1	设计对象	38
3.3.2	变量	38
3.3.3	属性	39
3.4	找寻设计对象	40
3.5	Synopsys 格式	40
3.6	数据组织	41
3.7	设计输入	41
3.8	编译指令	43
3.8.1	HDL 编译器指令	43
3.8.2	VHDL 编译器指令	44
3.9	小结	45
第 4 章	Synopsys 工艺库	47
4.1	工艺库	47
4.1.1	逻辑库	47
4.1.2	物理库	48
4.2	逻辑库基础	48
4.2.1	库类	48
4.2.2	库级属性	49
4.2.3	环境描述	49
4.2.4	单元描述	53
4.3	延时计算	56
4.3.1	延时模型	56
4.3.2	延时计算问题	57
4.4	何谓好库?	58
4.5	小结	59
第 5 章	划分和编码风格	61
5.1	综合划分	61
5.2	何谓 RTL?	63
5.2.1	软件与硬件	63
5.3	通用指导方针	63
5.3.1	工艺无关	64
5.3.2	时钟相关逻辑	64
5.3.3	顶层没有粘合逻辑	64

5.3.4	模块名与文件名一致.....	65
5.3.5	压焊块同核心逻辑相分离.....	65
5.3.6	最小化不必要的层次.....	65
5.3.7	寄存所有输出.....	65
5.3.8	FSM 综合指导.....	66
5.4	逻辑推断.....	66
5.4.1	不完全敏感信号表.....	66
5.4.2	存储元件推断.....	67
5.4.3	多路选择器推断.....	71
5.4.4	三态推断.....	73
5.5	顺序相关.....	73
5.5.1	Verilog 中阻塞与非阻塞赋值.....	74
5.5.2	VHDL 中的信号与变量.....	74
5.6	小结.....	75
第 6 章	设计约束.....	77
6.1	环境与约束.....	77
6.1.1	设计环境.....	77
6.1.2	设计约束.....	81
6.2	高级约束.....	85
6.3	时钟问题.....	87
6.3.1	布图前.....	87
6.3.2	布图后.....	88
6.3.3	生成的时钟.....	89
6.4	综合实例.....	90
6.5	小结.....	92
第 7 章	优化设计.....	93
7.1	设计空间探索.....	93
7.2	总的负松弛.....	96
7.3	编译策略.....	97
7.3.1	自顶向下层次化编译.....	97
7.3.2	时间预算编译.....	98
7.3.3	Compile-Characterize-Write-Script-Recompile.....	99
7.3.4	设计预算.....	100
7.4	多个实例解析.....	101