

国外大学优秀教材——微电子类系列（翻译版）

# 模拟电路版图艺术

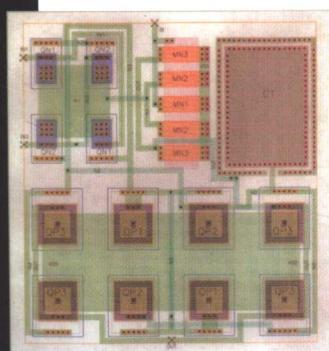
Alan Hastings 著

王志功 主译

沈永朝 审校

The Art of

ANALOG LAYOUT



Alan Hastings



清华大学出版社



国外大学优秀教材——微电子类系列（翻译版）

# 模拟电路版图艺术

Alan Hastings 著

王志功 主译

沈永朝 审校

清华大学出版社  
北京

Authorized translation from the English language edition, entitled THE ART OF ANALOG LAYOUT, 1, 0130870617 by ALAN HASTINGS, published by Pearson Education, Inc, publishing as Prentice Hall, copyright © 2001.

All Rights Reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson education, Inc. CHINESE SIMPLIFIED language edition published by TSINGHUA UNIVERSITY PRESS Copyright © 2007.

本书中文简体翻译版由培生教育出版集团授权给清华大学出版社出版发行。未经许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字: 01-2003-2554

本书封面贴有 Pearson Education( 培生教育出版集团 ) 激光防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13501256678 13801310933

### 图书在版编目(CIP)数据

模拟电路版图艺术/(美)黑斯廷斯(Hastings,A.)著; 王志功主译. —北京: 清华大学出版社, 2007. 9  
(国外大学优秀教材·微电子类系列)

书名原文: The Art of Analog Layout

ISBN 978-7-302-14961-3

I. 模… II. ①黑… ②王… III. 模拟集成电路—电路设计—高等学校—教材—英文  
IV. TN431.102

中国版本图书馆 CIP 数据核字(2007)第 049785 号

责任编辑: 刘 彤

责任校对: 李建庄

责任印制: 何 萍

出版发行: 清华大学出版社 地址: 北京清华大学学研大厦 A 座

<http://www.tup.com.cn> 邮 编: 100084

c-service@tup.tsinghua.edu.cn

社 总 机: 010-62770175 邮购热线: 010-62786544

投稿咨询: 010-62772015 客户服务: 010-62776969

印 刷 者: 北京四季青印刷厂

装 订 者: 三河市兴旺装订有限公司

经 销: 全国新华书店

开 本: 185×230 印 张: 35.25 字 数: 762 千字

版 次: 2007 年 9 月第 1 版 印 次: 2007 年 9 月第 1 次印刷

印 数: 1~3000

定 价: 59.00 元

---

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题, 请与清华大学出版社出版部联系  
调换。联系电话: (010)62770177 转 3103 产品编号: 009707 - 01

IA		IIA IIIA IVA VA VIA VIIA																		2							
H	Li	Be 铍	Mg 镁	Na 钠	K 钾	Rb 铷	Cs 铯	Fr 钫	He 氦	O 氧	F 氟	Cl 氯	S 硫	P 磷	N 氮	C 碳	B 硼	Al 铝	Si 硅	Ge 锗	In 铟	Sn 锡	Te 碲	I 碘	Xe 氙	Rn 氡	
1	3	4	12	19	38	56	87	88	89	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	
										Ca 钙	Sc 钪	Ti 钛	V 钒	Cr 铬	Mn 锰	Fe 铁	Co 钴	Ni 镍	Cu 铜	Zn 锌	Ga 镓	Ge 锗	As 砷	Se 硒	Br 溴	Kr 氪	
										Nb 铌	Y 钇	Zr 锆	La 镧	Tc 锝	Mo 钼	Ru 钌	Rh 铑	Pd 钯	Ag 银	Cd 镉	In 铟	Sn 锡	Sb 锑	Te 碲	I 碘	Xe 氙	Rn 氡
										La 镧	La 镧	Hf 铪	Ta 钽	W 钨	Ta 钽	Re 铼	Os 锇	Ir 铱	Pt 铂	Au 金	Hg 汞	Tl 铊	Pb 铅	Bi 铋	Po 钋	At 砹	Fr 钫

锕系	Ce 铈	Pr 镨	Nd 钕	60 钷	Pm 钷	61 钷	Eu 铕	62 钐	Gd 钆	63 铒	Tb 铽	64 铥	Dy 镝	65 钬	Ho 钬	66 铥	Er 铒	67 铥	Tm 铥	68 铥	Yb 铥	69 镥	Lu 镥	70 镥	Yb 镥	71 镥	Lu 镥
镧系	58 Ce 铈	59 Pr 镨	60 Nd 钕	61 钷	62 钷	63 钐	Eu 铕	64 钆	Gd 钆	65 铒	Tb 铽	66 铥	Dy 镝	67 钬	Ho 钬	68 铥	Er 铒	69 铥	Tm 铥	70 镥	Yb 镥	71 镥	Lu 镥	70 镥	Yb 镥	71 镥	Lu 镥
锕系	90 Th 钍	91 Pa 镤	92 U 铀	93 Np 镎	94 Pu 钚	95 Am 镅	96 Cm 锔	97 Bk 锫	98 Cf 锎	99 Es 锿	100 Fm 镄	101 Md 钔	102 No 锘	103 Lr 铹	104 Rf 铹	105 Nh 铹	106 Mt 铹	107 Ts 铹	108 Og 铹	109 Nh 铹	110 Mt 铹	111 Ts 铹	112 Og 铹	113 Nh 铹	114 Mt 铹	115 Ts 铹	116 Og 铹

# 译者序

集成电路大体上可分为模拟电路与数字电路两大类。讲到集成电路设计，人们通常把它视为一门技术。对于数字集成电路设计也确实如此。由于数字逻辑特别是二进制数字逻辑的简单逻辑运算关系和少数几种基本逻辑电路单元，加上计算机强大的运算能力，数字集成电路的设计从逻辑综合到版图的布局布线都可以自动化完成，它们的设计工具因此被称为EDA(电子设计自动化)。而模拟集成电路的设计，包括数字集成电路单元库的物理层设计，远没有数字集成电路逻辑设计那么简单。迄今为止，它们的设计工具还没有太多超出CAD(计算机辅助设计)的范畴。其原因在于，模拟集成电路设计呈现太多的变化，需要太多设计者的知识、智慧和实践；其电路构建、分析和仿真是如此，其版图设计也是如此。而且，模拟电路版图设计还具有绘画等艺术品的直观可视性。因而，模拟电路版图设计不仅仅是一门技术，同时还是一门艺术。本质上它是一门蕴涵大量知识和技术的艺术创作过程。

这本由 Alan Hastings 编著、Prentice Hall 出版社 2001 年出版的教科书因此题名为“the Art of Analog Layout”(模拟电路版图艺术)。书中不仅介绍了器件物理特性和半导体制造的一些细节，讲解了电阻、电容、双极型晶体管和场效应晶体管的版图设计的基本技术，对集成电路版图设计入门者具有直接的指导和帮助作用，而且作者还通过几章的内容讨论了集成电路器件失效机制和匹配等重要的实践性题目，以及包括器件合并、保护环、静电保护结构和布局等高级题目，这些内容对熟练的集成电路设计工程师亦有深刻的启发和广泛的借鉴意义。

本书的英文影印本由清华出版社 2003 年 9 月出版。此后不久，我即受清华大学出版社的委托，组织对该书进行翻译。我的助教黎飞老师，我指导的博士研究生丁敬峰、夏峻、陈勣、唐路、王余峰、黄继伟、彭艳军、王贵、韩鹏和刘永旺等同学，硕士研究生鲍剑、夏昊天、钱枫、肖洁、宋蓓、杨柯、夏春晓、徐涛、李彧、赵海兵、李正、王晓霞等同学，以及做毕业设计的陆静学、刘海涛、顾皋蔚、吴俊等同学参与了相关章节的前期翻译工作。唐路同学在分发原文和收集译文等组织方面、高磊和毕瑶在文字整理方面做了大量的工作。在此对所有参与此项工作的人员表示感谢。

由于此书内容的全面综合性、知识的深入浅出性和技术的应用实践性，其翻译对研究生们来说颇具难度。因此，我在他们初步翻译文字的基础上，结合本人近 30 年模拟集成电路设计的经验，进行了逐字逐句的斟酌修改，甚至是整句整段重新翻译，终于利用两年多节假日的时间，完成了这本 500 多页原文的翻译。

我的硕士导师沈永朝教授对本书的翻译稿进行了审校，提出了许多精辟的修改意见。在这里对他 30 年来的培养和指导表示衷心的感谢。

希望这本译著能为我国正在蓬勃兴起的集成电路设计人才培养提供一本教材或教材参考书,为采用该原版书进行集成电路版图设计教学的师生提供对照阅读的中文文本,同时为集成电路设计工程师提供方便阅读的参考书。希望这本书的所有读者,通过学习和实践,真正成为模拟集成电路设计的技术与艺术大师。

鉴于本书涉及的知识面广、内容浩繁和译者水平有限,译文中难免会有错谬之处,敬请该领域的专家学者们和广大读者批评指正。

王志功

2007年6月于东南大学

# 前　　言

一个集成电路只有在高倍显微镜下才显现它真实的外观。错综复杂的微细金属线覆盖在它的表面，下面是同样复杂的掺杂硅的图案，所有这些都按照称之为版图的一套设计图做出。尽管有了一些尝试，模拟和混合信号集成电路版图设计方法的自动化仍然是一个巨大的挑战。设计版图中每一个多边形的形状和布局，都需要对器件的物理特性、半导体制造的工序和电路的原理有透彻的理解。尽管历经了三十年的研究，很多东西仍然具有不确定性。这些信息被隐藏在晦涩的期刊文章和未出版的手稿中。本教科书将这些信息汇编成册，原打算用于版图设计者实习之用，然而实践证明这本书对于那些希望更好地理解电路和版图关系的电路设计者也是很有价值的。

本书是为那些具有有限的高等数学和固体物理基础知识的读者所写的。书中的数学推导内容不多，主要关注所有变量的定义和大多数常见单位的使用。读者只要熟悉基本代数和初步的电子学即可。多数习题以读者有机会接触版图编辑软件为前提，但没有这些资源的读者也可以用铅笔和纸完成大多数习题。

本书由 14 章正文和 5 个附录组成。前面两章概述器件物理特性和半导体制造，其中避开了数学推导，偏重于简单的语言描述和可视模型。第 3 章讲述 3 种原型器件工艺：标准双极型、硅栅 CMOS 和模拟 BiCMOS。讲述内容重点是剖面的演变和这些剖面与常规样品器件版图视图间的关系。第 4 章讨论共同的失效机制，强调版图在决定可靠性中的作用。第 5,6 章给出了电阻和电容的版图。第 7 章以电阻和电容为例子给出了匹配准则。第 8~10 章讨论双极型器件版图，第 11,12 章讨论场效应晶体管的版图和匹配。第 13,14 章包括一系列高级的题目，如器件合并、保护环、静电保护结构和布局。附录包括缩写表、密勒指数讨论、供习题用的简单的版图规则和书中所引用的公式。

Alan Hastings

# 致 谢

书中包含的信息来源于众多科学家、工程师和技术员的辛勤工作。他们中的大多数人因为他们的著作未被出版而不为人知。我尽可能多地对基础的发现和理论给出参考索引，但在不少情况下我无法确定出处。

我感谢德州仪器的同事们尤其是 Ken Bell, Walter Bucksch, Lou Hurter, Clif Jones, Jeff Smith, Fred Trafton 和 Joe Trogolo 提出的大量建议。他们所有的人都为本书提供了重要信息。我也很感谢 Bob Borden, Nicolas Salamina 和 Ming Chiang 对我的鼓励，没有这些鼓励我大概无法完成本书。

# 目 录

<b>第 1 章 器件物理</b> .....	<b>1</b>
1. 1 半导体 .....	1
1. 1. 1 产生与复合 .....	3
1. 1. 2 非本征半导体 .....	6
1. 1. 3 扩散与漂移 .....	8
1. 2 PN 结 .....	9
1. 2. 1 耗尽区 .....	10
1. 2. 2 PN 二极管 .....	12
1. 2. 3 肖特基二极管 .....	14
1. 2. 4 齐纳二极管 .....	16
1. 2. 5 欧姆接触 .....	17
1. 3 双极结型晶体管 .....	19
1. 3. 1 $\beta$ .....	21
1. 3. 2 I-V 特性 .....	22
1. 4 MOS 晶体管 .....	23
1. 4. 1 阈值电压 .....	25
1. 4. 2 I-V 特性 .....	27
1. 5 结型场效应管 .....	29
1. 6 总结 .....	31
1. 7 习题 .....	32
<b>第 2 章 半导体制造</b> .....	<b>33</b>
2. 1 硅制造 .....	33
2. 1. 1 晶体的生长 .....	33
2. 1. 2 晶圆制造 .....	34
2. 1. 3 硅晶体结构 .....	35
2. 2 光刻 .....	36
2. 2. 1 光刻胶 .....	37
2. 2. 2 光掩膜和母版 .....	37

---

2.2.3 图案形成 .....	39
2.3 氧化物的生长和去除.....	39
2.3.1 氧化物的生长和沉积 .....	39
2.3.2 氧化物的去除 .....	41
2.3.3 氧化层的增长和去除的其他效应 .....	43
2.3.4 局部硅氧化(LOCOS) .....	44
2.4 扩散与离子注入.....	46
2.4.1 扩散 .....	47
2.4.2 扩散的其他作用 .....	49
2.4.3 离子注入 .....	51
2.5 硅沉积.....	53
2.5.1 外延 .....	53
2.5.2 多晶硅沉积 .....	55
2.6 金属层制作.....	55
2.6.1 铝的沉积与去除 .....	56
2.6.2 难熔的防护金属 .....	57
2.6.3 硅化物 .....	59
2.6.4 层间氧化物、层间氮化物和保护层.....	60
2.7 封装.....	61
2.7.1 贴装与焊接 .....	63
2.7.2 封装 .....	66
2.8 总结.....	66
2.9 习题.....	66
<b>第3章 代表性工艺 .....</b>	<b>68</b>
3.1 标准双极型.....	68
3.1.1 基本特征 .....	69
3.1.2 制造工序 .....	69
3.1.3 可用器件 .....	74
3.1.4 工艺扩展 .....	81
3.2 多晶硅栅 CMOS .....	84
3.2.1 基本特征 .....	85
3.2.2 制造工序 .....	86
3.2.3 可用器件 .....	92
3.2.4 工艺扩展 .....	97

---

3.3 模拟 BiCMOS .....	101
3.3.1 基本特征.....	101
3.3.2 制作顺序.....	103
3.3.3 可利用器件.....	109
3.4 总结 .....	113
3.5 习题 .....	114
<b>第 4 章 失效机理.....</b>	<b>116</b>
4.1 电气过载 .....	116
4.1.1 静电放电(ESD).....	116
4.1.2 电迁徙.....	119
4.1.3 天线效应.....	120
4.2 污染 .....	121
4.2.1 干腐蚀.....	122
4.2.2 可移动离子污染.....	123
4.3 表面影响 .....	126
4.3.1 热载流子注入.....	126
4.3.2 寄生沟道和电荷散布.....	129
4.4 寄生参数 .....	137
4.4.1 衬底失偏.....	138
4.4.2 少数载流子注入.....	141
4.5 总结 .....	151
4.6 习题 .....	152
<b>第 5 章 电阻.....</b>	<b>154</b>
5.1 电阻率和方块电阻 .....	154
5.2 电阻的版图 .....	156
5.3 电阻可变性 .....	160
5.3.1 工艺变化.....	160
5.3.2 温度变化.....	161
5.3.3 非线性.....	162
5.3.4 接触电阻.....	164
5.4 电阻的寄生效应 .....	165
5.5 各种电阻的比较 .....	168
5.5.1 基区电阻.....	168
5.5.2 射区电阻.....	169

---

5.5.3 基区夹扁电阻	171
5.5.4 高方块值电阻	171
5.5.5 外延区夹扁电阻	174
5.5.6 金属电阻	175
5.5.7 多晶硅电阻	176
5.5.8 NSD 和 PSD 电阻	178
5.5.9 N 阵电阻	179
5.5.10 薄膜电阻	180
5.6 调整电阻值	181
5.6.1 可调电阻	181
5.6.2 微调电阻	184
5.7 总结	190
5.8 习题	191
<b>第 6 章 电容</b>	<b>193</b>
6.1 电容量	193
6.2 电容的变化	199
6.2.1 工艺变化	199
6.2.2 电压调制与温度变化	200
6.3 电容的寄生效应	202
6.4 可用电容的比较	204
6.4.1 基极-发射极结电容	204
6.4.2 MOS 电容	206
6.4.3 多晶硅-多晶硅电容	208
6.4.4 电容器的种种变型	210
6.5 总结	211
6.6 习题	212
<b>第 7 章 电容与电阻的匹配</b>	<b>213</b>
7.1 失配测量	213
7.2 失配的起因	215
7.2.1 随机统计起伏	216
7.2.2 工艺偏差	217
7.2.3 图形移位	219
7.2.4 多晶硅刻蚀速率的改变	221
7.2.5 相互扩散作用	223

---

7.2.6 应力梯度和封装偏移	225
7.2.7 温度梯度和热电效应	235
7.2.8 静电相互作用	240
7.3 器件匹配的规则	247
7.3.1 电阻匹配规则	247
7.3.2 电容匹配规则	251
7.4 总结	254
7.5 习题	255
<b>第 8 章 双极型晶体管</b>	<b>257</b>
8.1 有关双极型晶体管工作的讨论	257
8.1.1 $\beta$ 值的下降	258
8.1.2 雪崩击穿	259
8.1.3 热崩和二次击穿	261
8.1.4 NPN 型晶体管的饱和	263
8.1.5 横向 PNP 晶体管的饱和	266
8.1.6 双极型晶体管的寄生效应	268
8.2 标准双极型小信号晶体管	270
8.2.1 标准双极型 NPN 晶体管	271
8.2.2 标准双极型衬底 PNP 晶体管	276
8.2.3 标准双极型横向 PNP 晶体管	280
8.2.4 高压双极型晶体管	287
8.3 可供选择的小信号双极型晶体管	289
8.3.1 标准双极型硅工艺的扩展	289
8.3.2 模拟 BiCMOS 双极型晶体管	291
8.3.3 CMOS 工艺中的双极型晶体管	294
8.3.4 先进工艺的双极型晶体管	295
8.4 总结	298
8.5 习题	299
<b>第 9 章 双极型晶体管应用</b>	<b>301</b>
9.1 功率双极型晶体管	302
9.1.1 NPN 功率晶体管的失效机理	302
9.1.2 功率 NPN 晶体管的版图设计	307
9.1.3 饱和度检测与限制	315
9.2 双极型晶体管的匹配	318

---

9.2.1 随机变化	319
9.2.2 发射极负反馈	321
9.2.3 N型掩埋层阴影区(NBL Shadow)	323
9.2.4 热梯度	324
9.2.5 应力梯度	328
9.3 双极型晶体管的匹配规则	330
9.3.1 匹配NPN晶体管的设计规则	331
9.3.2 横向PNP晶体管的匹配设计规则	333
9.4 总结	336
9.5 习题	336
<b>第10章 二极管</b>	<b>339</b>
10.1 基于标准双极型工艺的二极管	339
10.1.1 二极管接法的晶体管	339
10.1.2 齐纳二极管	341
10.1.3 肖特基二极管	347
10.2 基于CMOS工艺和BiCMOS工艺的二极管	352
10.3 匹配二极管	354
10.3.1 PN二极管匹配	354
10.3.2 齐纳管匹配	355
10.3.3 肖特基管匹配	356
10.4 总结	357
10.5 习题	357
<b>第11章 MOS晶体管</b>	<b>359</b>
11.1 基本概念	360
11.1.1 MOS晶体管模型	360
11.1.2 MOS管的寄生参数	366
11.2 自对准多晶硅栅极CMOS晶体管	371
11.2.1 对MOS晶体管编码	372
11.2.2 N阱和P阱工艺	373
11.2.3 沟道停止	376
11.2.4 阈值调整注入	377
11.2.5 晶体管的收缩	380
11.2.6 变体结构	383
11.2.7 背栅接触孔	388

---

11.3 总结 .....	391
11.4 习题 .....	391
<b>第 12 章 MOS 晶体管应用 .....</b>	<b>393</b>
12.1 扩压晶体管 .....	393
12.1.1 LDD 和 DDD 晶体管 .....	394
12.1.2 漏极延伸晶体管 .....	397
12.1.3 多类栅极氧化 .....	400
12.2 功率 MOS 晶体管 .....	401
12.2.1 传统的 MOS 功率晶体管 .....	404
12.2.2 DMOS 晶体管 .....	411
12.3 JFET 晶体管 .....	416
12.3.1 JEFT 模型 .....	416
12.3.2 JFET 版图 .....	417
12.4 MOS 晶体管匹配 .....	421
12.4.1 几何因素 .....	422
12.4.2 扩散和蚀刻的影响 .....	424
12.4.3 热和应力效应 .....	427
12.4.4 MOS 晶体管的共质心版图 .....	429
12.5 MOS 管匹配规则 .....	433
12.6 总结 .....	436
12.7 习题 .....	436
<b>第 13 章 专题讨论 .....</b>	<b>439</b>
13.1 合并的器件 .....	439
13.1.1 含缺陷的器件合并 .....	440
13.1.2 成功的器件合并 .....	444
13.1.3 低风险合并的器件 .....	446
13.1.4 含中等程度风险的器件合并 .....	447
13.1.5 设计新的合并器件 .....	448
13.2 保护环 .....	449
13.2.1 标准的双极型电子保护环 .....	450
13.2.2 标准双极型工艺的空穴保护环 .....	451
13.2.3 CMOS 和 BiCMOS 中的保护环 .....	452
13.3 单层互连 .....	454
13.3.1 模仿版图和棒状图 .....	455

---

13.3.2 交叉连线技术 .....	457
13.3.3 隧道类型 .....	458
13.4 构建焊盘环 .....	460
13.4.1 划片槽和校准标识符 .....	460
13.4.2 键合焊盘、修正焊盘和测试焊盘 .....	462
13.4.3 静电保护结构 .....	465
13.4.4 选择 ESD 结构 .....	477
13.5 习题 .....	479
<b>第 14 章 装配芯片 .....</b>	<b>483</b>
14.1 芯片规划 .....	483
14.1.1 单元面积的估算 .....	483
14.1.2 芯片面积估算 .....	487
14.1.3 毛利率 .....	489
14.2 布局 .....	490
14.3 顶层互连 .....	495
14.3.1 通道式布线的基本原则 .....	496
14.3.2 特别的布线技巧 .....	498
14.3.3 电迁徙 .....	501
14.3.4 最小化应力影响 .....	503
14.4 总结 .....	505
14.5 习题 .....	505
<b>附录 A 文中的缩写表 .....</b>	<b>508</b>
<b>附录 B 立方晶体的密勒指数 .....</b>	<b>511</b>
<b>附录 C 版图规则实例 .....</b>	<b>514</b>
C.1 标准双极型工艺规则 .....	514
C.2 多晶硅栅极 CMOS 工艺规则 .....	515
C.3 版图规则语法 .....	518
<b>附录 D 数学推导 .....</b>	<b>521</b>
<b>附录 E 版图编辑软件的来源 .....</b>	<b>526</b>
<b>中英文名词对照表 .....</b>	<b>527</b>

# 第1章 器件物理

1960 年以前,几乎所有电子电路都依靠真空管实现放大和整流的关键任务。一台规模化生产的普通 AM 收音机需要五只真空管,而一台彩色电视机则需要不少于二十只真空管。真空管体积大,易碎而且昂贵。它们散热量大而且不够稳定可靠。倘若电子学依靠它们,那么得用成千上万的有源元件去构建一个系统,这几乎是不可能的。

1947 年双极型晶体管的出现标志着固态革命的开始,这些新器件体积小、便宜、结实且稳定可靠。固态电路使得袖珍晶体管收音机、助听器、石英手表、按键式电话、光盘播放盒以及个人电脑的发展成为可能。

一个固态器件由一个表面掺有杂质的晶体组成,这些杂质改变了晶体原来的电特性,使得它可以对电信号进行放大或调制。因此我们必须掌握器件的物理特性来理解这些功能是如何发生的。这一章我们不仅涉及到基本的器件物理,还要介绍三种重要的固态器件的特性:结型二极管、双极型晶体管和场效应晶体管。第 2 章将介绍这些以及其他固态器件的制造工艺。

## 1.1 半导体

本书“译者序”前给出了一个元素周期表。各种具有相似性质的元素被按行和列安排。周期表左边的元素是金属,右边的则为非金属。金属通常是热和电的良导体,它们有延展性和金属光泽。非金属是热和电的不良导体,那些固态的非金属,很脆而且没有耀眼的金属光泽。表中部的一些元素,如硅和锗,电特性介于金属和非金属之间。这些元素被称为半导体。金属,半导体和非金属的差异源于它们各自原子的电子结构。

每个原子由带正电的原子核和环绕它转动的电子云组成。电子云中电子的数目和原子核中质子的数目相等,同时也和该元素的原子序数相等。因此一个碳原子有六个电子因为碳元素的原子序数为六。这些电子就好像一层一层包裹的洋葱一样占据了一系列的壳层。当电子增加时,壳层由内向外得以填补。最外面的那一层或价电子层有可能是不满的。填在最外层的电子叫做价电子。元素的价电子的数目通常决定着它的化学特性和电特性。

元素周期表的每一行代表具有相同的电子层数。每一行的最左边一个元素有一个价电子,而最右边一个元素最外层则是填满的。最外层填满的原子状态是稳定的,而最外层不满的原子将交换电子或共享电子以使双方都填满最外层。电互相吸引的性质使得交换或共享电子的原子之间形成化学键。基于最外层要填满电子的这种特性,会形成三种类型的化