

Altera可编程 逻辑器件的应用与设计

[illegible]

俞一鸣 唐薇 陆晓鹏 陈正茂 编著

机械工业出版社
CHINA MACHINE PRESS

可编程逻辑器件实用开发技术丛书

Altera 可编程逻辑器件的 应用与设计

俞一鸣 唐 薇 陆晓鹏 陈正茂 编著

机械工业出版社

目前,可编程逻辑器件广泛应用于计算机、数字电路设计、通信系统、工业自动控制、仪器仪表和集成电路设计等领域,因此掌握可编程逻辑器件的应用与设计是十分重要的。

本书从实际应用的角度出发,系统地介绍了 Altera 公司的 CPLD 和 FPGA 产品。其中,对 CPLD 着重介绍了 MAX II 系列产品,对 FPGA 着重介绍了 CYCLONE II 和 Stratix II 系列产品。本书最后给出了 DMA 控制器和多路 ADC 采集系统两个大型实例,以使读者了解 FPGA 的具体开发流程,提高自己的实际开发技能。

本书既可以作为广大电路设计工程师、硬件设计工程师、系统验证工程师和 FPGA 设计工程师等人员的参考书或者培训教材,同时也可作为高等院校相关专业本科生和研究生的参考书。

图书在版编目(CIP)数据

Altera 可编程逻辑器件的应用与设计/俞一鸣等编著. —北京:机械工业出版社, 2007.7

(可编程逻辑器件实用开发技术丛书)

ISBN 978-7-111-22133-3

I. A… II. 俞… III. 可编程逻辑器件-系统设计 IV. TP332.1

中国版本图书馆 CIP 数据核字(2007)第 124284 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:张俊红 版式设计:霍永明 责任校对:王欣

封面设计:马精明 责任印制:杨曦

北京外文印刷厂印刷

2007 年 9 月第 1 版第 1 次印刷

184mm×260mm·15.25 印张·378 千字

0001—4000 册

标准书号:ISBN 978-7-111-22133-3

定价:30.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

销售服务热线电话:(010) 68326294

购书热线电话:(010) 88379639 88379641 88379643

编辑热线电话:(010) 88379768

封面无防伪标均为盗版

可编程逻辑器件实用开发技术丛书

编 委 会

主 编：姜宇柏

副主编：张俊红 俞一鸣

编 委：李新新 潘天保 石 英 王 涛

王 冠 王 辉 吴钰淳 吴 鹏

尤晓丽 张海风 张 博 石 新

丛 书 序

随着科学技术的迅猛发展,电子工业界经历了巨大的飞跃。集成电路的设计正朝着速度快、性能高、容量大、体积小和微功耗的方向发展。这种发展必将导致集成电路的设计规模日益增大,复杂程度日益增高。基于这种情况,可编程逻辑器件的出现和发展大大改变了传统的系统设计方法,这种方法使得电子系统设计变得更加简单方便、灵活快速,因此掌握可编程逻辑器件和相应的设计技术已经成为从事电子系统设计的设计工程师和科研人员的一项重要设计手段和技能。

可编程逻辑器件和相应的设计技术体现在三个主要方面:一是可编程逻辑器件的芯片技术;二是适用于可编程逻辑器件的硬件编程技术,即 VHDL 技术和 Verilog 技术;三是可编程逻辑器件设计的 EDA 开发工具,它主要用来进行可编程逻辑器件应用的具体实现。

可编程逻辑器件(Programmable Logic Device, PLD)的逻辑功能是由设计人员根据系统设计的具体要求,通过相应的器件编程来实现的。另外,由于 PLD 的集成度很高,因此它可以满足大多数数字系统设计的需要。历史上,可编程逻辑器件经历了 PROM、PLA、PAL、GAL、EPLD 到 CPLD 和 FPGA 的发展过程,在结构、制造工艺、集成度、逻辑功能、速度和功耗上都有了很大的提高和改进。其中,CPLD 和 FPGA 由于集成度非常高,因此这两种器件成为目前可编程逻辑器件的主流。

可编程逻辑器件的硬件编程技术主要体现在硬件描述语言的应用中,目前广泛使用的硬件描述语言是 VHDL 和 Verilog。这两种描述语言具有强大的功能和硬件描述能力,易于共享和复用,同时还具有独立于器件和工艺的设计能力,因此它们得到了各种 EDA 工具和集成电路厂商的普遍认同和推广,目前正在全球范围内的电子系统设计领域获得广泛应用。如今,国内外一些用户在购买和使用各种 EDA 工具时,通常都把是否支持 VHDL 和 Verilog 作为 EDA 工具是否先进的标准之一。

EDA 开发工具主要包括编辑器、仿真工具、检查/分析工具和优化/综合工具等。其中,编辑器用来对设计输入进行图形或者文本等方面的编辑操作;仿真工具是用来完成设计仿真操作的 EDA 开发工具,主要包括逻辑仿真工具和时序仿真工具;检查/分析工具用来对设计的逻辑产生可能性、电路的电气特性以及时序关系等进行检查和分析;优化/综合工具用来把一种硬件描述转化为底层描述,在转化的过程中伴随着设计的某种优化。现在,高级的 EDA 开发工具都是一种集成的开发环境,即集成了上述的所有开发工具,这样就可以用一种集成开发环境来完成所有的设计工作。

可见,对于可编程逻辑器件的设计来说,上面三个主要方面是相辅相成不可分割

的,一个高水平的可编程逻辑设计人员必须掌握这三个方面的技术,这样才能够满足实际设计工作的需要,从而实现成本低、设计简单和资源优化的完美设计。现在,可编程逻辑器件获得了极其广泛的应用,无论是电子设计工程师还是高等院校的学生,都迫切需要系统地来学习相应的技术,因此也就需要一套理论严谨、内容新颖、实用性较强的可编程逻辑器件丛书来满足广大读者的学习需要。基于这一点,机械工业出版社的领导和编辑组织了这套“可编程逻辑器件实用开发技术丛书”,这套丛书重点介绍了 Xilinx 公司和 Altera 公司的 CPLD/FPGA、相应的 EDA 开发工具 ISE 和 MAX + plus II /Quartus II 以及相应的 VHDL 和 Verilog 设计技术。本套丛书具体包括:

- ◀《VHDL 设计实例与仿真》
- ◀《通信收发信机的 Verilog 实现与仿真》
- ◀《面向 CPLD/FPGA 的 Verilog 设计》
- ◀《面向 CPLD/FPGA 的 VHDL 设计》
- ◀《MAX + plus II 和 Quartus II 应用与开发技巧》
- ◀《ISE 应用与开发技巧》
- ◀《Xilinx 可编程逻辑器件的应用与设计》
- ◀《Altera 可编程逻辑器件的应用与设计》

为了保证这套丛书的高质量和实用性,特组织了一批具有丰富可编程逻辑器件设计经验的工程师来进行相应丛书的编写。这套丛书从实际应用的角度出发,全面系统、由浅入深地介绍了可编程逻辑器件的各个相关技术,可以使广大读者快速高效地掌握可编程逻辑器件的知识。本套丛书读者范围十分广泛,它既可作为高等学校计算机和电子工程专业的研究生和本科生的教材或教学参考书,也可作为广大电子电路设计工程师、ASIC 设计人员和系统设计人员的参考书。

由于可编程逻辑器件技术发展十分迅速,加上编写时间相对紧张,书中难免存在不足,恳请广大读者和专家批评指正,联系信箱: buptzjh@163.com。

丛书编委会

前 言

随着半导体工艺的日益飞速发展,集成电路产业已经成为当今非常热门的产业之一。集成电路主要包括为专门应用设计的专用集成电路(ASIC)和通用的可编程器件。可编程逻辑器件(PLD)广泛应用于计算机应用、数字电路设计、通信系统、工业自动控制、仪器仪表和集成电路设计等领域,它能够大量逻辑功能集成于一个单片IC之中。虽然ASIC也能够实现将大量逻辑功能集成于单片IC之中,但是PLD具有更高的灵活性,同时能够缩短开发周期,加快产品的上市时间,因此PLD获得了广泛的应用。

早期的通用PLD,例如PAL、GAL等,已经逐渐退出历史舞台;而目前,复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)已经成为PLD的主流产品。通常,CPLD和FPGA的差别主要体现在两个方面:CPLD一般采用在系统可编程(ISP)的方法来进行器件编程,而FPGA一般则采用在线重配置(ICR)的方法来进行器件编程;另一方面,CPLD和FPGA内部连线的连接方式不同,这种连线方式的不同导致了CPLD具有时间可预测性,而FPGA的延迟时间则具有不固定和不可预测性。可见,CPLD和FPGA两种可编程逻辑器件各自具有自己的特点和逻辑功能,两者之间具有互补功能,因此两者之间能够相互发展,成为两支领导可编程逻辑器件技术发展的力量,缺一不可。

世界上生产CPLD和FPGA的厂商主要有Altera、Xilinx、Actel和Lattice等。由于Altera公司的CPLD和FPGA产品在我国应用得较为广泛,同时软件开发工具简单易学,因此本书将全面系统地介绍Altera公司的CPLD和FPGA产品及其内部资源的使用。其中,对CPLD着重介绍了MAX II系列产品,对FPGA着重介绍了CYCLONE II和Stratix II系列产品。本书最后给出了DMA控制器和多路ADC采集系统两个大型实例,使读者了解FPGA的具体开发流程,以提高自己的实际开发技能。读者在掌握了Altera公司的器件后很容易做到触类旁通,进一步掌握其他公司器件的特性,从而迅速提高自己的学习能力,并积累丰富的开发经验。

本书主要由俞一鸣、唐薇、陆晓鹏和陈正茂共同编写。其中,俞一鸣编写了第3章;唐薇编写了第4章;陆晓鹏编写了第5、6章;陈正茂编写了第1、2、7章;全书由俞一鸣统稿。参与本书编校工作的人员还有杜强、李秀华、姜海亭、娄序东、潘天保、渠莉娜、齐霞、田雪和林丽君等;另外,尤晓丽、张博、王雯、唐喜燕、姜海燕、李玉红和吴鹏进行了资料的收集整理和程序调试等工作。这里,对所有工作人员的辛勤劳动表示衷心的感谢!蒯英丽和韩丽琴审阅了全书并提出了很多宝贵意见,这里对她们的指导表示深深的谢意!

需要说明的是,为了保持仿真图形的原貌,本书中部分文字符号和图形符号并未按

相关国家标准做统一处理，这点请读者注意。

本书既可以作为广大电路设计工程师、硬件设计工程师、系统验证工程师和 FPGA 设计工程师等人员的参考书或者培训教材，同时也可作为高等院校相关专业本科生和研究生的参考书。

由于作者水平有限，加之技术发展很快，书中难免存在不足乃至谬误之处，恳请广大读者批评指正。

作 者

目 录

丛书序

前言

第1章 可编程逻辑器件概述..... 1

1.1 可编程阵列逻辑..... 1

1.2 通用阵列逻辑..... 4

1.3 CPLD 和 FPGA..... 8

第2章 MAX II 系列 CPLD..... 10

2.1 概述..... 10

2.2 MAX II 系列 CPLD 的结构..... 10

2.2.1 逻辑阵列与逻辑单元..... 10

2.2.2 MAX II 系列 CPLD 中的连接通路..... 15

2.2.3 全局时钟网络..... 18

2.2.4 FLASH 中的用户使用区..... 19

2.2.5 输入/输出单元..... 37

第3章 CYCLONE II 系列 FPGA..... 41

3.1 概述..... 41

3.2 CYCLONE II 系列 FPGA 的结构..... 42

3.2.1 逻辑单元与逻辑阵列..... 42

3.2.2 内部连接通路..... 46

3.2.3 时钟资源..... 48

3.2.4 内部存储器..... 58

3.2.5 嵌入乘法器..... 70

3.2.6 输入/输出引脚..... 72

3.3 FPGA 芯片的配置..... 80

3.3.1 主动串行模式..... 81

3.3.2 被动串行模式..... 84

3.3.3 JTAG 模式..... 90

第4章 Stratix II 系列 FPGA..... 92

4.1 概述..... 92

4.2 Stratix II 系列 FPGA 的结构..... 93

4.2.1 自适应逻辑模块和逻辑阵列..... 93

4.2.2 内部连接通路..... 102

4.2.3 时钟控制..... 103

4.2.4 片内存储器..... 120

4.2.5 数字信号处理模块..... 125

4.2.6 输入/输出引脚..... 134

4.3 FPGA 芯片的配置..... 139

4.3.1 快速被动并行模式..... 141

4.3.2 主动串行模式..... 142

4.3.3 被动串行模式..... 144

4.3.4 被动并行异步模式..... 148

4.3.5 JTAG 模式..... 150

第5章 使用 FPGA 的内部资源..... 153

5.1 锁相环..... 153

5.2 RAM..... 156

5.2.1 单口 RAM..... 157

5.2.2 双口 RAM..... 160

5.2.3 先入先出存储器..... 165

第6章 DMA 控制器..... 176

6.1 设计基础知识..... 176

6.1.1 DMA 控制器的概念..... 176

6.1.2 WISHBONE 总线..... 176

6.1.3 DMA 控制器的功能和结构..... 180

6.2 DMA 控制器的具体设计..... 184

6.2.1 FIFO 模型的设计..... 184

6.2.2 DMA 控制器的可综合代码设计..... 187

6.2.3 简单测试代码的设计..... 204

6.3 DMA 控制器的实现..... 209

第7章 多路 ADC 采集系统..... 213

7.1 PLL 单元..... 213

7.2 ADC 控制逻辑..... 220

7.2.1 RAM 地址控制逻辑..... 228

7.2.2 扫描范围控制..... 228

7.2.3 ADC 采样时钟控制..... 228

7.2.4 ADC 采样过程控制..... 228

7.2.5 RAM 的读写控制..... 229

7.3 双口 RAM..... 229

7.4 FIFO 控制单元..... 233

7.4.1 数据格式转换..... 233

7.4.2 FIFO 计数逻辑..... 234

参考文献..... 236

第 1 章 可编程逻辑器件概述

本章将按照时间发展的顺序简要介绍 3 种可编程逻辑器件 (PLD)，分别是 PAL、GAL 和 CPLD。其中，PAL 和 GAL 属于早期的 PLD，其规模很小，只能实现很简单的逻辑。与 PAL 和 GAL 不同，CPLD 内部含有丰富的逻辑资源，能够实现大规模的逻辑设计。

1.1 可编程阵列逻辑

可编程阵列逻辑 (PAL) 是美国 MMI 公司于 20 纪世 70 年代后期推出一种 PLD，可以算是最早的可编程器件之一。PAL 采用双极性工艺，熔丝编程方式，因而属于一次性编程的器件，一旦编程完成，逻辑就不能再修改了。

PAL 由可编程的与逻辑阵列、固定的或逻辑阵列和输出电路 3 部分组成。其中，与逻辑阵列和或逻辑阵列用于实现用户需要的组合逻辑功能，有些 PAL 的输出电路中还包含有触发器，从而使其具备实现时序电路的能力。

图 1-1 所示是 PAL 的基本电路结构。

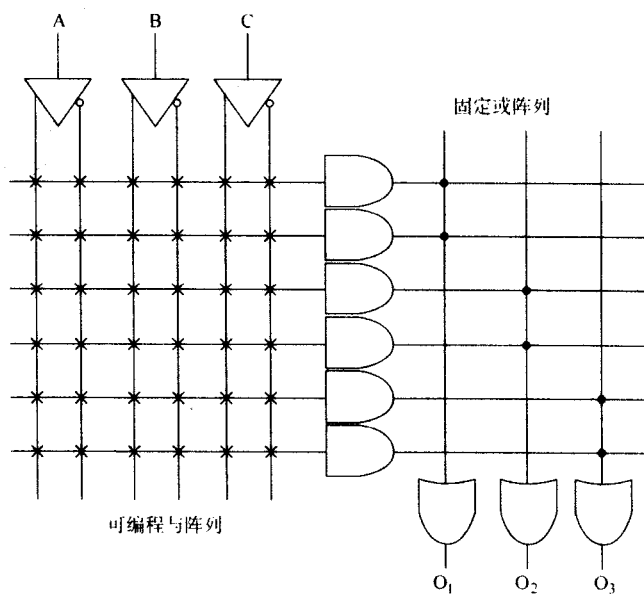


图 1-1 PAL 的基本结构

在没有进行编程之前，与逻辑阵列的所有交叉点均有熔丝接通。编程的过程就是将不需要连通的交叉点处的熔丝烧断，从而获得需要的组合逻辑。例如图 1-2 是一个经过编程的 PAL 的与逻辑阵列的电路结构，从中可以看到有些熔丝被烧断了，图 1-2 完成的组合逻辑的表达式为

$$O_1 = \bar{A} \cdot \bar{B} \cdot C + A \cdot B \cdot C$$

$$O_2 = \bar{A} + \bar{B} \cdot C$$

$$O_3 = A \cdot B + \bar{B} \cdot \bar{C}$$

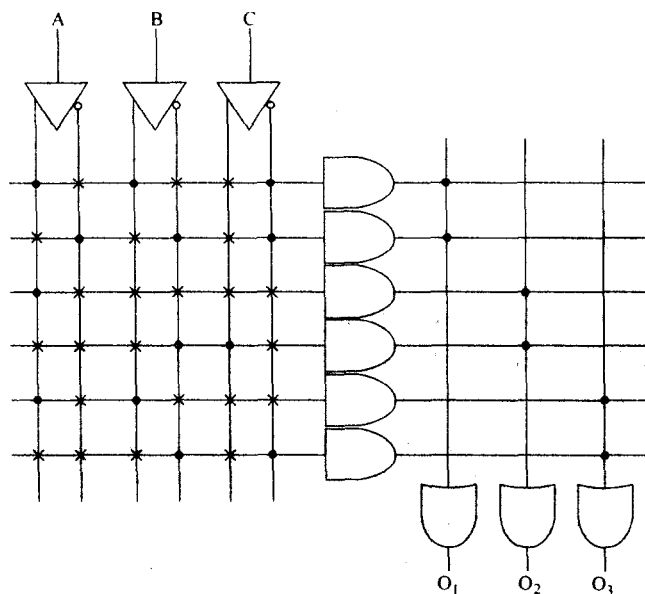


图 1-2 经过编程的 PAL

图 1-1 只是一个 PAL 的示意图，实际上常见的 PAL 输入变量可达 20 个，与逻辑阵列乘积项最多能达到 80 个，或逻辑阵列输出端最多有 10 个，每个或门输入端最多可达 16 个。为了扩展电路的功能，并增加使用的灵活性，在许多 PAL 中增加了各种形式的输出电路，下面将简要介绍 PAL 器件的输出电路。

图 1-3 所示为专用输出结构，这种结构是最简单的一种输出电路，多个乘积项经过或非运算后输出至引脚。

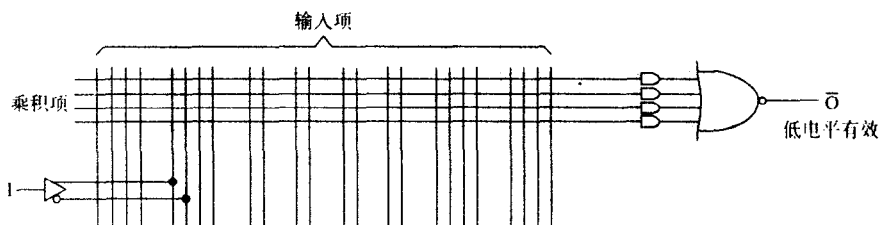


图 1-3 专用输出结构

图 1-4 所示的结构称为可编程输入/输出结构。与专用输出结构相比，可编程输入/输出结构的特点是输出引脚可以反馈至乘积项，从而实现带有反馈的逻辑运算。

图 1-5 所示为寄存器输出结构。顾名思义，这种输出结构中包含寄存器。乘积项在经过或阵列后连接至 D 触发器的输入端，触发器的同相输出通过三态门连接至引脚，反相输出反馈回与阵列

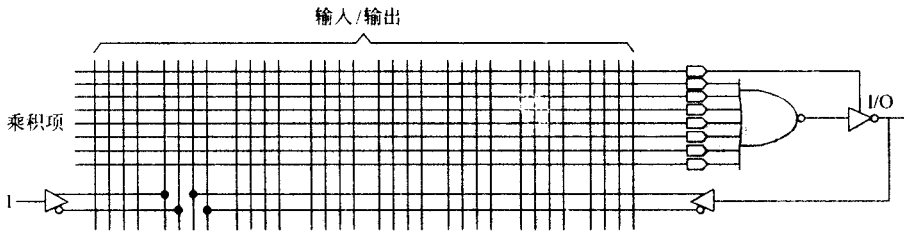


图 1-4 可编程输入/输出结构

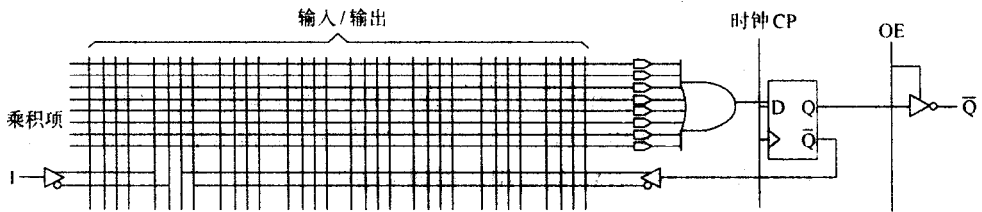


图 1-5 寄存器输出结构

图 1-6 所示的结构称为异或输出结构。从图中可以看出，与寄存器输出结构相比，这种输出结构中在与阵列和寄存器之间增加了异或门。

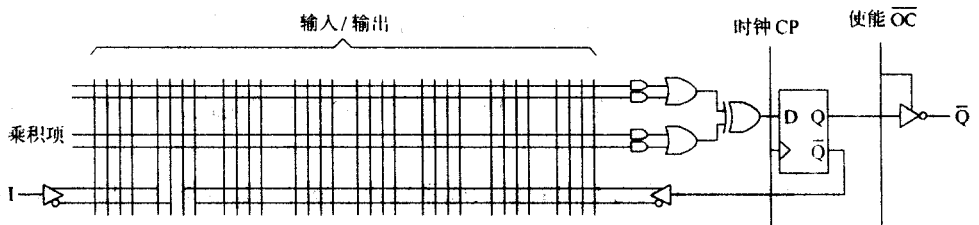


图 1-6 异或输出结构

图 1-7 所示的结构是在众多输出结构中最复杂的一种，称为运算选通结构。运算选通

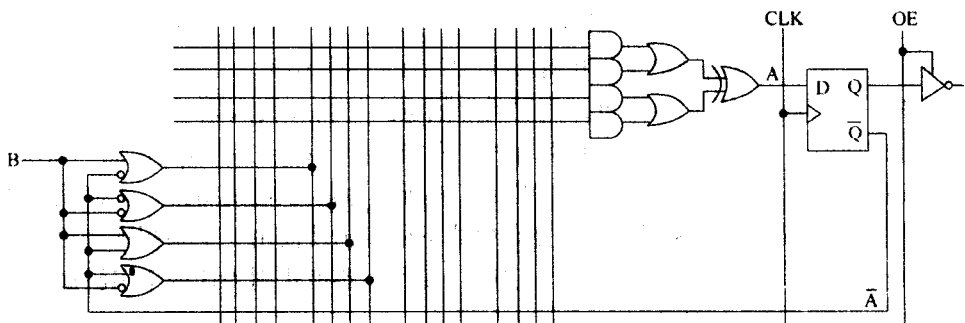


图 1-7 运算选通反馈结构

结构在异或输出结构的基础上增加了反馈信号的复杂程度。异或输出结构是将触发器的反相输出信号经或门反馈至与阵列，而运算选通结构将 $(A+B)$ 、 $(\bar{A}+B)$ 、 $(A+\bar{B})$ 和 $(\bar{A}+\bar{B})$ 反馈回与阵列。

1.2 通用阵列逻辑

Lattice 公司在 20 世纪 80 年代中期推出了一种新型的可编程逻辑器件，即通用阵列逻辑 (GAL)。GAL 采用电可擦除的 CMOS 制作，可以通过电压信号擦除，之后再重新编程，在很大程度上克服了 PAL 的不足。

GAL 仍是基于可编程与逻辑阵列和固定的或逻辑阵列来实现组合逻辑的。在与逻辑阵列中，每个交叉点都包含一个电可擦除 CMOS 单元，代替了 PAL 中的熔丝，从而使得 GAL 具有可重复编程的特性。GAL 的输出端设置了可编程的输出逻辑宏单元 (Output Logic Macro Cell, OLMC)，通过编程可以将 OLMC 设置为不同的工作状态，使得 GAL 可以满足不同的需求。相对于 PAL 多样的输出电路，GAL 的通用性得到了增强。

图 1-8 是 16V8GAL 的电路结构，它有一个 32×64 位的可编程与逻辑阵列、8 个 OLMC、10 个输入缓冲和 8 个三态输出缓冲及 8 个反馈/输入缓冲。图中没有看到或逻辑阵列，那是因为或门都被包含在 OLMC 中。

GAL 使用通用的 OLMC 取代了 PAL 多样的输出结构，使得 GAL 在通用性方面要强于 PAL。GAL 的 OLMC 由 1 个或门、1 个 D 触发器、4 个选择器和一些门电路组成，如图 1-9 所示。图中的 AC (n)、XOR (n) 等都称为结构控制字，用户可以对其进行编程，从而设定 OLMC 的工作模式。

根据设置的结构控制字不同，GAL 的 OLMC 可以被配置为简单模式、复杂模式或者寄存器模式。

在简单模式下，OLMC 被定义为专用的输入或者输出。图 1-10 ~ 图 1-12 所示为简单模式下 OLMC 的等效示意图：图 1-10 所示为专用输入结构，图 1-11 所示为专用输出结构，图 1-12 所示为带有反馈逻辑的输出结构。在简单模式下，如果 OLMC 被配置为专用输出，则其有 8 个输入乘积项，并且三态门一直处于导通状态。

复杂模式下 OLMC 可以配置为专用输出结构或者输入/输出结构。在复杂模式下，每个 OLMC 有 7 个输入乘积项，另外的一个乘积项用于控制三态门的状态。图 1-13 和图 1-14 所示分别为复杂模式下专用输出结构和输入/输出结构的等效结构。

寄存器模式下输出逻辑宏单元可以配置为专用输出结构和输入/输出结构。图 1-15 所示为专用输出结构的示意图，有两个和引脚固定充当时钟 (CLK) 和输出使能 (OE) 引脚，所有的输出逻辑宏单元共享这两个引脚。图 1-16 所示为输入/输出结构，寄存器模式下输入/输出结构和复杂模式下的区别在于，复杂模式下的输出使能由一个乘积项获得，用户可以将这两个引脚 1 和引脚 11 当作数据输入引脚，而寄存器模式则为这两个引脚赋予了固定的含义。

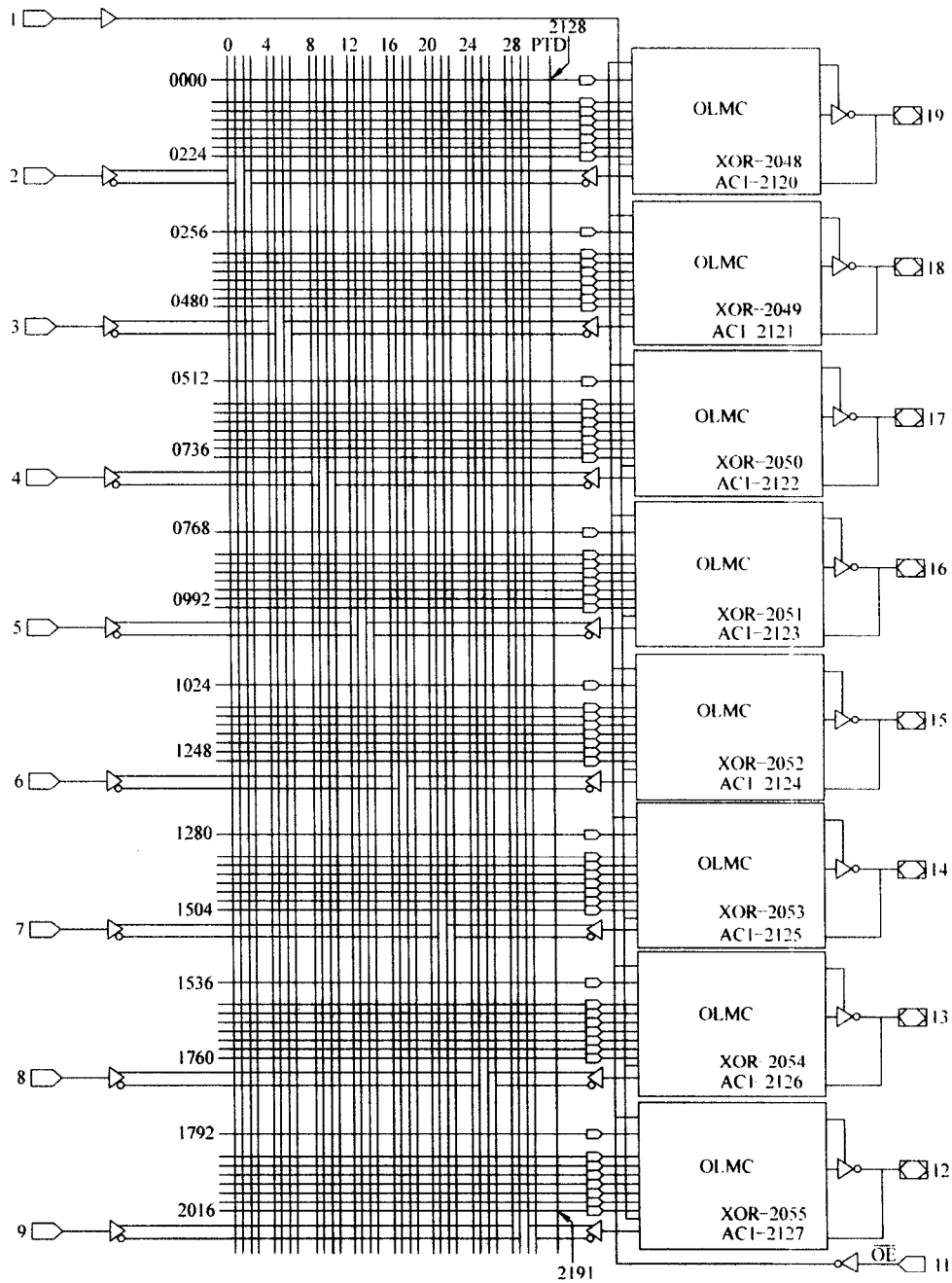


图 1-8 16V8GAL 的电路结构

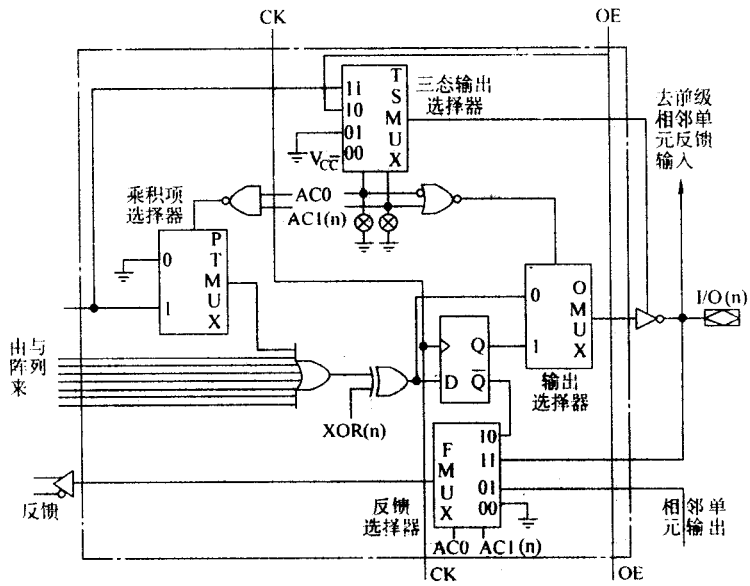


图 1-9 OLMC 的结构

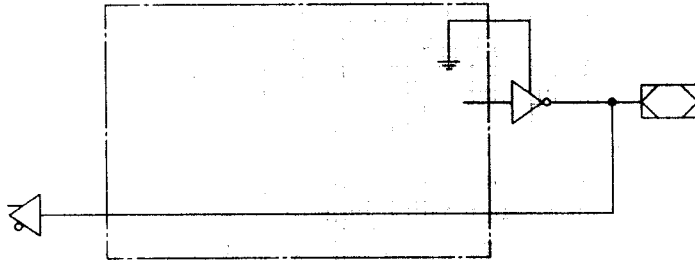


图 1-10 简单模式下的专用输入结构

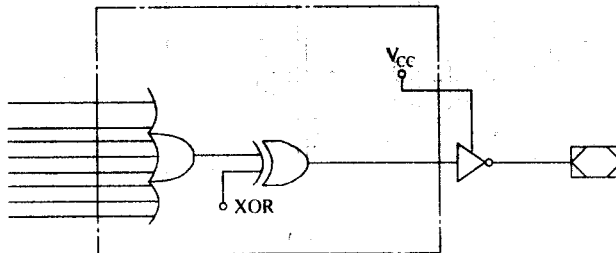


图 1-11 简单模式下的专用输出结构

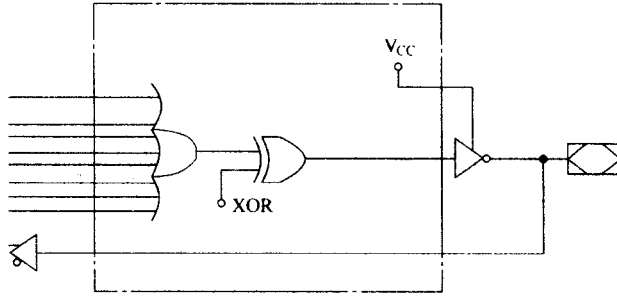


图 1-12 简单模式下带反馈的输出结构

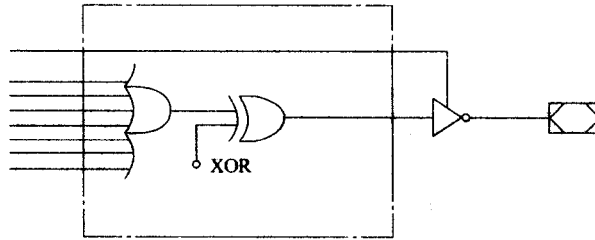


图 1-13 复杂模式下的专用输出结构

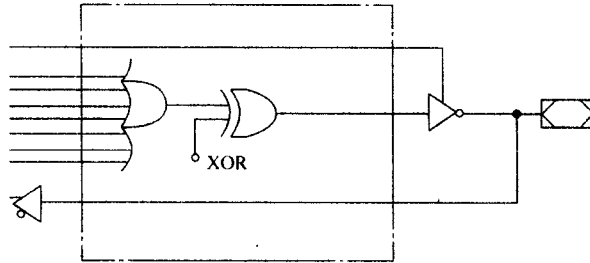


图 1-14 复杂模式下的输入/输出结构

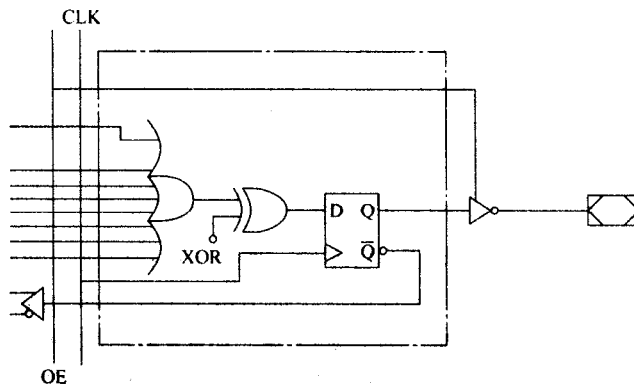


图 1-15 寄存器模式下的专用输出结构

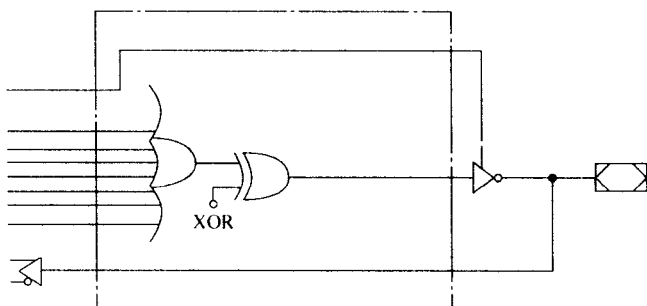


图 1-16 寄存器模式下的输入/输出结构

1.3 CPLD 和 FPGA

PAL 和 GAL 所包含的可编程资源均非常有限, 不适合实现大规模的逻辑设计。而 CPLD (Complex PLD) 和 FPGA 内部则包含丰富的逻辑资源, 可以实现大规模的集成电路设计。CPLD 和 FPGA 各具特点, 各有各的长处, 这里将简要介绍 CPLD 的结构, 下一章将着力介绍一款流行的 CYCLONE II FPGA 的结构。

CPLD 仍是基于与阵列和或阵列来实现用户自定义的逻辑, 但无论从密度还是从功能上看, CPLD 都远远高于 GAL。以 Altera 公司的 MAX7000 CPLD 为例, 图 1-17 所示是其宏单元的结构图, 宏单元是 CPLD 中用于实现逻辑功能的最小单元。

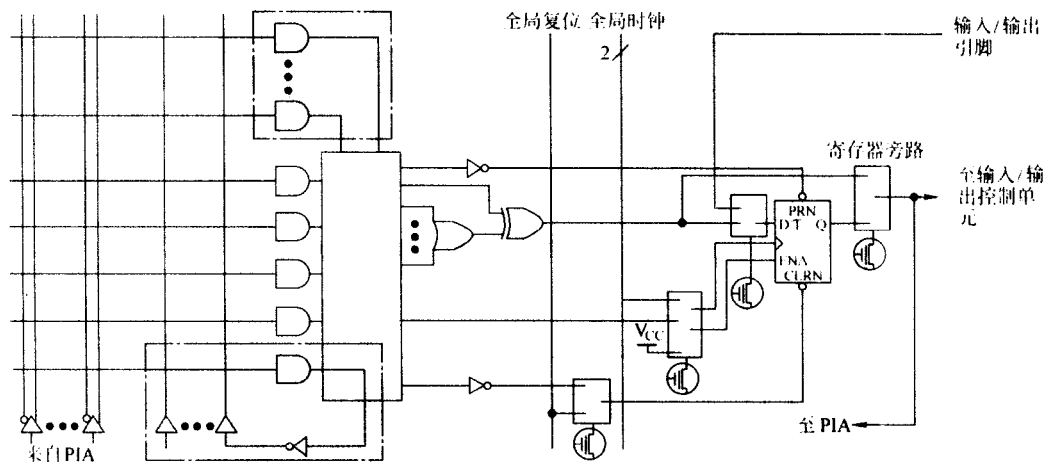


图 1-17 MAX7000 CPLD 中的宏单元

从图 1-17 中可以看到, 宏单元是由与阵列、乘积项选择模块、可编程寄存器三部分组成。逻辑阵列用于生成乘积项, 乘积项选择模块选出指定乘积项作为或门(异或门)的输入以及控制信号, 可编程寄存器可以配置为 D 触发器、T 触发器、JK 触发器或者 SR 触发器。

16 个宏单元组成一个逻辑阵列块 (Logic Array Block, LAB), 逻辑阵列块之间通过可编程互连阵列 (Programmable Interconnect Array, PIA) 相连接, 再加上全局时钟、全局信号和输入输出控制单元, 就形成了 MAX7000 芯片的内部结构, 如图 1-18 所示。