

Xilinx公司

推荐FPGA/CPLD培训教材

XILINX®



附光盘

# Xilinx ISE 9.x FPGA/CPLD 设计指南

EDA先锋工作室  
薛小刚 葛毅敏 编著

人民邮电出版社  
POSTS & TELECOM PRESS

Xilinx公司

推荐FPGA/CPLD培训教材



# Xilinx ISE 9.x FPGA/CPLD 设计指南

EDA先锋工作室  
薛小刚 葛毅敏 编著

人民邮电出版社

北京

## 图书在版编目 (CIP) 数据

Xilinx ISE 9.x FPGA/CPLD 设计指南/薛小刚, 葛毅敏编著.

—北京: 人民邮电出版社, 2007.8

ISBN 978-7-115-16305-9

I. X... II. ①薛...②葛... III. 可编程逻辑器件—系统设计—指南 IV. TP332.1-62

中国版本图书馆 CIP 数据核字 (2007) 第 078400 号

### 内 容 提 要

本书以 FPGA/CPLD 设计流程为主线, 详细阐述了 ISE 集成开发环境的使用, 并提供了多个示例进行说明。书中在介绍 FPGA/CPLD 概念和设计流程的基础上, 依次论述了工程管理与设计输入、仿真、综合、约束、实现与布局布线、配置调试等在 ISE 集成环境中的实现方法和技巧。

本书结合作者多年工作经验, 立足于工程实践, 选用大量典型实例, 并配有一定数量的练习题。随书配套光盘收录了所有实例的完整工程目录、源代码、详细操作步骤和使用说明, 便于读者边学边练, 提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等专业的教材, 也可作为硬件工程师和 IC 工程师的实用工具书。

### Xilinx ISE 9.x FPGA/CPLD 设计指南

- 
- ◆ 编 著 EDA 先锋工作室 薛小刚 葛毅敏  
责任编辑 李永涛
  - ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号  
邮编 100061 电子函件 315@ptpress.com.cn  
网址 <http://www.ptpress.com.cn>  
北京隆昌伟业印刷有限公司印刷  
新华书店总店北京发行所经销
  - ◆ 开本: 787×1092 1/16  
印张: 24.25  
字数: 591 千字 2007 年 8 月第 1 版  
印数: 1-5 000 册 2007 年 8 月北京第 1 次印刷

---

ISBN 978-7-115-16305-9/TP

定价: 45.00 元 (附光盘)

读者服务热线: (010) 67132692 印装质量热线: (010) 67129223



## EDA 先锋工作室

---

主 编: 王 诚

副主编: 薛小刚 钟信潮

编 委: 葛毅敏 杨亚平 郭 健 吴继华 庄永军 李 楠  
庞 健 由武军 袁 园 周海涛 侯小辉 寿开宇  
范丽珍 薛 宁 路 远 梁晓明 伊贵业 吴义涛  
张伟平 吴 蕾 胡安琪 于春华

## 序

Xilinx 以超过 50% 的市场份额，在半导体行业中增长最快的领域之一——可编程逻辑器件 (PLD) 市场中雄居领先地位。由于 PLD 器件所具有的灵活性以及在产品制造完成后仍可进行功能修改和现场升级的能力，使 PLD 在半导体芯片市场中具有巨大的发展潜力。不同于仅有几百个客户的传统半导体公司，Xilinx 在全世界拥有 7500 多个客户，每年启动 50000 多项设计项目。现在，Xilinx 在全世界拥有 3000 多名雇员，其中近半数的工程师是软件开发人员。

ISE 9.x 是 Xilinx 最新推出的业内领先的设计工具，其设计性能比其他解决方案平均快 30%，使用 SmartCompile 技术可以更快、更轻松地实现时序收敛。最新版本的 ISE 软件基于 Fmax 技术开发，对于高密度、高性能设计，可以提供无可比拟的性能和时序收敛结果。ISE9.x 集成的时序收敛流程整合了增强性物理综合优化，提供了最佳的时钟布局、更好的封装和时序收敛映射，从而获得更高的设计性能。先进的综合和实现算法将动态功耗降低了 10%。

ISE 软件是一整套工具的集成，其中的每一个工具都有强大的功能，随着工艺的发展，FPGA 设计软件也加入了很多新的元素，工程师为熟悉软件的使用将需要花费更多的时间。在此，我们推荐使用《Xilinx ISE 9.x FPGA/CPLD 设计指南》作为指导书籍。本书通过大量的设计示例讲解了 FPGA/CPLD 设计的各个环节；通过本书的学习，读者可以快速掌握 ISE 工具的使用以及 FPGA/CPLD 的设计方法。

Simon Ho



Xilinx Corporate Solution Marketing Manager (Asia Pacific)

# 关于本书

## 本书内容和特点

FPGA/CPLD 以其功能强大, 开发过程投资少, 周期短, 可反复修改, 保密性能好, 开发工具智能化等特点, 成为当今硬件设计的首选方式之一。目前全国约有数百万的硬件工程师在自己的设计中运用着各种型号的 FPGA/CPLD。可以说 FPGA/CPLD 设计技术是当今合格硬件工程师与 IC 工程师的必备技能之一。

最近几年随着集成电路工艺水平的提高以及 EDA 技术的发展, FPGA/CPLD 的更新换代也越来越快。本书立足工程实践, 以 FPGA/CPLD 设计流程为主线, 阐述了如何合理地利用 ISE 设计平台集成的各种设计工具, 高效地设计 FPGA/CPLD 的方法与技巧。

本书共分 10 章, 各章内容简要介绍如下。

- 第 1 章: 介绍 FPGA/CPLD 基本原理与特点, 着重说明了 FPGA 内部结构以及 FPGA 的核心设计流程。
- 第 2 章: 以一个简单示例演示了 ISE 集成开发环境的使用。
- 第 3 章: 重点介绍 ModelSim 仿真工具的使用方法与技巧。
- 第 4 章: 介绍 ISE 中集成的综合工具 XST, 并介绍了综合中常用的 Xplorer 脚本。
- 第 5 章: 集中阐述约束的基本概念, 并介绍 ISE 集成的两个约束设计工具——约束编辑器 (Constraints Editor) 和引脚与区域约束编辑器 (PACE) 的使用方法。
- 第 6 章: 介绍 FPGA 的配置和运行过程。
- 第 7 章: 介绍 ISE 中集成的在线逻辑分析仪 ChipScope Pro。
- 第 8 章: 介绍 ISE 集成的其他工具, 包括布局规划器 (Floorplanner)、FPGA 底层编辑器 (FPGA Editor)、功耗评估工具 (XPower) 和时序分析器 (Timing Analyzer) 等。
- 第 9 章: 介绍基于 FPGA 的嵌入式系统设计, 提供了 Xilinx 的 PicoBlaze 处理器系统示例, 其后提供了一个 MicroBlaze 处理器系统示例。
- 第 10 章: 引导读者实际动手设计 I<sup>2</sup>C 总线并上板调试, 提高读者的工程实践能力。

本书主要特点如下。

- 实用价值高: 本书的作者有丰富的 FPGA/CPLD、数字 ASIC 设计经验。本书立足于工程实践的需要, 对工程设计有显著的指导意义。
- 内容新颖: 本书的作者长期工作在可编程逻辑设计的最前沿, 与 EDA 软件制造商联系紧密, 所以能够在第一时间使用最新版本的 FPGA/CPLD 设计工具。本书涉及的所有工具均根据较新资料撰写, 使本书介绍的内容新颖。
- 剖析深刻: 本书对 FPGA/CPLD 设计的基本原理、方法有较为详尽的论述。对 ISE 集成的各种设计工具的介绍并不局限于操作方法, 而是结合作者多年的工作经验与心得, 从较深的层面对各个工具的特点进行了较为详细的剖析。

Xilinx 公司亚太地区“Corporate”解决方案市场经理 Simon Ho 先生最终促成了本书的编写；Xilinx 美国公司软件产品市场总监 Hitesh Patel 先生提供了最新版本软件；上海代表处多位技术支持工程师对全书进行了审校，Richy Su 对本书的编写提出了很多建设性的意见，并给予多方面的帮助；威百仕集成电路有限公司的工程师杨亚平、郭健等对本书的示例进行了验证；其他很多公司的领导和工程师对本书的编写也给予了热情帮助，在此一并表示衷心的感谢。

## 读者对象

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等专业的教材，也可作为硬件工程师和 IC 工程师的实用工具书。

## 本书光盘内容

本书配套光盘提供了书中所有示例的完整工程文件、设计源文件和说明文件。示例按照章节编号和出现的先后顺序排列，例如“Example-2-3”表示第 2 章的第 3 个示例。

## 网站支持

为了配合读者学习本书，EDA 先锋工作室在 EDA 专业论坛 (<http://www.edacn.net>) 上开办了本书的讨论园地，作者联合业界专业人士长期在论坛上为读者答疑解惑，讨论 EDA 工程经验与设计技巧，并对书中所述问题加以引申，藉此与读者共同切磋、互相提高。网站上提供了本书光盘中附带的例子等相关资料的下载服务，并介绍 EDA 先锋工作室已经出版和将要出版的各种书籍信息。

EDA 先锋工作室非常重视读者的意见和建议，读者可以通过电子函件以及论坛反馈相关信息。

感谢您选择了本书，希望我们的工作能够对您有所帮助。如果您对书中内容有任何困惑和建议，请与我们联系。

电子函件：[fpga\\_ic@yahoo.com.cn](mailto:fpga_ic@yahoo.com.cn)（作者），[liyongtao@ptpress.com.cn](mailto:liyongtao@ptpress.com.cn)（责任编辑）。

如果您需要得到 Xilinx 公司更全面的服务与技术支持，请访问 <http://www.xilinx.com>。

**EDA 先锋工作室**

2007 年 6 月

# 目 录

第 1 章 FPGA 设计简介 .....	1
1.1 FPGA 结构简介 .....	2
1.1.1 总体结构 .....	2
1.1.2 可配置逻辑块 CLB .....	3
1.1.3 输入输出模块 (Input/Output Block) .....	6
1.1.4 块 RAM (BlockRAM) .....	9
1.2 最新 FPGA 产品——Virtex-5 .....	10
1.2.1 Virtex-5 的特点 .....	10
1.2.2 Virtex-5 LX/LXT 平台简介 .....	12
1.2.3 Virtex-5 核心技术 .....	15
1.3 Virtex-5 应用简介 .....	18
1.3.1 使用 Virtex-5 解决设计难题 .....	18
1.3.2 有线应用 .....	21
1.3.3 无线通信 .....	22
1.3.4 广播解决方案 .....	23
1.3.5 PCI Express 设计 .....	24
1.4 实践——探索 FPGA 内部结构 .....	25
1.4.1 浏览总体资源 .....	25
1.4.2 探索资源细节 .....	27
1.5 FPGA 核心设计流程 .....	30
1.6 FPGA 设计工具简介 .....	32
1.6.1 Xilinx FPGA 设计必备工具——ISE .....	32
1.6.2 Xilinx FPGA 设计可选工具 .....	35
1.6.3 嵌入式开发套件——EDK .....	36
1.6.4 Xilinx FPGA 的 DSP 设计工具 .....	36
1.6.5 最常用的 FPGA 仿真工具——ModelSim .....	37
1.7 实践——运行第一个 ISE 实例 .....	39
1.8 Xilinx FPGA 设计资源 .....	44
1.8.1 Virtex-5 相关文档 .....	44
1.8.2 ISE 文档 .....	45
1.8.3 应用指南 .....	48
1.9 小结 .....	48
1.10 问题与思考 .....	49
第 2 章 ISE 集成开发环境示例 .....	51
2.1 示例背景 .....	51



2.2	新建工程.....	52
2.3	新建源代码.....	55
2.3.1	新建 Verilog 源代码.....	55
2.3.2	新建 VHDL 源代码.....	60
2.4	设计仿真.....	63
2.5	完成设计.....	68
2.6	时序约束.....	70
2.7	设计实现以及验证时序约束.....	73
2.8	位置约束以及重新实现.....	74
2.9	配置 FPGA.....	76
2.10	使用 Core Generator 实现设计.....	81
2.11	小结.....	86
2.12	问题与思考.....	86
<b>第 3 章</b>	<b>仿真工具.....</b>	<b>87</b>
3.1	ModelSim 的用户接口.....	89
3.1.1	行为仿真.....	92
3.1.2	时序仿真.....	95
3.2	ModelSim 仿真窗口综述.....	97
3.2.1	主窗口.....	97
3.2.2	数据流窗口.....	98
3.2.3	列表窗口.....	100
3.2.4	存储器窗口.....	102
3.2.5	进程窗口.....	102
3.2.6	对象窗口.....	103
3.2.7	源文件窗口.....	103
3.2.8	实例化窗口.....	104
3.2.9	波形窗口.....	104
3.3	仿真环境的建立.....	106
3.3.1	各仿真切入点需要的库文件.....	106
3.3.2	仿真库的命名.....	107
3.3.3	仿真库文件说明.....	107
3.3.4	库文件编译.....	108
3.4	一个简单的仿真示例.....	113
3.4.1	在 ModelSim 环境下进行仿真.....	113
3.4.2	在 ISE 集成环境中进行仿真.....	121
3.5	ModelSim 中的调试方法.....	123
3.5.1	源文件窗口调试.....	124
3.5.2	波形窗口调试.....	126

3.5.3	数据流窗口调试.....	129
3.5.4	存储器窗口调试.....	133
3.5.5	局部变量窗口调试.....	136
3.5.6	列表窗口调试.....	139
3.6	ModelSim 的其他常用操作.....	141
3.6.1	自动仿真.....	141
3.6.2	WLF 文件.....	143
3.6.3	波形比较.....	146
3.6.4	SDF 文件.....	150
3.6.5	VCD 文件.....	151
3.7	ISim 的示例演示.....	154
3.8	小结.....	154
3.9	问题与思考.....	155
<b>第 4 章</b>	<b>逻辑综合以及 Xplorer.....</b>	<b>157</b>
4.1	XST 综述.....	157
4.1.1	XST 综合属性设置.....	158
4.2	Xplorer.....	169
4.2.1	Xplorer 概述.....	169
4.2.2	Xplorer 的工作模式.....	170
4.3	小结.....	172
4.4	问题与思考.....	172
<b>第 5 章</b>	<b>约束.....</b>	<b>173</b>
5.1	概述.....	173
5.2	时序约束.....	175
5.2.1	周期约束 (PERIOD 约束).....	175
5.2.2	偏移约束 (OFFSET 约束).....	178
5.2.3	专门约束.....	181
5.3	分组约束.....	184
5.3.1	TNM 约束.....	184
5.3.2	TNM_NET 约束.....	187
5.3.3	TIMEGRP 约束.....	187
5.3.4	TPTHRU 约束.....	188
5.3.5	TPSYNC 约束.....	188
5.4	约束编辑器——Constraints Editor.....	189
5.4.1	Constraints Editor 的用户界面.....	189
5.4.2	附加全局约束.....	190
5.4.3	附加端口约束.....	192

5.4.4	附加分组约束和时序约束.....	193
5.4.5	附加专用约束.....	197
5.5	引脚与区域约束编辑器——PACE.....	198
5.5.1	PACE 的用户界面.....	199
5.5.2	附加区域约束.....	202
5.5.3	附加 I/O 引脚约束.....	203
5.6	约束文件.....	204
5.6.1	约束文件的概念.....	204
5.6.2	UCF、NCF 文件的基本语法规则.....	205
5.7	小结.....	207
5.8	问题与思考.....	207
<b>第 6 章</b>	<b>配置和运行 FPGA 设计.....</b>	<b>209</b>
6.1	概述.....	209
6.2	FPGA 配置简介.....	210
6.2.1	FPGA 的配置模式.....	210
6.2.2	FPGA 的配置流程.....	212
6.2.3	FPGA 配置电路简介.....	214
6.3	配置文件的种类.....	218
6.4	iMPACT 的使用.....	220
6.4.1	iMPACT 的用户界面.....	220
6.4.2	用 iMPACT 下载配置文件.....	223
6.5	System ACE 配置方案简介.....	230
6.6	小结.....	232
6.7	问题与思考.....	233
<b>第 7 章</b>	<b>在线逻辑分析仪 ChipScope Pro.....</b>	<b>235</b>
7.1	概述.....	235
7.2	ChipScope Pro 简介.....	237
7.3	ChipScope Pro 的使用流程.....	239
7.4	ChipScope Pro Core Inserter 应用实例.....	241
7.5	ChipScope Pro Analyzer.....	247
7.6	ChipScope Pro Serial IO Toolkit.....	252
7.6.1	RocketIO Multi-Gigabit 简介.....	253
7.6.2	使用 ChipScope Pro Serial IO Toolkit.....	254
7.7	小结.....	257
7.8	问题与思考.....	257

<b>第 8 章 其他 ISE 集成工具</b> .....	259
8.1 布局规划器——Floorplanner.....	259
8.1.1 布局规划器的用户界面.....	259
8.1.2 布局规划器的特点及作用.....	261
8.1.3 布局规划设计流程.....	262
8.1.4 设计示例.....	264
8.2 FPGA 底层编辑器——FPGA Editor.....	270
8.2.1 FPGA 底层编辑器的用户接口.....	270
8.2.2 FPGA 底层编辑器的作用.....	271
8.2.3 FPGA 底层编辑器输入输出文件.....	273
8.2.4 FPGA 底层编辑器的工作流程.....	273
8.2.5 使用 FPGA 底层编辑器的预备知识.....	273
8.2.6 设计示例.....	276
8.3 功耗评估工具 XPower.....	281
8.3.1 XPower 综述.....	281
8.3.2 XPower 的用户界面.....	282
8.3.3 用 XPower 分析功耗.....	284
8.4 时序分析器——Timing Analyzer.....	287
8.4.1 时序分析器的用户界面.....	288
8.4.2 时序分析中需要主要的问题.....	289
8.4.3 时序分析在设计流程中的位置.....	290
8.4.4 时序分析器中的基本时序路径.....	291
8.4.5 时序分析器的使用方法.....	298
8.5 小结.....	301
8.6 问题与思考.....	302
<b>第 9 章 基于 FPGA 的嵌入式系统设计</b> .....	303
9.1 PicoBlaze 嵌入式系统示例.....	303
9.1.1 PicoBlaze 嵌入式演示系统描述.....	303
9.1.2 PicoBlaze 演示系统各模块说明.....	304
9.1.3 PicoBlaze 汇编语言与 KCPSM3 编译器.....	309
9.1.4 KCPSM3 语法基本结构.....	311
9.1.5 示例程序说明.....	311
9.1.6 系统集成.....	315
9.2 MicroBlaze 嵌入式系统示例.....	315
9.2.1 EDK 工具介绍.....	316
9.2.2 MicroBlaze 嵌入式系统示例描述.....	316
9.2.3 嵌入式系统示例程序各模块介绍.....	316
9.2.4 建立工程.....	317

9.2.5	向工程添加 IP 核 .....	321
9.2.6	导入定制 IP .....	324
9.2.7	MHS 和 MSS 文件 .....	328
9.2.8	综合,生成下载 BIT 文件 .....	330
9.2.9	建立应用程序 .....	332
9.2.10	编译应用软件并直接初始化到内存中 .....	333
9.2.11	演示程序函数 .....	334
9.3	参考资料与网上资源 .....	336
9.4	小结 .....	337
9.5	问题与思考 .....	337
<b>第 10 章</b>	<b>ISE 实战——I<sup>2</sup>C 接口设计</b> .....	<b>339</b>
10.1	I <sup>2</sup> C 总线简介 .....	339
10.1.1	I <sup>2</sup> C 总线上的数据传输 .....	341
10.1.2	I <sup>2</sup> C 总线寻址 .....	343
10.1.3	时钟同步与仲裁 .....	344
10.1.4	I <sup>2</sup> C 协议的扩展 .....	346
10.2	I <sup>2</sup> C 总线应用实例——AT24C 系列 EEPROM .....	346
10.2.1	AT24C02 概述 .....	346
10.2.2	写操作 .....	347
10.2.3	读操作 .....	348
10.2.4	AT24C 在 IC 卡中的应用简介 .....	349
10.3	I <sup>2</sup> C 总线控制器设计详解 .....	349
10.3.1	I <sup>2</sup> C 总线控制器总体描述 .....	350
10.3.2	$\mu$ C 接口设计 .....	351
10.3.3	I <sup>2</sup> C 接口设计 .....	357
10.3.4	混合仿真验证 .....	368
10.3.5	上板调试 .....	376
10.4	小结 .....	376
10.5	问题与思考 .....	376

# 第1章 FPGA 设计简介

FPGA (Field Programmable Gate Array, 即现场可编程门阵列) 具有性能好、规模大、可重复编程、开发投资小等优点, 在现代电子产品中应用得越来越广。随着微电子技术的发展, FPGA 的成本不断下降, 正逐渐成为各种电子产品不可或缺的重要部件。熟练掌握 FPGA 开发技术已成为现代电子工程师必不可少的技能。

了解 FPGA 内部结构是学习 FPGA 设计技术的第一步。FPGA 内部包含的部件比较多, 各厂商的 FPGA 内部结构也不尽相同, 为了方便读者学习, 本章将以 Xilinx FPGA 为例, 从 FPGA 最核心、使用最多的部件开始讲解。掌握这些核心部件的知识之后, 读者就可以开始设计自己的 FPGA 项目了。随着项目的开展和实践经验的积累, 再学习 FPGA 内部其他部件的原理结构或学习其他厂商的 FPGA 的用法会比较容易。

为了满足市场对产品性能、成本的要求, FPGA 不断更新换代, 新的器件往往有较高的性价比, 因此了解最新的 FPGA 产品非常重要。Virtex-5 是 Xilinx 最新产品之一, 代表了最先进的技术和发展方向。本章将以 Virtex-5 为例讲解新一代 FPGA 器件内部结构和最新技术, 让读者的学习有比较高的起点。其他厂商的最新 FPGA 系列的架构与 Virtex-5 有很多相似之处, 掌握 Virtex-5 的架构之后可以很方便地学习和使用其他新一代 FPGA 器件。

掌握设计流程和设计工具是学会使用 FPGA 的重要方面。FPGA 设计流程比较长, 如果进行细分, 步骤可能多达二三十个。同时, 设计工具的种类非常多, 各大 EDA 软件供应商 (如 Cadence、Synopsys、Mentor Graphics 等) 以及 FPGA 厂商提供了很多 FPGA 开发软件, 都掌握是不可能的。为了让读者可以迅速启动自己的 FPGA 设计, 减少学习中可能遇到的困惑, 本章将突出实用性, 介绍 FPGA 设计最常用、最核心的流程和工具。

上机操作是最好的学习方法, 因此本章提供了两个实例, 一个是使用 FPGA Editor 探索 FPGA 内部结构, 另外一个运行 ISE 附带的例子, 以便了解 FPGA 的设计流程。

本章主要内容如下:

- FPGA 结构简介;
- 最新 FPGA 产品——Xilinx Virtex-5;
- 实践——探索 FPGA 内部结构;
- FPGA 核心设计流程;
- FPGA 设计工具简介;
- 实践——运行第一个 ISE 实例。

## 1.1 FPGA 结构简介

### 1.1.1 总体结构

FPGA 简化的结构如图 1-1 所示。FPGA 内部最主要的、设计过程中最需要关注的部件是 CLB (Configurable Logic Block, 可配置逻辑块)、Input/Output Block (输入/输出块) 和 BlockRAM (块 RAM)。

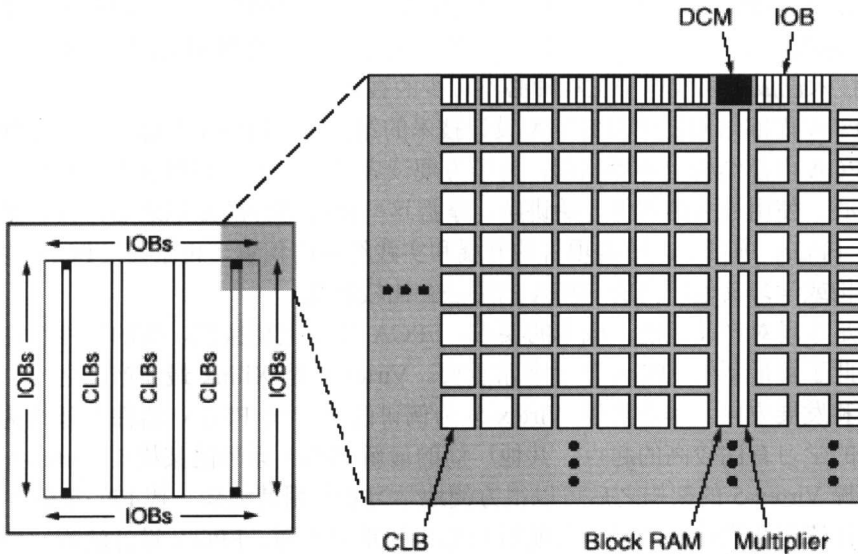


图1-1

CLB 是 FPGA 具有可编程能力的主要承担者。一个大规模的 FPGA 可能含有数量巨大的 CLB, 例如 Xilinx Virtex-5 的 XC5VLX330 有两万多个 CLB, 通过配置这些 CLB 可以让 FPGA 实现各种不同的逻辑功能。Input/Output Block 分布在 FPGA 的周边, 也具有可编程特性, 可以配置支持各种不同的接口标准, 如 LVTTTL、LVCMOS、PCI 和 LVDS 等, 使 FPGA 可以方便地应用在各种场合。BlockRAM 是成块的 RAM, 可以在设计中用于存储数据, 是重要的设计资源。为大规模设计选择 FPGA 时, RAM 资源是否够用是重要的考虑因素。

除了 CLB、Input/Output Block 和 BlockRAM 以外, FPGA 还有很多其他的功能单元, 例如布线资源、DCM (Digital Clock Manager, 数字时钟管理器) 和 Multiplier (乘法器) 等。布线资源在 FPGA 内部占用的硅片面积很大, 为 FPGA 部件提供灵活可配的连接; DCM 模块提供各种时钟资源, 包括多种分频、移相后的时钟; Multiplier 为 18bit×18bit 硬件乘法器, 是高性能的乘法单元, 可以在一个时钟周期内完成乘法运算, 对需要大量的 DSP 处理的应用 (如 3G 基带、图像处理等) 至关重要。

在高级的 FPGA 中, 还包含了嵌入式处理器、DSP 模块、以太网 MAC、高速串行 IO 收发器等。例如 Xilinx Virtex-4 包含了 PowerPC 处理器、XtremeDSP 模块、吉比特以太网 MAC 和速度高达 6.5Gbit/s 的 RocketIO 串行收发器, 如图 1-2 所示。这些都是硬件模块, 性

能非常高，而且不占用 FPGA 内部 CLB 等资源。Xilinx 为这些模块的应用提供了完善的开发环境，使用非常方便。

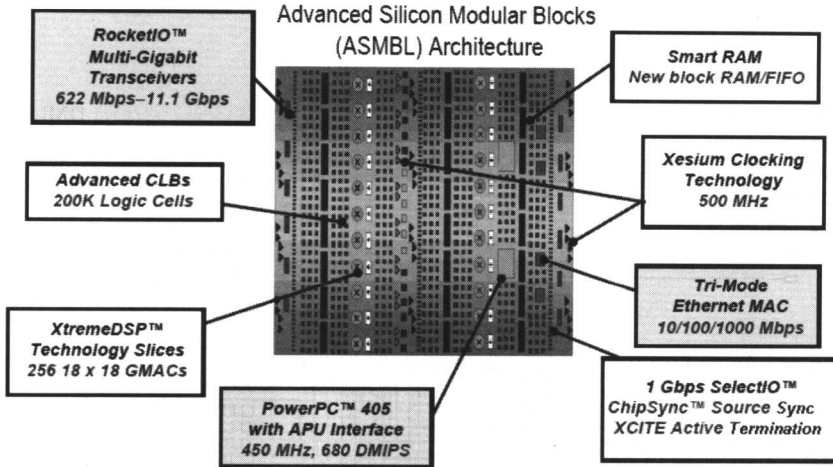


图1-2

### 1.1.2 可配置逻辑块 CLB

Xilinx Virtex-5 FPGA 的一个 CLB 包含两个 Slice，如图 1-3 所示。Slice 内部包括 4 个 LUT（查找表）、4 个触发器、多路开关及进位链等资源。部分 Slice 还包括分布式 RAM 和 32bit 移位寄存器，这种 Slice 称为 SLICEM，其他 Slice 称为 SLICEL。

CLB 内部的两个 Slice 是相互独立的，各自分别连接开关阵列（Switch Matrix），以便与通用布线阵列（General routing Matrix）相连。图 1-3 中，CIN 为进位链的输入，COUT 为进位链的输出。

Virtex-5 FPGA 内部多个 CLB 和 Slice 的位置及连接关系如图 1-4 所示。在 Xilinx FPGA 设计工具中，Slice 的位置用“XmYn”表示，其中 m 为 Slice 所在横坐标，一个 CLB 的两个 Slice 的横坐标分别是 m 和 m+1；n 为 CLB 的纵坐标，一个 CLB 的两个 Slice 有相同的 n。Virtex-5 FPGA 左下角的 Slice 编号为 X0Y0。

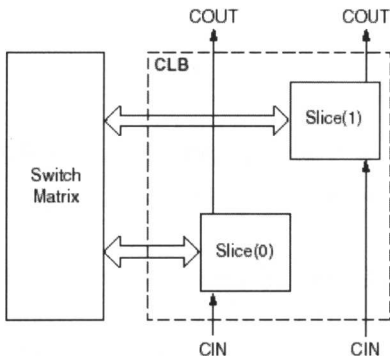


图1-3

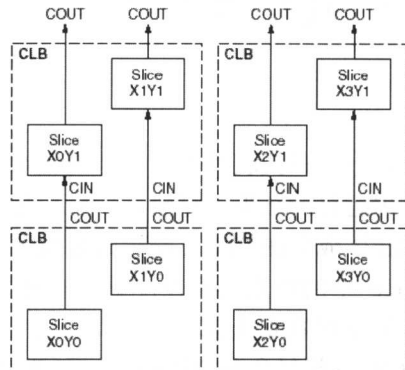


图1-4

为了方便理解，这里先给出 SLICEL 的部分结构，如图 1-5 所示。从图中可以看出，一



一个 SLICEL 的主要组成单元包括 4 个 6 输入查找表（输入端为 A1 至 A6）、4 个触发器和若干选择器等。

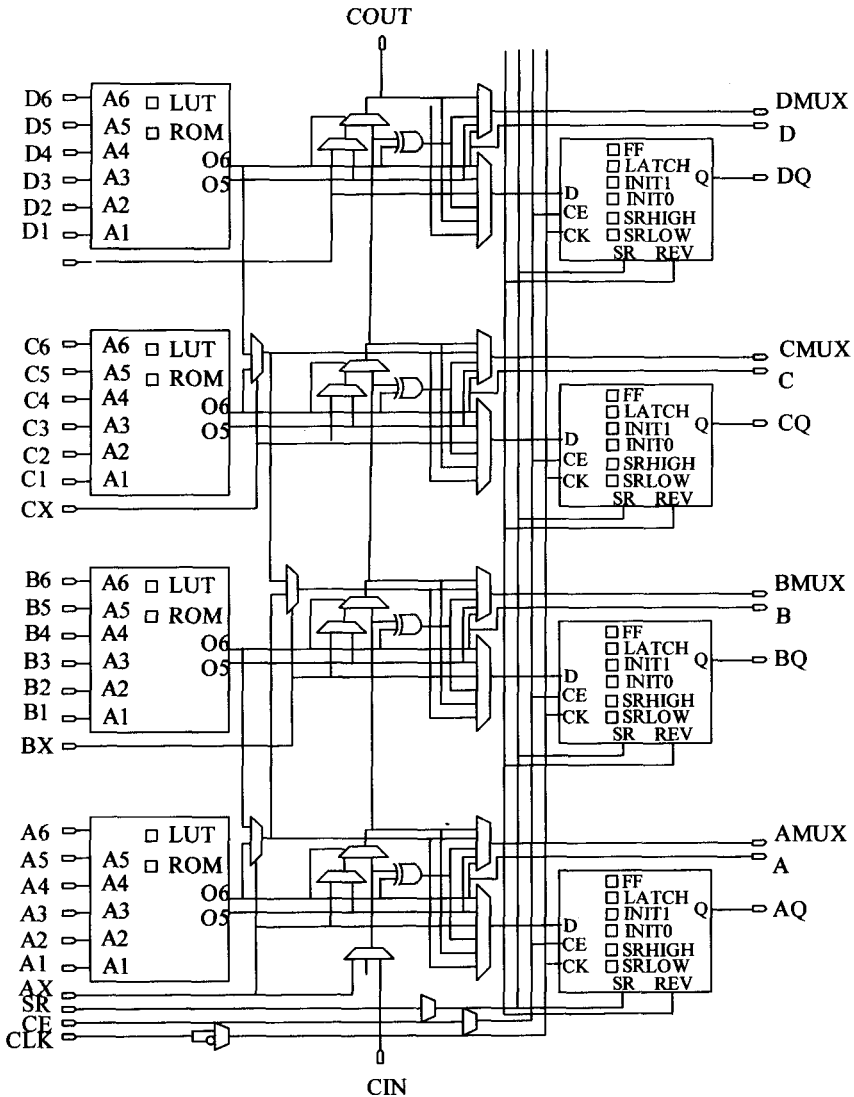


图1-5

实际上，查找表类似于一个 ROM，容量是 64bit，6 个输入作为地址输入，存储的内容作为布尔运算的结果。显然，6 输入查找表可以实现任何 6 输入的布尔函数。查找表中的内容由 ISE 生成并在 FPGA 配置时加载进去。

Slice 中的触发器可以配置成多种工作方式，例如是 FF 或 Latch，同步复位或异步复位、复位高有效或低有效等。

CLB 内部包含多个选择器。CLB 的选择器与一般的选择器不同，它们没有选择端。通路的选择在 FPGA 配置后固定下来，例如图 1-5 中左下角与 CLK 相连的选择器包含两个输入，一个是 CLK，另一个是反相后的 CLK。如果设计（一般用 HDL 语言描述）要求触发