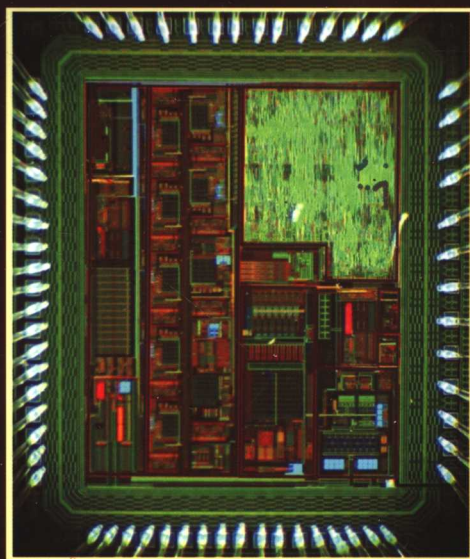


# 专用集成电路 设计实用教程

## ASIC Design Practical Course

虞希清 编著



ZHEJIANG UNIVERSITY PRESS

浙江大學出版社

ASIC 设计 应用案例  
设计 应用案例

ASIC

Design: Practical Examples

第 2 版 2012



McGraw-Hill Education  
全球工程领导者

# 专用集成电路设计实用教程

虞希清 编著

浙江大學出版社

## 图书在版编目 (CIP) 数据

专用集成电路设计实用教程 / 虞希清编著. —杭州:  
浙江大学出版社, 2007. 1  
ISBN 978-7-308-05113-2

I. 专... II. 虞... III. 集成电路—电路设计—高等  
学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字 (2006) 第 165341 号

## 专用集成电路设计实用教程

虞希清 编著

---

责任编辑 张 真

封面设计 张 真

出版发行 浙江大学出版社

(杭州天目山路 148 号 邮政编码 310028)

(E-mail: zupress@mail. hz. zj. cn)

(网址: <http://www.zjupress.com>)

排 版 杭州好友排版工作室

印 刷 杭州浙大同济教育彩印有限公司

开 本 787mm×1092mm 1/16

印 张 18.25

字 数 467 千

印 数 2001—3000

版 印 次 2007 年 1 月第 1 版 2007 年 7 月第 2 次印刷

书 号 ISBN 978-7-308-05113-2

定 价 38.00 元

---

版权所有 翻印必究 印装差错 负责调换

## 内容提要

在现代的 IC 设计中,工程师们广泛地使用数字电路的逻辑综合技术。工程师们使用 RTL 代码和 IP 描述设计的功能,进行高级设计,用综合工具对设计进行编辑和优化,以实现满足设计目标的电路。根据多年为客户进行技术培训,技术支持和 IC 设计的经验,笔者编写了本书。书中主要介绍了 IC 设计的基本概念,设计流程和设计方法,并就工程师们在设计中常见的问题,提供了解决方法。本书的特点是实用性强。

全书共分九章,第一章概述 IC 设计的趋势和流程;第二章介绍用 RTL 代码进行电路的高级设计和数字电路的逻辑综合;第三章陈述了 IC 系统的层次化设计和模块划分;第四章详细地说明如何设置电路的设计目标和约束;第五章介绍综合库和静态时序分析;第六章深入地阐述了电路优化和优化策略;第七章陈述物理综合和简介逻辑综合的拓扑技术;第八章介绍可测性设计;第九章介绍低功耗设计和分析。

本书的主要对象是 IC 设计工程师,帮助他们解决 IC 设计和综合过程中遇到的实际问题。也可作为高等院校相关专业的高年级学生和研究生的参考书。

# 前 言

本书在 Synopsys 公司的逻辑综合培训资料基础上编写而成。

从事 EDA 工作和 ASIC 设计已有十几年了。在给中港台 ASIC 设计工程师提供的技术培训和支 持中,工程师们曾提出了设计和使 用设计工具中遇到的各种各样的问题。教学相长,在和工程师讨论问题、提供解 决方案的过程中,我得到了很多的经验和启发。在为用户解决一些实际问题,为他们提供培训后,我曾收到热情的掌声和感谢信。用户的掌声和谢意给了我很大的鼓励和鞭策,使我下决心要编写一本实用的中文版的集成电路设计教程和手册,以答谢用户们的支持和帮助。

本书讲究实用性,希望其中的内容能帮助 ASIC 设计工程师清楚了 IC 设计的基本概念,IC 设计的流程,逻辑综合的基本概念和设计方法,解决进行 IC 设计时和工具使用时所遇到的问题。

全书共分九章,第一章概述 IC 设计的趋势和流程;第二章介绍用 RTL 代码进行电路的高级设计和数字电路的逻辑综合;第三章陈述了 IC 系统的层次化设计和模块划分;第四章详细地说明如何设置电路的设计目标和约束;第五章介绍综合库和静态时序分析;第六章深入地阐述了电路的优化和优化策略;第七章陈述物理综合和简介逻辑综合的拓扑技术;第八章介绍可测性设计;第九章介绍低功耗设计和分析。

本书的主要对象是 IC 设计工程师,帮助他们解决 IC 设计和综合过程中遇到的实际问题。也可作为高等院校相关专业的高年级学生和研究生 的参考书。

在本书的编写过程中,得到了 Synopsys 中国区高级技术经理常绍军先生的大力支持。常绍军先生、资深的应用技术顾问李昂先生和冯源先生审阅了本书,并提出了宝贵的意见和建议。在此,表示衷心的感谢。在本书编写过程中,得到了全家的支持,深表谢意!

由于时间仓促,知识水平有限,书中难免有不足和错误之处,敬请各位专家,IC 设计工程师和同行们批评指正,不胜感激。来函可发电子邮件(Email: victoryu\_snps@yahoo.com.hk)。

虞希清

2006 年 11 月于 Synopsys 香港

# 目 录

<b>第一章 集成电路设计概论</b> .....	1
1.1 摩尔定律 .....	1
1.2 集成电路系统的组成 .....	4
1.3 集成电路的设计流程 .....	7
<b>第二章 数字电路的高级设计和逻辑综合</b> .....	13
2.1 RTL 硬件描述语言设计 .....	13
2.1.1 行为级硬件描述语言(Behavioral Level HDL) .....	13
2.1.2 寄存器传输级硬件描述语言(RTL HDL) .....	17
2.1.3 结构化硬件描述语言(Structure HDL) .....	23
2.2 逻辑综合(Logic Synthesis) .....	27
2.2.1 逻辑综合的基本步骤.....	28
2.2.2 综合工具 Design Compiler .....	30
2.2.3 目标库和初始环境设置.....	31
<b>第三章 系统的层次化设计和模块划分</b> .....	35
3.1 设计组成及 DC-Tcl .....	35
3.1.1 设计物体(Design Object) .....	35
3.1.2 DC-Tcl 简介 .....	38
3.2 层次(Hierarchy)结构和模块划分(Partition)及修改 .....	46
3.2.1 层次结构的概念.....	46
3.2.2 模块的划分.....	48
3.2.3 模块划分的修改.....	51
<b>第四章 电路的设计目标和约束</b> .....	55
4.1 设计的时序约束.....	55
4.1.1 同步(Synchronous)电路和异步(Asynchronous)电路 .....	56
4.1.2 亚稳态(Metastability) .....	57
4.1.3 单时钟同步设计的时序约束.....	57
4.1.4 设计环境的约束.....	72
4.1.5 多时钟同步设计的时序约束.....	79
4.1.6 异步设计的时序约束.....	83

4.1.7 保持时间(Hold Time) .....	85
4.2 复杂时序约束 .....	87
4.2.1 多时钟周期(Multi-Cycle)的时序约束 .....	87
4.2.2 门控时钟的约束 .....	90
4.2.3 分频电路和多路传输电路的时钟约束 .....	92
4.3 面积约束 .....	96
<b>第五章 综合库和静态时序分析</b> .....	<b>98</b>
5.1 综合库和设计规则 .....	98
5.1.1 综合库 .....	98
5.1.2 设计规则 .....	107
5.2 静态时序分析 .....	111
5.2.1 时序路径和分组 .....	112
5.2.2 时间路径的延迟 .....	114
5.2.3 时序报告和时序问题的诊断 .....	115
<b>第六章 电路优化和优化策略</b> .....	<b>120</b>
6.1 电路优化 .....	122
6.1.1 Synopsys 的知识产权库—DesignWare .....	123
6.1.2 电路优化的三个阶段 .....	126
6.2 优化策略 .....	134
6.2.1 编辑策略 .....	135
6.2.2 自动芯片综合(Automated Chip Synthesis) .....	141
6.3 网表的生成格式及后处理 .....	144
<b>第七章 物理综合</b> .....	<b>148</b>
7.1 逻辑综合(Logic Synthesis)遇到的问题 .....	148
7.2 物理综合(Physical Synthesis)的基本流程 .....	151
7.3 逻辑综合的拓扑技术(Topographical Technology) .....	162
<b>第八章 可测试性设计</b> .....	<b>174</b>
8.1 生产测试简介 .....	174
8.2 可测试性设计 .....	176
8.2.1 物理瑕疵和故障模型 .....	176
8.2.2 D算法(D algorithm) .....	178
8.3 测试协议(Test Protocol) .....	185
8.4 测试的设计规则 .....	190
8.4.1 可测试性设计中的时钟信号 .....	190
8.4.2 三态总线和双向端口的测试 .....	198



---

8.5	门级网表可测试问题的自动修正 .....	204
8.6	扫描链的插入 .....	208
8.7	可测试设计的输出和流程 .....	222
8.8	自适应性扫描压缩技术 .....	225
<b>第九章</b>	<b>低功耗设计和分析</b> .....	<b>229</b>
9.1	工艺库的功耗模型 .....	231
9.2	功耗的分析 .....	237
9.3	低功耗电路的设计和优化 .....	251
9.3.1	门控时钟电路 .....	252
9.3.2	操作数分离 .....	261
9.3.3	门级电路的功耗优化 .....	266
9.3.4	多个供电电压(Multi-VDD) .....	274
9.3.5	电源门控 .....	276
<b>参考文献</b>	.....	<b>281</b>

# 集成电路设计概论

集成电路(Integrated Circuits)是现代电子设备的重要组成部分。因此,成功设计集成电路对整个电子信息技术产业的发展起到重要的作用。由于科技的发展,半导体芯片的集成化程度越来越高,设计的系统越来越复杂,规模越来越大,设计的性能越来越高,功耗也越来越大,这些不断地给芯片设计工程师和电子设计自动化(Electronics Design Automation,简称 EDA)厂商提出新的课题和挑战。

## 1.1 摩尔定律

摩尔提出著名的“摩尔定律”已经 40 多年了。1965 年 4 月,摩尔在《电子学(Electronics)》杂志上发表文章预言,半导体芯片上集成的晶体管数量将每年翻一番。1975 年,他又提出修正说,芯片上集成的晶体管数量将每两年翻一番。

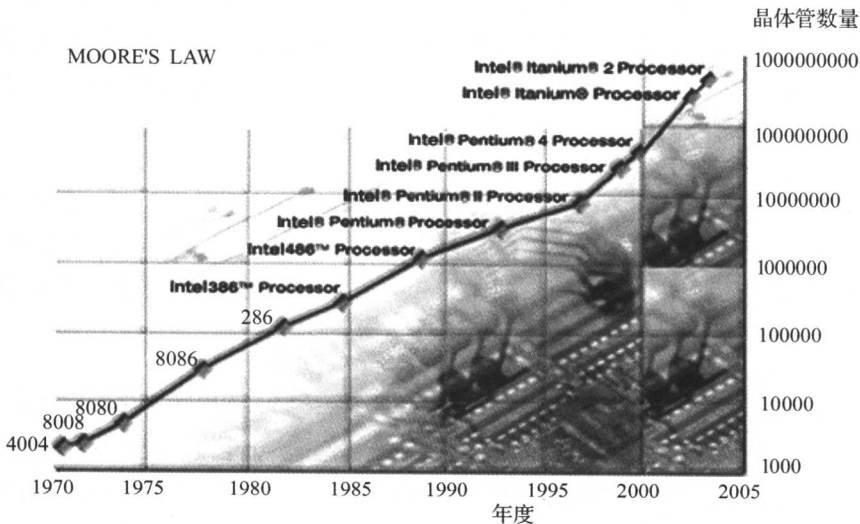


图 1.1.1

图 1.1.1 为在过去 25 年,Intel CPU 中晶体管增长的情况。集成电路的规模不断地稳

定增长,使 CPU 的处理和计算能力不断提高。摩尔定律也意味着成本的降低。半导体几何尺寸的减少使我们在同样大小的芯片上可以集成更多的晶体管,芯片可以以更高的速度工作,芯片的价格也越来越便宜。半导体工业的发展给我们的生活和工作带来了方便,丰富了人类的生活。

随着半导体加工工艺的不断提高,集成电路的设计方法也随之改变。如图 1.1.2 所示,集成电路设计方法可以分成如下几个阶段:

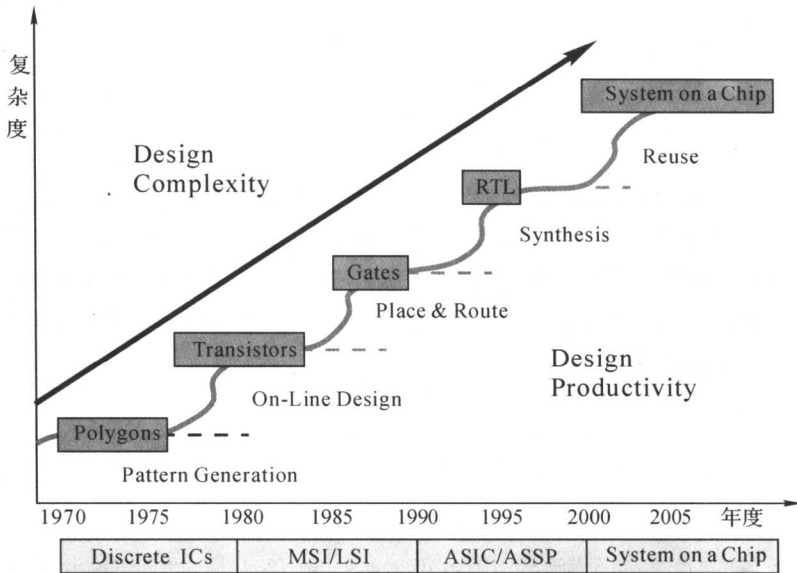


图 1.1.2

#### • 手工设计阶段

工程师们用手工的方法绘制版图。在集成电路发展初期,电路设计都从器件的物理版图设计入手。版图设计一直是一个既费时费力又十分关键的工作,设计速度极慢,很容易出错,设计的规模也很小。如以二输入的非门为一个门来计算,设计的规模大约在几个门到几十门的规模。

#### • 计算机辅助设计阶段(Computer Aided Design)

用计算机软件进行版图设计,实际上是利用计算机对图形的调用、移动、旋转、缩放、修改、重复等操作能力,快速精确地绘制出满足精度要求的版图。经过进一步的检查和调整,形成适合于制版需要的版图数据文件。同时也用计算机软件进行 PCB 绘图和晶体管电路的分析。设计的规模大约在几十门到几百门。

#### • 计算机辅助工程阶段(Computer Aided Engineering)

随着计算机软件技术的进步,各种模拟软件特别是自动布局布线工具先后问世,使得人们可以直接从门级来进行设计。这时候,人们直接输入线路图,即在门级给出电路描述,通过功能和时序仿真,进行门阵列和标准单元的自动设计和验证,然后利用自动布局布线工具实现版图。设计的规模大约在几百门到几万门。

#### • 电子自动化设计阶段

随着集成电路的规模不断变大,设计的复杂性不断提高,从门级着手进行设计的方法变

得越来越不适用,于是 RTL(Register Transfer Level)设计方法应运而生。人们用硬件描述语言(Hardware Description Language)来进行设计,即首先使用 RTL 语言描述所要设计的电路功能,然后通过 RTL 仿真,利用逻辑综合(Logic Synthesis)工具将 RTL 源代码描述转化为门级网表,实现满足设计目标的电路,再利用自动布局布线工具来实现最终所需要的版图。设计的规模大约在几千门到几十万门。

- 系统芯片阶段(System On Chip)

随着半导体工艺技术的不断进步,芯片的设计规模越来越大,特别是进入 0.18 微米以下后,已经可以在一个芯片上实现几亿个晶体管的设计规模。这样规模的电路完全可以将一个完整的电子系统在单个的芯片上来实现,于是便出现了所谓的系统芯片(System-On-Chip,简称 SOC)。系统芯片把多种功能的系统(模块)集成到一个芯片上。这种芯片上可能包括了 CPU、DSP、逻辑电路、模拟电路、射频电路、内存和其他电路模块以及嵌入软件等,并相互连接构成完整的系统。设计的规模很大。到目前为止,电路的规模可达几百万门甚至几千万门。使用“系统芯片”的技术,可以增加芯片的功能和性能,减少芯片的面积和产品功耗,提高产品质量和性价比。

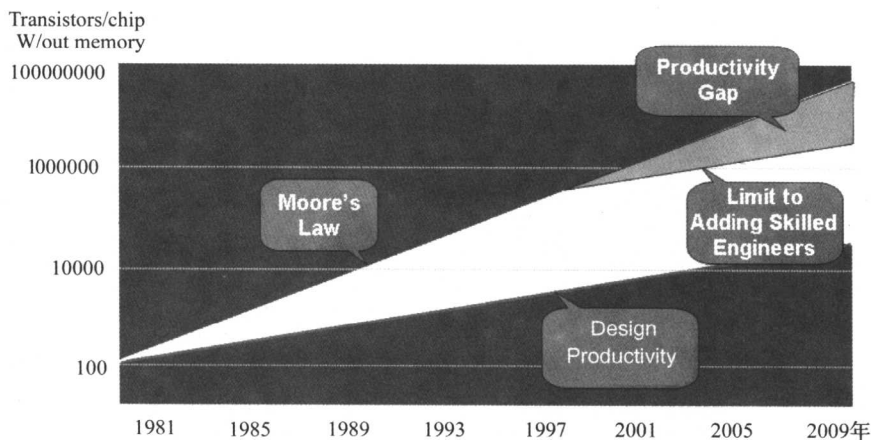


图 1.1.3

设计能力和 EDA 工具性能的提高与摩尔定律的关系见图 1.1.3 图中,上方的直线为摩尔定律,下面的直线为工程设计能力。集成电路设计能力滞后于制造技术能力的提高,二者间存在差距。为了弥补设计生产效率和芯片密度之间的差距,争取产品第一个进入市场和提高设计的质量,需要有越来越多熟练的工程师加入设计队伍,设计中需要重复使用已有的设计(设计再利用)或使用更多的知识产权(Intellectual Property)模块,简称 IP 核。

由于系统设计日益复杂,设计业出现了专门从事开发各种不同功能的集成电路模块(即 IP 核)的供应商,并把这些模块通过授权方式提供给其他系统设计者有偿使用。设计者将以 IP 核作为基本单元进行设计。IP 核的重复使用既缩短了系统设计周期,又提高了系统设计的成功率。研究表明,与 IC 组成的系统相比,由于 SOC 设计能够综合并全盘考虑整个系统的各种情况,可以在同样工艺技术条件下实现更高的系统指标。21 世纪将是 SOC 技术真正快速发展的时期。

半导体厂商或 IP 供应商提供 IP 模块。IP 模块包括软 IP、固化(Firm)IP 和硬 IP 三种类型。其中,软 IP 用 HDL 描述;固化 IP 用门级网表描述;硬 IP 是指实现到物理版图的硅

块(Silicon Block)。系统设计人员通过复用 IP 模块来设计整个系统。

## 1.2 集成电路系统的组成

一个常见的集成电路系统如图 1.2.1 所示。在这个系统中,有如下的模块:

- 数字电路模块(如 RISC\_CORE)
- 模拟电路模块(如 A/D)
- 知识产权 IP 核(如 MPEG4、DSP、CODEC 和 USB)
- 边界扫描模块(如 JTAG)
- 输入/输出 PAD
- 内存(如 RAM)

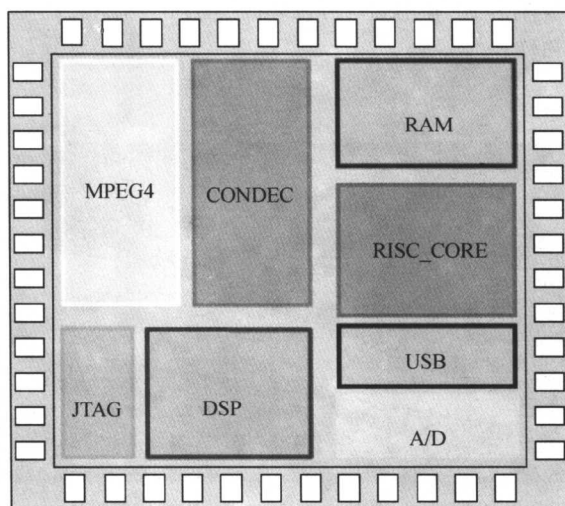


图 1.2.1

下面对各个模块作简要的说明。

### 1. 数字电路

数字电路是构成 IC 系统的主要部分,也是本书讨论的重点。大部分数字电路采用同步设计的方法,即使用同一时钟源,经过时钟产生电路(例如分频电路和倍频电路),来统一协调系统各个部分的运行。同步电路的设计是数字电路设计的主流,本书主要介绍同步电路的设计和优化,附带介绍异步电路的设计和约束。

图 1.2.2 为两个同步电路。图 1.2.2(a)有两个时钟,CLKA 和 CLKB,它们来自同一个时钟源,由 300 MHz 时钟经 6 分频电路和 3 分频电路得到,见图 1.2.2(b)。图 1.2.2(c)只有一个时钟,故图 1.2.2(a)和(c)都是同步电路。

数字电路大致可以分为数据通路(Data Path)和控制通路(Control Path)。数据通路主要指进行加减乘除的运算器,控制通路是控制管理数据流通和信号开关等的逻辑。

### 2. 模拟电路(如 A/D)

现实的世界是一个模拟的世界。在一个 IC 系统里,为了与外部世界交换数据和信号,

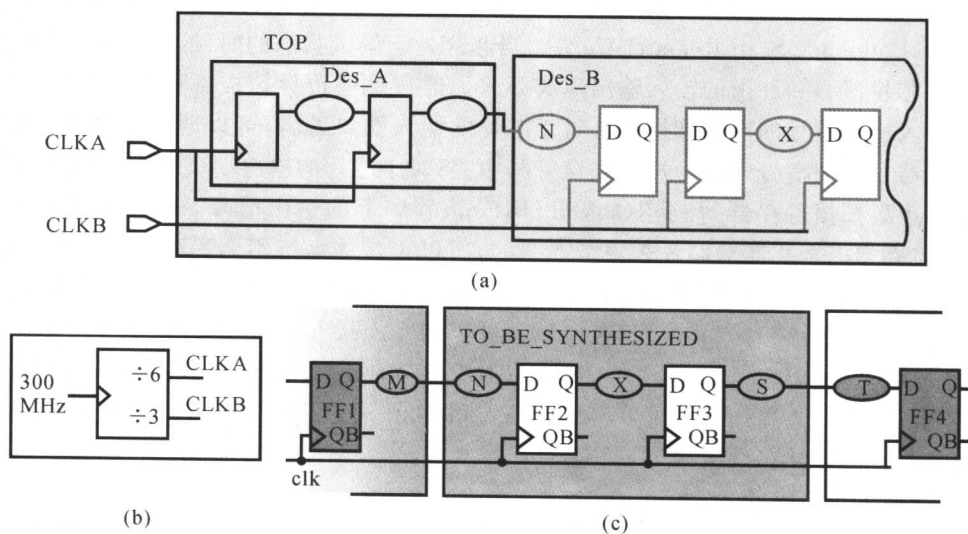


图 1.2.2

模拟信号是必不可缺少的。

一般来说, IC 系统的模拟电路有如下部分:

- 模/数转换器(ADC),将模拟信号转换为数字信号
- 数/模转换器(DAC),将数字信号转换为模拟信号
- 可编程增益放大器(PGA),通过数字电路来控制模拟增益
- 锁相环(PLL),用于产生高频的时钟和进行时钟信号的相位校正
- 其他

模拟电路广泛地使用于视频处理芯片、音频处理芯片、通信芯片和各类控制芯片。

### 3. 知识产权 IP 核(如 MPEG4、DSP、CODEC 和 USB)

如上节所述,硅知识产权的出现是集成电路设计产业分工的结果,它使一些公司可以专注于自己的技术特长,提供不同类型、经过验证的硅知识产权;而另一些公司在复用这些硅知识产权的基础上设计系统芯片。这种设计方法的出现显著加快了芯片开发速度,缩短了产品上市周期,使更大规模、更多功能、更高集成度的芯片设计成为可能。知识产权 IP 核将推动寄存器传输级的设计自动化进程。知识产权核的设计再利用是保证系统级芯片开发效率和质量的重要手段。USB 既是 IP 核,也是一种输入/输出设备。

### 4. 边界扫描电路(如 JTAG)

在现代电子应用系统中,印刷电路板越来越复杂,多层板的设计越来越普遍,大量使用各种表贴元件和 BGA(Ball Grid Array)封装元件,元器件的管脚数和管脚密度不断提高,使用万用表和示波器测试芯片的传统“探针”方法已不能满足要求。在这种背景下,早在 20 世纪 80 年代,联合测试行动组(Joint Test Action Group,简称 JTAG)起草了边界扫描测试(Boundary Scan Testing,简写 BST)规范,后来在 1990 年被批准为 IEEE 标准 1149.1 121990 规定,简称 JTAG 标准。

在 JTAG 调试当中,边界扫描(Boundary-Scan)是一个很重要的概念。边界扫描技术的基本思想是在芯片端口和芯片内部逻辑电路之间,即芯片的边界上加上边界扫描单元(移位

寄存器单元)。因为这些移位寄存器单元都分布在芯片的边界上(周围),所以被称为边界扫描寄存器(Boundary-Scan Register Cell)。当芯片处于调试状态的时候,这些边界扫描寄存器可以将芯片核心和外围的输入输出隔离开来。通过这些边界扫描寄存器单元,可以实现对芯片输入输出信号的观察和控制。对于芯片的输入端口管脚,可以通过与之相连的边界扫描寄存器单元把信号(数据)加载到该管脚中去;对于芯片的输出端口管脚,也可以通过与之相连的边界扫描寄存器“捕获”(CAPTURE)该管脚上的输出信号。在正常的运行状态下,这些边界扫描寄存器对芯片来说是透明的,所以正常的运行不会受到任何影响。这样,边界扫描寄存器提供了一个便捷的方式用以观测和控制所需要调试的芯片。另外,芯片输入输出管脚上的边界扫描(移位)寄存器单元可以相互连接起来,在芯片的周围形成一个边界扫描链(Boundary-Scan Chain)。一般的芯片都会提供几条独立的边界扫描链,用来实现完整的测试功能。边界扫描链可以串行地输入和输出,通过相应的时钟信号和控制信号,可方便地观察和控制处在调试状态下的芯片。

### 5. 输入/输出 PAD

输入/输出端口是 IC 系统与外部环境的接口。USB 接口就是一种输入/输出端口。与组成集成电路核心电路的单元不同,I/O PAD 是直接和外部世界相连接的特殊单元,因此必须考虑外部电路的寄生参数影响、静电保护、封装要求、电压转换、过压保护和信号完整等。I/O PAD 通常分为三类:输入 PAD、输出 PAD 和双向 PAD。一般说来,I/O PAD 比集成电路核心的单元有更长的延迟和更高的驱动能力。CMOS pads 由于驱动能力高,有时会引起噪音问题。为了减少噪音问题,可以在输出的 pads 上加上电平转移时间的控制。由于时钟信号在设计中起非常重要的作用,对时钟 pads 的要求更高。

I/O pads 的另一个重要特性是电平。输入 pads 以某个电平的幅度传递逻辑“0”或“1”信号到核心,来自核心的逻辑值通过输出 pads 驱动器以某个电平的幅度传送到外部世界。如果集成电路之间有信号的通信,它们 I/O pads 的电平必须一致。由于集成电路通过 pads 与外部环境通信,为了方便使用不同的工艺进行设计,工艺库中的 I/O pads 必须包含诸如外部负载、驱动能力、延迟、电流、功耗和电阻等属性。

所有 CMOS 电路的输入端不能悬浮,最好使用一个上拉或下拉电阻,以保护器件不受损害。在某些应用场合,输入端要串入电阻,以限制流过保护二极管的电流不大于某个值。输入脉冲信号的上升和下降时间如果太大,可以经施密特电路整形后再输入集成电路核心。

### 6. 内存(如 RAM)

在 SOC 的设计中,一般芯片上包含了一个或多个内存。嵌入式内存在芯片中的应用越来越多。在一些设计中,内存几乎占据了整个芯片面积的 70% 以上。内存对于整个芯片的设计至关重要。由于内存的速度比较慢,设计时要注意内存对设计速度或性能的影响。在低功耗的设计中,要注意内存功耗占整个芯片功耗的比例。

模块之间通过连线来交换信息。芯片中,连线可分为信号线和电源线。在超深亚微米的设计中,金属连线具有电容、电阻和电感效应。这些寄生效应会产生连线信号的延迟,电压降低和影响信号的完整性(Signal Integrity)。

本书中,我们称  $0.18\mu\text{m}$  以下的半导体工艺为超深亚微米(Ultra Deep SubMicro,简称 UDSM)工艺。

在超深亚微米工艺中,连线延迟已与门的延迟相当或大于门延迟。因此在计算时序路

径延迟时,不可以再使用线负载模型估算连线的延迟。为了解决线负载模型导致连线延迟不准确的问题,Synopsys 公司推出了物理综合工具和拓扑综合技术。有关的内容将在第七章介绍。

由于连线之间的距离很近,连线之间的耦合电容会引起信号的串扰(Cross Talk),见图 1.2.3。串扰会影响时序,使原本收敛的设计,又产生时序违反(Timing Violation),使芯片不能正常工作。

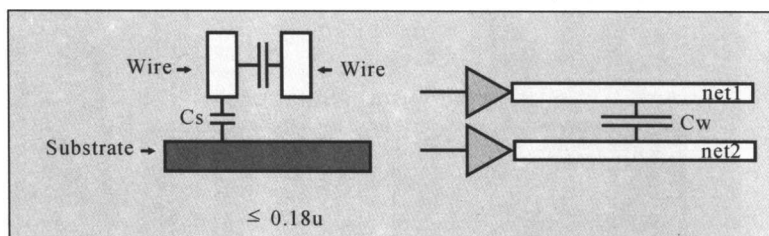


图 1.2.3

连线的电阻寄生效应会导致显著的电压降,从而影响芯片的供电电压和信号电平。在一个 IC 系统中,通过电源网络来供电。一个数字电路系统要能正常工作,必须为它的逻辑单元提供稳定的直流电压,并且这个电压的起伏要尽可能小。随着芯片规模的增大,芯片内部的电流越来越大,电源线上的电压降(IR drop)也随之增大,要满足电压稳定也越来越困难。加宽电源线可以降低电阻,从而减少压降,并且会增加允许通过的峰值电流,但也会占用过多的面积。

### 1.3 集成电路的设计流程

随着半导体工艺技术的发展,器件的几何尺寸越来越小,芯片规模越来越大,IC 设计者能够将愈来愈复杂的功能集成到单硅片上,数百万门甚至上千万门的电路都可以集成在一个芯片上。多种兼容工艺技术的开发,可以将差别很大的不同种器件在同一个芯片上集成。

系统级芯片是在单片上实现全电子系统的集成,具有以下几个特点:

#### 1. 规模大、结构复杂

设计规模高达数百万门乃至上千万门,而且电路结构还包括 MPU、SRAM、DRAM、EPROM、闪速存储器、ADC、DAC 以及其他模拟和射频电路。为了缩短投放市场时间,要求设计起点比普通 ASIC 高,不能仅仅依靠逻辑综合的方法,即用工艺库的基本逻辑单元实现设计的功能。设计中应采用 IP 核等更大的部件或模块,把综合技术和 IP 核结合在一起,实现 SOC 的设计。在验证方法上要采用数字和模拟电路一起的混合信号验证方法。为了对各模块特别是 IP 核能进行有效的测试,必须进行可测性设计。

#### 2. 超深亚微米工艺效应

系统级芯片大多采用超深亚微米工艺加工技术,在 UDSM 时连线延迟已经大于等于门延迟,成为路径延迟的主要因素。高达数百兆的系统时钟频率以及各模块内和模块间错综复杂的时序关系,增加了电路中时序匹配的困难。UDSM 工艺中非常小的线间距离和层间



距离,线间和层间的信号耦合作用增强,再加之很高的系统工作频率,电磁干扰、信号串扰现象加剧,给设计和验证带了困难。

如何进行时序收敛的设计和验证,如何进行低功耗设计以及信号完整性设计与分析,如何避免电磁干扰和信号串扰等高频效应引起的设计时序和质量问题,都给 IC 设计工程师和 EDA 开发商带来了挑战。

为了满足由于半导体工艺技术发展对设计能力和生产力提高的要求,各 EDA 厂商提出了一些解决方案。总部在美国的 EDA 供应商 Synopsys 公司提供了完整的 IC 设计解决方案,见图 1.3.1。

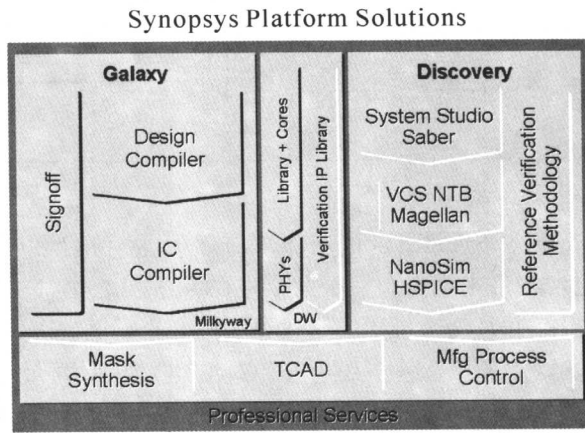


图 1.3.1

Synopsys 的 IC 设计解决方案包含了 Galaxy 设计平台、Discovery 验证平台、DesignWare IP、可制造设计(Design For Manufacture)和专业化服务。

本书主要介绍数字电路的逻辑综合,主要使用 Galaxy 设计平台中的工具。下面我们介绍 Synopsys 的 RTL-to-GDSII 设计流程和 Galaxy 设计平台。

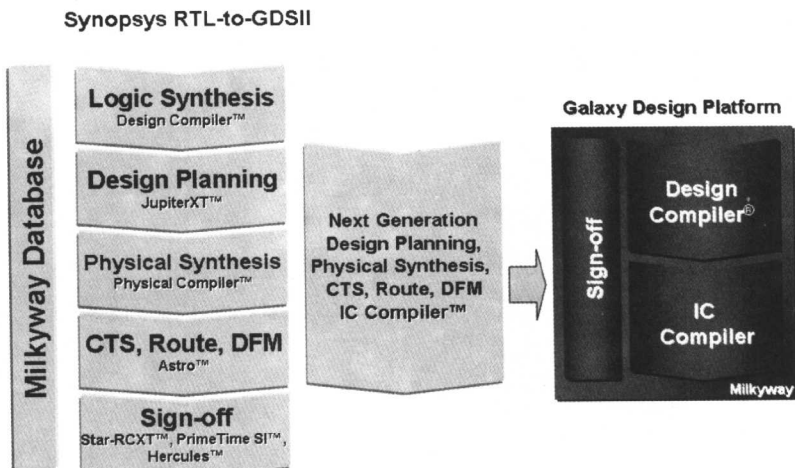


图 1.3.2