

国防工业出版社

PC 系列机系统 开发与应用 (下)

应用篇

张载鸿 编著



——科海培训系列教材

PC 系列机系统开发与应用

(下)

应用篇

张载鸿 编著

国防工业出版社

(京)新登字 106 号

内 容 简 介

本书从 DOS 运行环境出发,全面、深入地 PC 系列机(包括 IBM PC 系列和 IBM PS 系列及其各类兼容机)的系统结构、PC-DOS 系统和 ROM-BIOS 系统,以“立足系统,面向应用”的观点进行深层次的阐述,并结合实例给出 PC 系列机在显示、打印、磁盘、串行通信和键盘等设备的应用,还着重指出 286、386 机在保护模式下实现大容量存储管理的方法。

本书上册为“系统篇”,共分五章。前三章分别阐述 IBM PC 系列、AST P/286 和 AST P/386 系列,IBM PS 系列各自的结构特点和性能。后两章分别阐述 PC-DOS 操作系统和 ROM-BIOS 系统的内部结构和系统功能,提出一些新鲜的见解并公布系统许多予以保留的资源 and 功能。

本书下册为“应用篇”,共分六章。这些章节分别阐述保护模式存储管理技术及应用、磁盘管理技术及应用、程序驻留技术及应用、中断管理技术及应用、视频显示技术及应用,以及页式扩展存储管理规范的应用。叙述的方法从原理出发,由系统到应用,并通过大量实例说明应用编程的原则和方法。

本书适用于计算机研制、开发和应用人员,也可作为高等院校计算机应用专业师生的教学和科研的参考书。

PC 系列机系统开发与应用

(下)

应用篇

张殿鸿 编著

责任编辑:赵克英 陈 洁

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号)

(邮政编码 100044)

新华书店经售

门头沟胶印厂印刷

787×1092 毫米 开本 16 28 印张 747 千字

1992 年 12 月第 1 版 1992 年 12 月北京第一次印刷 印数:0001-5000 册

ISBN 7-118-01105-3/TP·141 定价:20.00 元

前 言

80年代是IBM公司推出两代个人计算机系列——BM PC系列和IBM PS系列风靡全球的时代。事实上，IBM PC系统正成为以往十年期间，微型计算机工业的生产标准和市场导向。

IBM PC系列各产品自从引进我国后，对计算机在各行各业中的普及和应用，应该说起到了极大的推动作用。但不可否认，就计算机应用的广度和宽度而言，我国当前的水平离世界发达国家尚有一段不小的差距。尤其对从事于PC系列机系统和应用开发的人员，更不能停留在低层次上重复开发的阶段，应树立“立足系统，面向应用”的观念，尽可能多地掌握系统内部的种种功能，开发出高效、实用的系统软件和应用软件，以满足各类应用课题对PC系列机提出的日益复杂的要求。

本人在前几年编写的《IBM PC/XT软硬件系统分析和应用》、《DOS操作系统高级技术分析》有关PC系列机书籍的基础上，结合近几年开发应用的实践，对PC系列机进行更深层次的研究。现将研究成果汇集成本书的上、下两册，以适应当前PC系列机各类应用人员迫切要求了解系统、开发系统的趋势，为迅速提高计算机应用的水平作出自己菲薄的努力。

本书的上册取名为“系统篇”，其主要内容包括三部分：

第一部分包括前三章，介绍PC系列机各种机型的结构和性能特点。重点在第二章，该章以AST Premium系列为例，详细阐述当今PC系列机主体286机和386机系统诸多优点，并结合应用建立页式扩展存储器、线性扩充存储器和高速缓冲存储器的明确概念。

第二部分是第四章DOS操作系统。本章的内容具有鲜明的特色：展望DOS发展前景并分析其局限性，提出克服某些对应用限制的对策。同时，站在系统和应用相结合的角度，建立“系统层次结构”的崭新观点，并通过“链表结构”这一统一的格式分析DOS的系统资源；最后，全部公开了DOS已发表和仅为内部保留的系统服务功能。

第三部分是第五章ROM-BIOS系统。该章所占的篇幅最多，不仅阐述了BIOS系统设计思想及其兼容性，而且，在总体上把握BIOS系统结构布局、中断功能及其数据资源的基础上，详尽剖析BIOS各个模块管理程序的基本工作原理、编程接口和编程方法。由于这一章内容涉及到一台PC机的各个方面，如日时钟和实时钟、键盘I/O、打印机I/O、串行通信I/O、软盘I/O、硬盘I/O和视频显示I/O，并通过具体的逻辑指出PC、XT和AT之间的异同点，因此，熟悉并掌握这些设备部件的编程，会大大促进对PC系列机系统开发应用的水平。

本书的下册取名为“应用篇”，其主要内容包括如下各章：

1.第六章阐述286、386机如何建立CPU的保护模式以及编写保护模式程序的原则和方法，并通过实例具体描述使用286、386机配置IM以上存储器的过程。

2.第七章阐述软盘、硬盘管理技术及应用，描述文件簇号链在DOS不同版本下的分配策略，并通过实例分析磁盘非标准格式化在软件加密、解密过程中的作用。

2/59/02

3.第八章阐述可执行程序管理技术及应用,在分析加载执行或加载覆盖程序的基础上,着重介绍程序驻留的方法,并通过实例详尽介绍“内存驻留程序 TSR”的设计技术和原则。

4.第九章阐述如何利用系统中断机构,开发系统不支持的打印机中断、串行通信中断以及定时报时、报警中断,并指出接管中断向量的一般原则和方法。

5.第十章阐述在 PC 系列机被广泛使用的 CGA、EGA 和 VGA 的各种显示技术,着重分析 EGA 和 VGA 高分辨率的编程方法,并通过实例说明如何直接“写屏幕”以提高显示的速度。

6.第十一章阐述 Lotus-Intel-Microsoft 扩展存储器管理规范,并通过实例说明如何通过中断 67H 的调用突破 DOS 内存 640K 的限制,使 PC 系列高档机型能在数十兆字节的存储器环境下发挥更高的效能。

全书的编写原则始终坚持从应用的角度来分析系统结构和功能,反过来又坚持运用系统功能为应用服务。一句话,“立足系统,面向应用”这八个字是作者多年来从事研究、教学和开发应用一贯提倡并尽心遵循的原则,并希望通过本书的出版发行能得到更多读者的共鸣。

阅读本书的读者应具备计算机基本原理、操作系统及汇编语言编程等方面知识,并有一定的 PC 系列机使用和开发实践经验。

因本人水平有限,时间又十分仓促,本书所提出的观点和应用实例难免有不当之处,恳请读者批评指正。

北京计算机学院 张载鸿

1992.6

目 录

第六章 高档微处理器保护模式

及其应用	(1)
6.1 高档微处理器技术发展	(1)
6.2 16 位微处理器代表-80286 ...	(2)
6.2.1 80286 芯片结构	(3)
6.2.2 80286 总线周期	(7)
6.2.3 80286 寄存器组成	(9)
6.2.4 80286 实模式指令	(13)
6.2.5 80286 保护模式指令	(18)
6.2.6 80286 虚拟存储保护机制	(21)
6.2.7 80286 保护模式初始化	(29)
6.2.8 实模式与保护模式间相互 切换	(43)
6.2.9 BIOS 对保护模式的支持 及应用	(51)
6.3 32 位微处理器代表 —— 80386	(65)
6.3.1 80386 芯片结构	(66)
6.3.2 80386 总线周期	(69)
6.3.3 80386 寄存器组成	(74)
6.3.4 80386 指令系统	(77)
6.3.5 实模式与保护模式应用	(85)
6.3.6 设计一个简单的 32 位 保护模式系统	(89)
6.3.7 虚拟 8086 模式应用	(95)
6.4 超级 32 位微处理器代表 —— 80486	(97)

第七章 DOS 磁盘组织机构及

其应用	(101)
7.1 DOS 磁盘组织机构简介 ...	(101)
7.1.1 磁盘物理格式	(101)
7.1.2 磁盘逻辑格式	(102)
7.2 DOS 保留扇区布局及其 应用	(104)

7.2.1 磁盘 I/O 参数表 BPB	(105)
7.2.2 DOS 引导记录及其启示	(107)
7.3 文件目录表及其应用	(113)
7.3.1 文件目录表结构	(114)
7.3.2 目录登记项检索功能	(117)
7.3.3 一种保护树型目录文件的 策略	(121)
7.4 文件分配表及其应用	(123)
7.4.1 文件分配表结构	(124)
7.4.2 FAT 分配策略	(128)
7.4.3 文件逻辑扇区的定位	(131)
7.4.4 FAT 加密保护策略	(133)
7.4.5 一种恢复被删文件的策略 ...	(135)
7.5 硬盘分区管理及其应用	(139)
7.5.1 硬盘分区管理的设计目标 ...	(139)
7.5.2 DOS 硬盘分区命令	(140)
7.5.3 硬盘分区表链	(141)
7.5.4 硬盘分区表链的用途	(147)
7.6 磁盘应用中若干问题探讨 ...	(151)
7.6.1 硬盘启动故障的判断	(151)
7.6.2 硬盘 DOS 分区软加锁 设计策略	(154)
7.6.3 多个 DOS 系统共享硬盘	(157)
7.6.4 DOS 版本管理大容量硬盘 的不兼容性	(159)
7.6.5 非标准格式化软盘的 加密技术	(163)

第八章 进程管理技术及其应用

8.1 DOS 两类程序的结构与 加载后映象	(170)
8.1.1 DOS 程序的一般结构层次 ...	(171)
8.1.2 段重定位文件的结构及加 载后映象	(172)
8.1.3 内存映象文件的结构及加	

载后映像	(177)
8.2 进程的加载与执行	(182)
8.2.1 进程加载的几个重要概念	(182)
8.2.2 进程加载的三种方式	(185)
8.2.3 进程加载的处理流程	(187)
8.3 EXEC 子功能的应用	(192)
8.3.1 从程序中加载执行另一程序	(193)
8.3.2 从程序中加载覆盖程序	(198)
8.3.3 为多进程机制保留的 EXEC 应用	(201)
8.3.4 从程序中执行 DOS 所有命令	(203)
8.3.5 可执行程序的修改	(210)
8.3.6 环境块信息的应用	(216)
8.4 内存驻留程序的设计及应用	(226)
8.4.1 TSR 运行的可能性	(227)
8.4.2 TSR 程序结构	(232)
8.4.3 激活 TSR 的方法	(235)
8.4.4 激活 TSR 的时机	(237)
8.4.5 避免与前台程序冲突的方法	(240)
8.4.6 TSR 与两个 DOS 专用中断的关系	(244)
8.4.7 TSR 驻留的重复性	(245)
8.4.8 TSR 驻留的重入性	(246)
8.4.9 避免与其他 TSR 冲突的方法	(247)
8.4.10 TSR 退出驻留的方法	(249)
8.4.11 TSR 重入 DOS 的一种新技术	(250)
8.4.12 一个 TSR 编程实例	(253)

第九章 中断管理及 ISR 应用

9.1 PC 系列中断管理机制	(264)
9.1.1 中断源类型划分	(264)
9.1.2 中断向量表作用及初始化	(267)
9.1.3 中断服务例程编程原则及	

方法	(268)
9.2 并行口打印机中断控制及应用	(272)
9.2.1 打印机中断控制方式编程	(272)
9.2.2 前台用打印机中断方式打印文件	(276)
9.2.3 后台用打印机中断方式打印文件	(280)
9.3 异步串行通信中断控制及应用	(293)
9.3.1 异步通信中断编程技术	(293)
9.3.2 异步通信中断编程模式	(295)
9.3.3 一个中断驱动的通信终端实例	(300)
9.4 键盘中断扩展控制及应用	(312)
9.4.1 键盘重定义的设计及应用	(315)
9.4.2 一种扩展键盘硬件中断的应用实例	(315)

第十章 EGA / VGA 显示功能及应用

10.1 EGA / VGA 视频显示概述	(321)
10.1.1 EGA / VGA 视频标准	(321)
10.1.2 EGA / VGA 视频显示方式	(324)
10.1.3 EGA / VGA 视频 BIOS	(332)
10.2 EGA / VGA 显示存储器结构	(339)
10.2.1 EGA / VGA 适配器总体结构	(339)
10.2.2 文件显示方式显示存储器结构	(347)
10.2.3 图形显示方式显示存储器结构	(352)
10.3 EGA / VGA 文本显示直接写屏技术	(359)
10.3.1 直接向视频显存写字	

字符串	(359)	规范	(419)
10.3.2 直接向视频显示写窗口	(364)	11.1.1 扩展存储器管理程序	
10.4 EGA / VGA 图形显示		EMM	(419)
直接写屏技术	(394)	11.1.2 EMM 检测与使用	(422)
10.4.1 写像素的各种写模式	(395)	11.2 扩展存储器管理程序的	
10.4.2 通用的直接写屏子程序	(408)	应用	(426)
第十一章 LIM 扩展存储器管理		11.2.1 一个通用的EMS高层	
规范及应用	(419)	应用接口	(427)
11.1 LIM 扩展存储器管理		11.2.2 扩展存储器应用方案的	
		设计	(438)

第六章 高档微处理器保护模式及其应用

自 1970 年末由 Intel 公司研制成第一代微处理器芯片 4004 以来,在不到 20 年的时间里,微处理器已迅速跨过了 4 位、8 位和 16 位,而进入了 32 位的第四代发展阶段。

以 Intel 公司的 80386、80486 芯片和 Motorola 公司的 68030、68040 芯片为 CPU 的 386 机和 486 机系统将成为 90 年代前半期微型机市场的主流。仅以 PC 系列为例,目前流行的 386 机选用的 80386 CPU 其主频有 16MHz、20MHz、25MHz、33MHz 和 40MHz 五种,而 486 机选用的 80486 CPU 其主频有 25MHz、33MHz 和 50MHz 三种。显然,一个 DOS 环境下的应用程序在 386 机或 486 机上运行,其速度要比在 PC/XT 和 PC/AT 机上运行快好几倍。

然而,正如本书上册第四章所指出的,因基于 8088/8086 代码设计的 DOS 操作系统运行环境是在 CPU 的实模式下,因而无法使应用程序在基于 80286/80386/80486 的高档 PC 机上获得硬件所能支持的潜在优势。

本章所述的是利用 80286/80386/80486 CPU 支持的保护模式,使应用程序通过实模式与保护模式的切换,可在大于 1MB 之上的存储空间内活动。

6.1 高档微处理器技术发展

如前所述,微处理器技术发展经历了四代,其典型产品有下列几种:

第一代产品以 Intel 4004 为代表,它标志计算机的发展进入了一个崭新的时代。

第二代产品的早期芯片是 Intel 8008,它是第一块 8 位微处理器。随后是改进型的 Intel 8080 和 8080A,以及增强型的 Intel 8085A,此外, Motorola 公司的 MC6800、Zilog 公司的 Z-80 也相继问世。

第三代产品是以 Intel 8086、Motorola MC68000、Zilog Z-8000 为代表,进入了 16 位微处理器的时代。由于 IBM 公司选定 Intel 8088 (8086 的 8 位数据改进型)作为 IBM PC 的 CPU,使该产品随着 IBM PC 机的风靡全球而名声大振。此外,用于 16 位小型机的微处理器还有德克萨斯仪器公司的 TMS 9900 系列、通用数据公司的 Micro Nova 芯片、仙童半导体公司的 9440 芯片及数字设备公司的 LSI-11 系列。但当 1984 年秋 IBM 推出先进型 PC/AT 选用 Intel 80286 作为其微处理器后,该产品的销售量随着大量 AT 兼容机的出现而直线上升,成为 16 位微处理器的佼佼者。

第四代产品最早是 1981 年由 Intel 公司推出的 32 位 iAPX432 系列,但因其硬件功能复杂和价格昂贵而主要用于超级小型机甚至中型机领域。真正在微型机领域大显身手的产品还是在 1984~1985 年间的 Motorola 推出的 MC 68020、Zilog 的 Z80000 和 Intel 80386,以及随后研制的增强型产品 MC 68030、68040 和 Intel 80486。尽管在 80 年代中后期,各种 32 位微处理器纷纷问世,如 National 的 16000 系列, NCR 132 系列,以及 DEC Micro VAX 系列等等,但由于高档 AT 兼容机都选用 Intel 80386、80486 为其 CPU,因而, Intel

80386 / 80486 芯片在整个 32 位微处理器产品中独占鳌头。

由上述可知，在四代微处理器发展过程中，始终是由 Intel 公司的产品领导其新潮流。表 6-1 列出了 Intel 微处理器各代产品特点。

表 6-1 Intel 微处理器各代产品特点

历代	名称	日期 (年)	工艺	数据线 (位)	地址线 (位)	实存空间	虚存空间	主频
第一代	4004	1971	PMOS	4	12	4KB	—	740kHz
第二代	8008	1972	PMOS	8	14	16KB	—	800kHz
	8080	1976	PMOS	8	16	64KB	—	2MHz
	8080A	1976	NMOS	8	16	64KB	—	2~3MHz
	8085A	1977	NMOS	8	16	64KB	—	3~6MHz
	8085A 是 8080A 微处理器、8224 时钟驱动器、8228 总线控制器三者合一							
第三代	8086	1978	NMOS	16	20	1MB	—	5~10MHz
	8088	1979	NMOS	8	20	1MB	—	4.77MHz
	8038 是 8086 微处理器的 8 位型，内部仍可完成 16 位运算							
	80186	1982	NMOS	16	20	1MB	—	6~8MHz
	80186 是 8086、两级 DMA 通道、三个定时器通道、三级中断控制的合成							
	80286	1983	CMOS	16	24	16MB ^①	1GB	6~10MHz
第四代	80386	1985	CHMOS	32	32	4GB ^①	64TB	16~33MHz
	80386SX	1987	CHMOS	16	32	4GB ^①	64TB	16~33MHz
	80386 SX 是 80386 微处理器的 16 位型，内部仍可完成 32 位运算							
	80486	1989	CHMOS	32	32	4GB ^①	64TB	25~33MHz
	80486 是 80386 微处理器、8kB 高速缓存、80387 协处理器三者合一							

① 访问 1MB 以上的空间 CPU 应为保护模式。

从表 6-1 可看到，Intel 80286（16 位微处理器）和 Intel 80386（32 位微处理器）不仅分别满足 16 位数据和 32 位数据运算的要求，而且，更重要的是利用 CPU 的保护模式，使虚拟存储空间分别达到 1GB (2^{30} B) 和 64TB (2^{46} B)，为用其构成的微型机实现多任务机制提供了强有力的支持。

6.2 16 位微处理器代表 ——80286

IBM PC / AT 选用 Intel 80286 为 CPU 之后，随着 AT 兼容机（通称 286 机）大量投入市场，80286 作为 16 位微处理器的代表产品日益受到人们的关注。尽管它与同一代的前

期产品 8086/8088 均执行 16 位数据的操作,但由于内部硬件结构作了重大改变,使 80286 不仅保持了与 8086/8088 向上兼容的功能,而且提供了处理机的两种操作模式——实模式和保护模式,支持虚拟存储管理,通过四级保护环机制为多任务的隔离、切换和执行提供硬件保证,使具有多任务功能的操作系统 OS/2 或具有多用户、多任务功能的操作系统 XENIX 在基于 80286 微处理器的 286 机上运行成为现实。

6.2.1 80286 芯片结构

80286 芯片的外特性突破了 8086/8088 原 40 个引脚的格局,不再使用数据总线和地址总线部分重叠且分时操作的方式,而各自具有 16 根数据线和 24 根地址线。其内部结构也从原来的两个单元(总线单元 EU 和总线接口单元 BIU)扩大到四个单元:执行单元(EU)、总线单元(BU)、指令单元(IU)和地址单元(AU)。其目的是使四个单元进行流水线式的并行操作,提高数据吞吐率,加快指令执行速度。

1. 80286 引脚分布

80286 芯片有两种封装形式:一种是 LCC (Leadless Chip Carry) 封装,另一种是 PGA (Pin Grid Arrag) 封装。两种封装均有 68 个引脚,实际使用 64 个,如图 6-1 (a) 和 (b) 所示。

下面,按照图 6-1 所示各引脚说明其用途。

(1) 数据双向传输线——D15~D0 (引脚 36~51)

数据线在读/写期间高电平表示“1”,低电平表示“0”。在总线保持响应期间,数据线处于悬浮态。

(2) 地址输出线——A23~A0 (引脚 7、8、10~28、32~34)

地址线在读/写期间高电平表示“1”,低电平表示“0”。在 I/O 传输时,利用最低 10 位地址线 A9~A0, A23~A10 为无效低电平。在总线保持响应期间,地址线处于悬浮态。

(3) 总线高位允许输出线——BHE (引脚 1)

该线低电平有效,表示此时数据在高字节(D15~D8)上传输。当然,在传输 16 位数据时,该信号亦应有效。仅当传输低字节(D7~D0)时,该信号才变为高电平。在总线保持响应间,此线处于悬浮态。

(4) 系统时钟输入线——CLK (引脚 31)

该信号是由 82284 时钟驱动器产生的,其频率为处理机时钟频率的二倍。即选用 80286-6、80286-8 或 80286-10 型芯片,需要 CLK 端提供 12MHz、16MHz 或 20MHz 的系统时钟。

(5) 总线周期状态输出线——S1, S0 (引脚 4、5)

它们与 8086/8088 接成最大模式下输出的状态线(S2、S1、S0)相似,但要和 M/IO、COD/INTA 共四个输出信号一起定义 16 种总线周期的状态(具体状态定义见 6.2.2 节)。

(6) 存储器/I/O 选择线——M/IO (引脚 67)

该信号区分处理机是访问存储器还是访问 I/O。当 M/IO 为高电平时,总线状态处于一个存储器周期或暂停/停机周期,否则,处于一个 I/O 周期或中断响应周期。

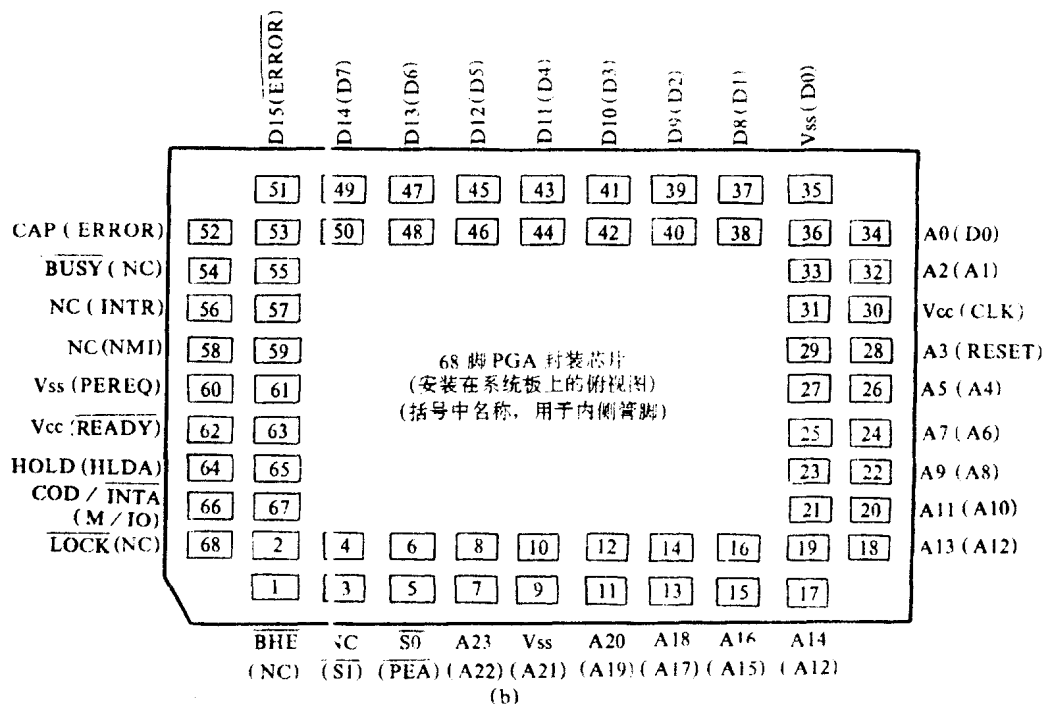
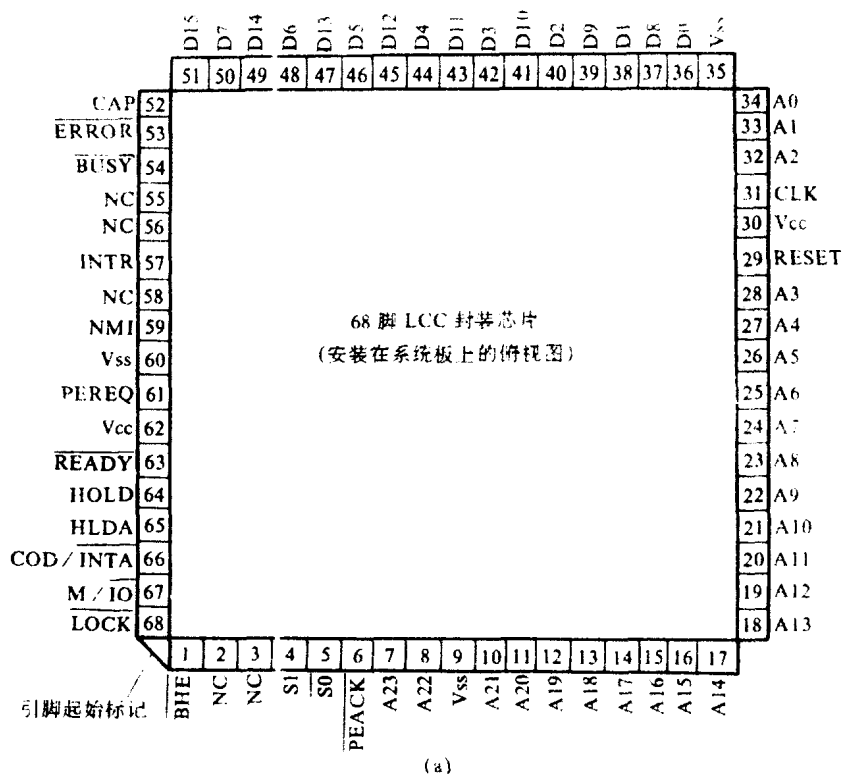


图 6-1 80286 芯片两种不同封装外形

(a) LCC 封装芯片; (b) PGA 封装芯片。

(7) 代码/中断响应输出线 —— $\overline{\text{COD}}/\overline{\text{INTA}}$ (引脚 66)

该信号用于区分读指令 (高电平) 和读数据周期 (低电平), 也用于区分中断响应周期 (低电平) 和 I/O 周期 (高电平)。

(8) 中断请求输入线 —— INTR (引脚 57)

该信号 (高电平有效) 是随机输入的硬件中断请求。若处理机允许中断 (标志 $\text{IF}=1$), 则在当前指令结束后, 处理机进入中断响应周期。与 8088/8088 相同, 处理机当响应一个外部中断请求时, 要执行两个中断响应周期, 以便获取中断控制器识别中断源相应的中断号。为此, 该端信号必须在完成第一个中断响应周期之前一直保持有效。

(9) 不可屏蔽中断请求输入线 —— NMI (引脚 59)

该信号 (边沿触发) 是随机输入的不可屏蔽中断请求。高电平有效。它与 INTR 的差别在于, 既不执行中断响应周期, 又不受中断允许标志 (IF) 的影响。为让处理机正确识别这个中断请求, 要求其输入必须先至少四个系统时钟周期的低电平。而后至少保持四个系统时钟周期的高电平。当处理机响应 NMI 中断时, 即转入中断 02 向量指向的中断处理程序。

(10) 总线封锁输出线 —— $\overline{\text{LOCK}}$ (引脚 68)

该信号 (低电平有效) 指示在当前执行总线周期过程中, 系统中其它主设备均不能获得总线的控制权。 $\overline{\text{LOCK}}$ 信号可由每条指令前加前缀 LOCK 产生, 也可在处理机执行存储器 XCGH 指令、中断响应期间或访问描述符表期间自动产生。

(11) 总线保持请求输入线 —— HOLD (引脚 64)

该信号 (高电平有效) 是随机输入的总线请求, 表示一个主设备请求总线的控制权。

(12) 总线保持响应输出线 —— HLDA (引脚 65)

该信号 (高电平有效) 是对总线保持请求 HOLD 的响应, 允许提出请求的主设备获得总线控制权, 直到 HOLD 变为无效为止。一旦 HOLD 信号无效, 处理机撤消 HLDA , 便恢复对总线的控制权。

(13) 协处理器操作数请求输入线 —— PEREQ (引脚 61)

该信号 (高电平有效) 表示协处理器请求 80286 执行一个操作数据传输。通常, 当 80286 检测到一个访问存储器的 ESC 指令时就会接受到来自 80287 的请求信号。

(14) 协处理器操作数响应输出线 —— $\overline{\text{PEACK}}$ (引脚 6)

该信号 (低电平有效) 是对 PEREQ 高电平有效信号的响应, 表示 80286 执行 80287 所请求的存储器总线周期。

(15) 协处理器忙碌输入线 —— $\overline{\text{BUSY}}$ (引脚 54)

该信号 (低电平有效) 指示协处理器正在执行一条 80287 指令, 其输入可停止 80286 执行 WAIT 指令和一些 ESC 指令, 直至 $\overline{\text{BUSY}}$ 变为无效的高电平。在等待 $\overline{\text{BUSY}}$ 变为无效期间, 80286 可以被中断。

(16) 协处理器错误输入线 —— $\overline{\text{ERROR}}$ (引脚 53)

该信号 (低电平有效) 是随机输入的协处理器请求的异常处理。当 80286 在执行 WAIT 指令或一些 ESC 指令期间, 有效的 $\overline{\text{ERROR}}$ 信号使 80286 产生协处理器异常中断。

(17) 总线准备就绪输入线 —— $\overline{\text{READY}}$ (引脚 63)

该信号 (低电平有效) 指示要终止当前执行的总线周期。换言之, 在 $\overline{\text{READY}}$ 无效期间,

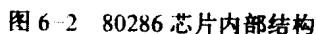
(18) 系统复位输入线——RESET (引脚 29)

该信号 (高电平有效) 指示处理机进入复位状态, 但此高电平应保持至少 16 个系统时钟周期才有效。仅当 RESET 信号从高电平到低电平转换之后, 80286 才可正常操作。

该引脚和地之间，必须接一个 $0.047\mu\text{F} \pm 20\%$ 、耐压 12V 的电容器，作为 80286 内部基底偏压发生器输出的滤波之用，允许流入最大 $1\mu\text{F}$ 的漏电流。

(21) 地线——V_{SS} (0V, 引脚 35, 60)

80286 芯片内部结构如图 6-2 所示。



由图 6-2 可知, 80286 内部划分为四个独立的单元, 可以分别进行同步, 实现流水线作业, 使处理机达到最高的使用效率。这 4 个单元的各自用途如下:

(1) 总线单元 (BU) 该单元产生访问外部存储器和 I/O 端口所需要的地址、数据和命令信号。其中, 由地址锁存和驱动器产生地址线 $A_{23} \sim A_0$ 和 $\overline{BHE}$ 、 $M/\overline{IO}$, 由总线控制器传输 $\overline{READY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、 $\overline{LOCK}$ 、 S_0 、 S_1 、 $COD/\overline{INTA}$ 信号, 由数据收发器传输 16 位数据 $D_{15} \sim D_0$ 。

此外，通过协处理器接口的一对协处理器操作数请求/响应信号（PEREQ/PEACK），来完成协处理器的存储器访问。与 8088/8087 系统中 8087 可直接对存储器访问不同，在 80286/80287 系统中，80286 利用上述这一对信号实现 80287 与存储器之间类似 DMA 的传输。

同 8086/8088 一样, 该单元通过预取器利用总线空闲时间实现指令预取操作。预取的指令可存放在 6B 长的指令队列中。但仅当预取指令队列中至少空出 2B 时才开始指令预取

操作。80286 检测到指令流中符合条件的转移指令 (JXX) 或直接转移型指令 (如 JMP、RET、CALL、INT 等), 以及执行单元响应 INTR 或 NMI 中断时, 该预取指令队列先前的内容被清除, 而从转移到的目标地址开始处去获取新的指令流。

(2) 指令单元 (IU) 该单元从预取指令队列中每取 1B 指令代码, 在指令译码器中对其译码, 并把译码的指令展开成内部 69 位格式, 送入到单元内三条被译码的指令队列 (该队列为 $69b \times 3$)。

(3) 执行单元 (EU) 该单元的功能是执行指令单元输入的被译码的指令。它由算术逻辑运算部件 ALU、寄存器组和微程序代码 ROM ($1536 \times 35b$, 图中未注明) 组成。此外, 接受硬件中断 INTR、NMI 和协处理器操作信号 $\overline{BUSY}$ 、 $\overline{ERROR}$ 的控制器, 对中断和异常进行相应的处理。

(4) 地址单元 (AU) 该单元又称存储管理部件。它的作用是通过偏移量加法器计算出有效地址偏移量之后, 对该偏移量的段边界和访问权限进行检查, 最后从虚拟地址到物理地址的转换, 输出到总线单元的地址锁存和驱动器。需注意的是, 四个段寄存器 (CS、DS、ES、SS) 各自还附有 48 位的段高速缓存器, 用于记录段描述符信息 (有关段描述符见 6.2.6 节)。

6.2.2 80286 总线周期

80286 通过引脚上的地址线、数据线、状态信号线和控制信号线, 对存储器或 I/O 设备进行读/写操作的时间称为总线周期。

总线周期波形图以系统时钟 (CLK) 为基准, 但 80286 在内部将系统时钟二分频形成处理器时钟 (PCLK), 其内部的操作均以 PCLK 同步进行。换言之, 对于时钟频率为 6MHz、8MHz 或 10MHz 的 80286-6、80286-8、80286-10 芯片, 应输入的系统时钟分别为 12MHz、16MHz 或 20MHz。

图 6-3 所示为 80286 系统时钟与处理器时钟之间的关系。图中, 每一个处理器时钟周期包括两个系统时钟周期, 而一个处理器时钟周期代表一个总线 T 状态。

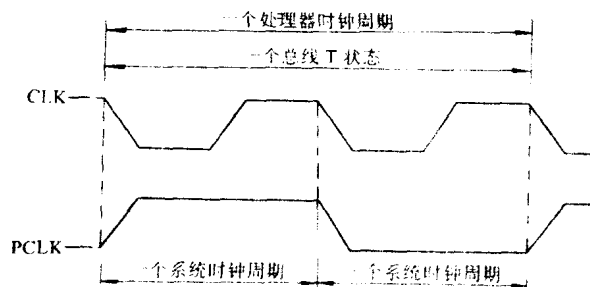


图 6-3 80286 系统时钟与处理器时钟之间关系

1. 总线状态

80286 总线有三种基本状态, 空闲状态 (T_i)、发送状态 (T_s) 和执行状态 (T_e)。此

外，有一附加状态称保持状态 (T_h)。图 6-4 所示为这四种总线状态及允许的转换。

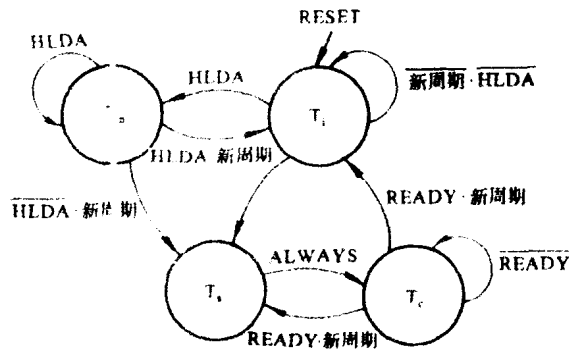


图 6-4 80286 总线状态及转换

(1) 空闲状态 T_0 。该状态表示没有任何数据在总线上传送或请求。通常，当处理器接受复位输入 (RESET)，执行复位操作之后呈现的状态即为 T_0 。此时，若无任何总线请求 (HLDA)，且无新周期产生 (新周期)，则处理器一直在该状态下循环。

(2) 发送状态 T_1 。该状态为第一个有效总线状态，由 80286 的状态信号 $\overline{S1}$ 或 $\overline{S0}$ 为低电平指示。在 T_1 状态下，指令代码、地址和数据 (对写操作而言) 在总线上都是有效的。此时， $\overline{S1}$ 、 $\overline{S0}$ 和 $\overline{M/\overline{IO}}$ 一起送入总线控制器 82288，确定一个总线周期的类型，并由后者输出相应的读/写命令。

(3) 命令状态 T_2 。该状态是在发送状态 T_1 结束后自动进入。此时存储器或 I/O 设备根据 82288 输出的读/写命令响应总线操作，由 80286 输出的地址或数据完成相应的数据读或写。由于处理器时钟与配套的存储器或 I/O 设备的工作时钟并不一定匹配，因此，为了确保存储器或 I/O 设备有足够的时间作出响应，命令状态 T_2 在 $\overline{READY}$ 信号的控制下可允许重复产生，直至 $\overline{READY}$ 变成无效高电平，结束当前执行的总线周期。若此时无新周期开始，又返回到最初的空闲状态。

(4) 保持状态 T_h 。该状态是在空闲状态下 80286 接受到总线保持请求 HOLD 时自动进入的。在 80286 输出有效总线保持响应 HLDA 期间，即保持状态 T_h 下，80286 的所有地址、数据和状态引脚将处于悬浮高阻态，即把总线的控制权转让给其它的总线主控设备。保持状态 T_h 的出口有两条：若 HOLD 持续有效，则每一总线周期 (由其它主控设备控制) 结束又回到空闲状态，但立即再次转到保持状态 T_h 。另一条是当其它主控设备释放总线控制权，即 HOLD 不再有效，HLDA 也随之撤消 ($\overline{HLDA}$)，80286 收回总线控制权进入新的总线周期发送状态 T_0 。

2. 总线操作类型

80286 支持六种类型的总线操作，即存储器读、存储器写、I/O 读、I/O 写、中断响应和暂停/停机。为区分这六种操作类型，80286 通过三条输出线指示，即 $\overline{M/\overline{IO}}$ 、 $\overline{S1}$ 和 $\overline{S2}$ ，并将此信号送到总线控制器 82288，由其输出相应的读/写控制信号。

另外，80286 尚需区分读指令周期和读数据周期（因两者均为存储器读类型），也需区分中断响应周期和 I/O 周期（因两者均对 I/O 芯片操作），故 80286 还要借助另一输出信号线 $\overline{\text{COD}}/\overline{\text{INTA}}$ 。总之，80286 依靠四个输出信号线反映其 16 种总线周期操作类型（其中有若干种保留）见表 6-2。

表 6-2 80286 总线周期操作类型定义

$\overline{\text{COD}}/\overline{\text{INTA}}$	$\text{M}/\overline{\text{IO}}$	$\overline{\text{S2}}$	$\overline{\text{S1}}$	操作类型	82288 输出
0	0	0	0	中断响应	$\overline{\text{INTA}}$
0	0	0	1	保留	/
0	0	1	0	保留	/
0	0	1	1	无源（空闲状态 T_i ）	/
0	1	0	0	暂停（ $A1=1$ ）/ 停机（ $A1=0$ ）	/
0	1	0	1	读存储器数据	$\overline{\text{MRDC}}$
0	1	1	0	写存储器数据	$\overline{\text{MTWC}}$
0	1	1	1	无源（空闲状态 T_i ）	/
1	0	0	0	保留	/
1	0	0	1	读 I/O	$\overline{\text{IORC}}$
1	0	1	0	写 I/O	$\overline{\text{IOWC}}$
1	0	1	1	无源（空闲状态 T_i ）	/
1	1	0	0	保留	/
1	1	0	1	读存储器指令	$\overline{\text{MRDC}}$
1		1	0	保留	/
1	1	1	1	无源（空闲状态 T_i ）	/

注意，在实际应用中，如 PC/AT 及兼容机，80286 的输出引脚 $\overline{\text{COD}}/\overline{\text{INTA}}$ 并未使用。

图 6-5 所示为 80286 读-写总线周期的基本时序。

6.2.3 80286 寄存器组成

为支持 80286 在实模式下与 8086/8088 微处理器兼容，又能在保护模式下提供虚拟存储管理功能，其内部寄存器由四部分组成：通用寄存器、状态/标志寄存器、段寄存器和系统表寄存器。图 6-6 所示为这四类寄存器的布局。