

AMD PAL/PALCE/
MACH 系列

可编程逻辑器件 设计、应用与数据手册

齐秋群 刚寒冰



电子工业出版社

AMD PAL/PALCE/MACH 系列

可编程逻辑器件设计、应用 与数据手册

齐秋群 刚寒冰

电子工业出版社

(京)新登字 055 号

内容提要

本书介绍了 PLD 的原理、设计与应用技术和采用 PLD 的系统设计方法,还专门给出了 PLD 数据资料,包括各种型号的结构、逻辑功能、引脚图、直流和交流电气参数、波形图等,以便于用户查阅。

本书注重实用,内容丰富、新颖,是广大工程技术人员、高等院校师生了解、开发、应用 PLD 的必备资料。

Advanced Micro Devices, Inc. (AMD) 保留未经通告而改变其产品的权利以改进设计或性能特征。本出版物既未明示也未隐含任何保证。其中包括但不限于对一特定应用的可销性或适合性的保证。AMD 仅对用于本公司产品中的线路承担责任,而对其它任何线路之使用不承担任何责任。

该出版物中的信息可以不经通告而修改,AMD 对于采用此信息而致的后果不负任何责任。此外,AMD 对未经描述的特征或参数的功能亦不负任何责任。

商标

MAC11[®] 为 AMD 之注册商标。

Advanced Micro Devices, Inc. 和 AMD 均为 AMD 之商标。

该出版物中所使用的商品名称仅作识别用,它们也可能是其所属公司的商标。

AMD PAL/PALCE/MACH 系列 可编程逻辑器件设计、应用与数据手册

齐秋群 刚寒冰

责任编辑 张 潇

电子工业出版社出版(北京市万寿路)

电子工业出版社发行 各地新华书店经销

电子工业部情报研究所印刷

开本:787×1092 1/16 印张:29 字数:730 千字

1995 年 3 月第 1 版 1995 年 3 月第 1 次印刷

印数:3500 册 定价:40.00 元

ISBN 7-5053-2888-3/TP·958

前 言

随着电子产品逻辑功能的日益增强,其复杂程度不断提高,若采用传统的逻辑器件进行设计,则存在着设计周期长、系统设计复杂、调试困难、不易改进、体积大、费用高等许多缺点。并且当市场发生变化,需要对产品进行更新换代时,往往需要重新设计印刷电路板,要花费很大的人力、物力和时间,难以适应瞬息万变的市场要求。

可编程逻辑器件(PLD)可灵活地编程实现各种逻辑功能,能最大限度地发挥设计者的创作自由。PLD 具有设计灵活、修改方便、可反复编程、设计周期短、系统简单、易于调试、系统可靠性高、体积小、保密性强、成本低等一系列优点,是取代大量传统的中小规模逻辑电路,构成数字系统的理想器件,也是现代电子产品中不可缺少的器件。

AMD 公司是全球最大的 PLD 供应商,也是全美五大集成电路生产厂商之一。AMD 的 PLD 产品分为可编程阵列逻辑(PAL)、电可擦除 CMOS PAL(PALCE,相当于通用阵列逻辑 GAL)和宏阵列 CMOS 高密度/高性能可编程器件(MACH)三大类,覆盖了 PLD 的各种功能、速度和功耗范围。AMD 的 PLD 具有速度快(延迟时间可低至 4.5ns)、品种型号多、功能强、使用方便等特点。AMD 各种型号的 PLD 均为具有军用级工作条件的器件。AMD 的 PAL、PALCE 和 MACH 器已广泛地用于计算机输入/输出卡、工业控制、游戏机、图像与信息处理、家电等各个领域,PLD 的增长速度远远超过了其他各种类型的器件。在国外,PLD 的应用已极为普及,我国的广大工程技术人员也已认识到 PAL/PALCE 器件的优越性,认为采用 PAL/PALCE/MACH 进行数字系统设计是发展方向,为此,我们编写这本《可编程逻辑器件设计、应用与数据手册》一书,希望能对广大设计者有所帮助。

本书是作者受 AMD 公司委托,根据 AMD 公司的“PAL Device Data Book and Design Guide”、“MACH 1 and 2 Family Data Book: High-Density EE CMOS Programmable Logic”、“MACH 3 and 4 Family Data Book: 2nd Generation High-Density EE CMOS Programmable Logic”等资料编写的。其中第一、二、五章由齐秋群、刚砺韬编写,第三章主要由刚寒冰、边萌编写,第四章主要由刘洲峰编写,崔秋阳、刘玉、姜洪福也分别参加编写了第三章、第四章和附录。本书的出版得到了 AMD 公司的支持,在此对 AMD 公司以及 AMD 公司的区耀邦先生、曾海邦先生、关耀良先生、白丰嘉先生、吕学锋先生、陈营先生;AMD 公司代理、(北京)南科电子有限公司的郑永亮、王军先生表示衷心的感谢。

本书不足和谬误之处,希广大读者批评指正。

作者

1994. 11

目 录

第一章 可编程逻辑器件(PLD)简介	(1)
1.1 绪论	(1)
1.2 逻辑系统的实现方法	(1)
1.3 PLD 的分类与结构	(2)
1.4 PLD 的优点	(5)
1.5 AMD PLD 的特点	(7)
1.6 PAL/PALCE/MACH 器件产品综述	(11)
1.6.1 高速 PAL 器件	(16)
1.6.2 通用型 PAL 器件	(16)
1.6.3 工业标准 PAL 器件	(18)
1.6.4 低功耗 PAL 器件	(18)
1.6.5 异步 PAL 器件	(19)
1.6.6 高密度 PAL 器件	(19)
1.7 PLD 器件选择指南与典型器件结构和功能介绍	(21)
1.8 商用 PLD 作为工业用器件	(27)
1.9 PLD 的应用	(28)
1.10 高密度 PLD 的发展方向	(28)
第二章 PLD 设计与应用基础	(34)
2.1 PLD 设计基础	(34)
2.1.1 基本逻辑门组合型设计	(34)
2.1.2 基本触发器寄存型设计	(37)
2.1.3 器件的编程	(39)
2.2 PLD 的设计方法	(39)
2.2.1 概念化设计	(40)
2.2.2 器件的选择	(41)
2.2.3 设计的实现	(42)
2.2.4 模拟	(46)
2.2.5 器件的编程和测试	(47)
2.3 组合逻辑设计	(47)
2.3.1 编码器和译码器	(48)
2.3.2 多路复用器	(50)
2.3.3 比较器	(52)
2.3.4 值域译码器	(54)
2.3.5 加法器/算术逻辑电路	(56)
2.3.6 锁存器与竞争危险	(60)
2.4 寄存型逻辑设计	(61)

2.4.1	概述	(61)
2.4.2	同步寄存型设计	(62)
2.4.3	异步寄存型设计	(75)
2.4.4	寄存型 PLD 的其他应用	(76)
2.5	状态机设计	(78)
2.5.1	概述	(78)
2.5.2	状态机理论	(79)
2.5.3	状态机类型: Moore 和 Mealy	(82)
2.5.4	器件的选择	(83)
2.5.5	PAL 器件作为序列发生器	(85)

第三章 PAL 和 PALCE 的结构、功能与数据

3.1	PAL16R8 系列	(87)
3.1.1	PAL16R8 系列的结构、功能与封装	(87)
3.1.2	PAL16R8 系列的产品型号	(94)
3.1.3	PAL16R8-4/5 商用子系列	(95)
3.1.4	PAL16R8-7 商用子系列	(97)
3.1.5	PAL16R8D/2 商用子系列	(97)
3.1.6	PAL16R8B 商用子系列	(98)
3.1.7	PAL16R8B-2 商用子系列	(99)
3.1.8	PAL16R8A 商用子系列	(100)
3.1.9	PAL16R8B-4 商用子系列	(100)
3.1.10	PAL16R8-10/12 军用子系列	(101)
3.1.11	PAL16R8B 军用子系列	(102)
3.1.12	PAL16R8B-2 军用子系列	(102)
3.1.13	PAL16R8A 军用子系列	(103)
3.1.14	PAL16R8B-4 军用子系列	(103)
3.1.15	PAL16R8 系列的开关波形	(104)
3.1.16	PAL16R8 系列的测试条件和特性曲线	(104)
3.1.17	PAL16R8 系列的输入输出结构	(106)
3.1.18	PAL16R8 系列的上电复位	(107)
3.2	PALCE16V8 系列	(107)
3.2.1	PALCE16V8 系列的结构、功能与封装	(107)
3.2.2	PALCE16V8 系列的产品型号	(113)
3.2.3	PALCE16V8H-5 和 PALCE16V8H-7 商用器件	(114)
3.2.4	PALCE16V8H-10 和 PALCE16V8Q-10 商用器件	(116)
3.2.5	PALCE16V8H-15/25 和 PALCE16V8Q-15/25 商用器件	(116)
3.2.6	PALCE16V8H-15 和 PALCE16V8H-20/25 军用器件	(117)
3.2.7	PALCE16V8 系列的开关波形	(118)
3.2.8	PALCE16V8 系列的测试条件与特性曲线	(118)
3.2.9	PALCE16V8 系列的输入/输出结构	(119)
3.2.10	PALCE16V8 系列的上电复位	(120)
3.2.11	PALCE16V8 系列的使用期限和热特性	(120)
3.3	低压 PAL16V8-10 商用器件	(121)

3.4	零功耗 PALCE16V8Z 系列	(123)
3.4.1	PALCE16V8Z 系列的特点与功能	(123)
3.4.2	PALCE16V8Z 系列的封装与产品型号	(123)
3.4.3	PALCE16V8Z15/25 商用/工业用器件的电气参数	(124)
3.4.4	PALCE16V8Z 系列的测试条件和电源电流与频率的关系曲线	(126)
3.4.5	PALCE16V8Z 系列的使用期限和热特性	(126)
3.5	低压零功耗 PALLV16V8Z 系列	(127)
3.5.1	PALLV16V8Z 系列的特点与功能	(127)
3.5.2	PALLV16V8Z 系列的封装和产品型号	(127)
3.5.3	PALLV16V8Z-25/30 工业用器件的电气参数	(128)
3.5.4	PALLV16V8Z 系列的开关波形	(129)
3.5.5	PALLV16V8Z 系列的测试条件和电源电流与频率的关系	(130)
3.5.6	PALLV16V8Z 系列的上电复位	(130)
3.5.7	PALLV16V8Z 系列的使用期限和热特性	(130)
3.6	大驱动电流 PALCE16V8HD-15 商用器件	(131)
3.6.1	PALCE16V8HD-15 的结构与功能	(131)
3.6.2	PALCE16V8HD-15 的宏单元及其功能设置	(134)
3.6.3	PALCE16V8HD-15 的电气参数和测试条件	(137)
3.6.4	PALCE16V8HD-15 的输入输出电路	(140)
3.6.5	PALCE16V8HD-15 的使用期限和热特性	(140)
3.7	AmPAL18P8B/AL/A/L 商用器件	(141)
3.8	PAL20R8 系列	(145)
3.8.1	PAL20R8 系列的结构、功能与封装	(145)
3.8.2	PAL20R8 系列的产品型号	(153)
3.8.3	PAL20R8-5 商用子系列	(154)
3.8.4	PAL20R8-7 商用子系列	(155)
3.8.5	PAL20R8-10/2 商用子系列	(156)
3.8.6	PAL20R8B 商用子系列	(157)
3.8.7	PAL20R8B-2 商用子系列	(157)
3.8.8	PAL20R8A 商用子系列	(158)
3.8.9	PAL20R8-10/12 军用于系列	(158)
3.8.10	PAL20R8-15 军用于系列	(159)
3.8.11	PAL20R8B-2 军用于系列	(160)
3.8.12	PAL20R8A 军用于系列	(161)
3.8.13	PAL20R8 系列的开关波形和测试条件	(161)
3.8.14	PAL20R8-5 子系列的电气特性曲线	(162)
3.8.15	PAL20R8 系列的输入输出电路和上电复位	(162)
3.9	PALCE20V8 系列	(163)
3.9.1	PALCE20V8 系列的结构、功能与封装	(163)
3.9.2	PALCE20V8 系列的产品型号	(169)
3.9.3	PALCE20V8H-5 商用器件	(170)
3.9.4	PALCE20V8H-7 商用器件	(171)
3.9.5	PALCE20V8H-10 和 PALCE20V8Q-10 商用器件	(172)

3.9.6	PALCE20V8H-15/25 和 PALCE20V8Q-15/25 商用器件	(172)
3.9.7	PALCE20V8H-15/25 和 PALCE20V8Q-20/25 工业用器件	(173)
3.9.8	PALCE20V8H-15/20/25 军用器件	(174)
3.9.9	PALCE20V8 系列的开关波形和测试条件	(175)
3.9.10	PALCE20V8 系列的电源电流与频率的关系	(176)
3.9.11	PALCE20V8 系列的输入输出电路与上电复位	(176)
3.9.12	PALCE20V8 系列的使用期限和热特性	(177)
3.10	异步 PALCE20RA10H-20 商用和工业用器件	(178)
3.11	AmPAL22P10B/AL/A 商用器件	(184)
3.12	PAL22V10 系列和 AmPAL22V10/A	(188)
3.12.1	PAL22V10 系列的结构、功能与封装	(188)
3.12.2	PAL22V10 系列的产品型号	(191)
3.12.3	PAL22V10-7 和 PAL22V10-10 商用器件	(192)
3.12.4	PAL22V10-15 商用器件	(193)
3.12.5	AmPAL22V10A 商用器件	(193)
3.12.6	PAL22V10-12 军用器件	(194)
3.12.7	PAL22V10-20 军用器件	(195)
3.12.8	AmPAL22V10/A 和 AmPAL22V10(Std) 军用器件	(196)
3.12.9	PAL22V10 系列的开关波形和测试条件	(196)
3.12.10	PAL22V10-10 的开关特性曲线	(198)
3.13	PALCE22V10 系列	(198)
3.13.1	PALCE22V10 系列的结构、功能与封装	(198)
3.13.2	PALCE22V10 系列的产品型号	(201)
3.13.3	PALCE22V10H-5 和 PALCE22V10H-7 商用器件	(202)
3.13.4	PALCE22V10H-10 和 PALCE22V10Q-10 商用器件	(204)
3.13.5	PALCE22V10H-15/25 和 PALCE22V10Q-15/25 商用器件	(205)
3.13.6	PALCE22V10H-15/25 工业器件	(206)
3.13.7	PALCE22V10H-15/20/25/30 军用器件	(207)
3.13.8	PALCE22V10 系列的开关波形和测试条件	(208)
3.13.9	PALCE22V10 系列的电源电流与频率的关系	(208)
3.13.10	PALCE22V10 系列的输入/输出电路	(209)
3.13.11	PALCE22V10 系列的上电复位	(210)
3.13.12	PALCE22V10 系列的使用期限和热特性	(211)
3.14	零功耗 PALCE22V10Z 系列	(212)
3.15	低压零功耗 PALLV22V10Z-25 工业用器件	(216)
3.16	PALCE24V10H-15/25 商用器件	(218)
3.17	PALCE26V12H-15/20 商用和 PALCE26V12H-20 工业用器件	(226)
3.18	PALCE29M16H-25 商用器件	(235)
3.19	PALCE29MA16H-25 商用器件	(249)
3.20	PALCE610 系列	(261)
3.21	CMOS 器件的特性参数说明	(270)
3.21.1	EE 单元的擦写特性	(270)
3.21.2	CMOS 器件的功耗	(270)

3.21.3	CMOS 输入/输出结构与特性	(274)
3.21.4	CMOS 器件的交流参数	(276)
3.21.5	CMOS 器件的保护和可靠性	(276)
3.21.6	与双极型器件的兼容性	(278)
3.22	f_{MAX} 参数	(278)
3.23	器件的外形尺寸	(279)
第四章	MACH1/2/3/4 系列的结构、性能与数据	(284)
4.1	MACH1/2 系列简介	(284)
4.2	MACH1/2 系列同步器件的性能和宏单元设置	(286)
4.3	MACH1/2 系列同步器件电气参数	(291)
4.3.1	MACH110-12/15/20	(291)
4.3.2	MACH120-15/20	(297)
4.3.3	MACH130-15/20	(301)
4.3.4	MACH210A-10、MACH210-12/15/20 和 MACH210AQ-15/20	(307)
4.3.5	MACHLV210A-15/20	(317)
4.3.6	MACH220-12/15/20	(317)
4.3.7	MACH230-15/20	(322)
4.4	MACH 异步器件的性能和宏单元设置	(327)
4.5	异步器件 MACH215-12/15/20	(330)
4.6	MACH3/4 系列器件简介	(336)
4.7	MACH3/4 系列器件的功能与设置	(338)
4.8	MACH3/4 系列器件的结构与电气参数	(347)
4.8.1	MACH435-15/20 和 MACH435Q-25	(347)
4.8.2	MACH335-15/20	(355)
4.8.3	MACH445-15/20	(355)
4.8.4	MACH465-15/20	(355)
4.9	MACH 器件的通用信息	(358)
4.9.1	最大额定参数和工作条件	(358)
4.9.2	开关波形与测试电路	(358)
4.9.3	f_{MAX} 参数	(358)
4.9.4	实际应用时电源电流的估算	(361)
4.9.5	数据保持时间和擦写周期	(363)
4.9.6	输入/输出等效结构	(363)
4.9.7	上电复位	(364)
4.10	外形尺寸	(365)
4.11	MACH 器件设计指南	(367)
4.11.1	设计计划过程	(367)
4.11.2	MACH 器件计数器设计	(368)
4.11.3	总线	(371)
4.11.4	PDS 设计文件和 MACH 装调报告	(371)
第五章	PLD 系统设计	(382)
5.1	设计的可测试性	(382)

5.1.1	可测试性定义(定性的).....	(382)
5.1.2	可测试性的定量化.....	(382)
5.1.3	可测试组合电路的设计.....	(383)
5.1.4	重会集扇出.....	(384)
5.1.5	极小化的重要性.....	(386)
5.1.6	逻辑冒险.....	(386)
5.1.7	输出允许的使用.....	(387)
5.1.8	可测试序列电路的设计.....	(388)
5.1.9	锁存器.....	(389)
5.1.10	振荡器.....	(391)
5.1.11	可编程时钟的使用.....	(393)
5.1.12	可测试状态机的设计.....	(393)
5.1.13	测试向量的使用.....	(397)
5.1.14	结论.....	(398)
5.2	地线反冲及解决措施.....	(399)
5.3	亚稳定性及解决措施.....	(402)
5.4	闩锁(latchup)问题.....	(403)
5.5	双极型 PLD 设计转换为 CMOS PAL 器件.....	(405)
5.6	用零功耗 PLD 进行最小功耗设计.....	(410)
5.7	PALCE16V8HD 的设计.....	(412)
5.8	高速电路板的设计技术.....	(419)
5.8.1	电源分布.....	(419)
5.8.2	具有传输线特性的信号线.....	(423)
5.8.3	互扰.....	(432)
5.8.4	电磁干扰(EMI).....	(434)
5.8.5	结论.....	(436)
附录 A	电特性参数定义.....	(437)
附录 B	信号极性.....	(438)
附录 C	AMD 与其他厂商 PLD 型号对照表.....	(443)

第一章 可编程逻辑器件(PLD)简介

1.1 绪 论

集成电路在军事、工业、民用等各个领域的电子产品中得到了极其广泛的应用。集成电路和微电子技术的发展直接而迅速地促进了电子产品的小型化、智能化、高性能化、多功能化和高可靠性。自 70 年代末期,开辟了专用集成电路(ASIC——Application-Specific Integrated Circuit)这一新领域。ASIC 是针对某一特定应用场合而专门设计的集成电路,与传统的采用固定或标准逻辑器件(如 54/74 系列的 TTL/LSTTL 电路,74HC 和 CD4000 系列的 CMOS 电路等)进行设计相比,ASIC 具有较大的设计灵活性,系统构成所含的器件少、性能好、体积小,因此,越来越受到重视。特别是可编程逻辑器件,由于它是介于标准逻辑器件与全定制或半定制(指标准单元和门阵列)逻辑器件之间的一种折衷方案,用户可自行设置所需的逻辑功能,采用可编程逻辑器件(PLD)是一种简单而方便的设计方案,不但成本低,而且设计周期短。采用 PLD 进行设计时,若发现错误,可改变器件的设置,修改逻辑功能,而且可保持引脚不变,因此没有重新印刷电路板的问题。另外,利用 PLD 设计的产品保密性强,不易被仿制。

在中国,PLD 的应用也备受重视,其增长幅度将远远超过国际上其他地区,也大大高于国内其他产品。不但在高档次产品如计算机板卡等产品中如此,就是一些消费性电子产品,如彩电、冰箱、空调等电子产品中亦有大量采用 PLD 的趋势。

1.2 逻辑系统的实现方法

逻辑电路的设计大致可分为两类,一种是采用中小规模集成电路的标准(或固定)逻辑器件,另一种是采用专用集成电路(ASIC)。

中小规模的标准器件(也称为分离逻辑器件),其优点是用户比较熟悉,应用也较为普及。但集成度低,功能有限,灵活性差。用标准逻辑器件进行设计,每项设计都直接影响到印刷电路板的布局,修改设计则非常困难,设计资料也难以获得,并且难以调试和维修。

ASIC 器件可弥补标准器件存在的不足。ASIC 设计方法分为四类:门阵列(Gate Array)、标准单元(Standard Cell)、全定制(Full Custom Circuits)和可编程逻辑器件(PLD—Programmable Logic Device)。

1. 门阵列。门阵列是利用预先制造好的硅阵列母片形成所需的逻辑功能。门阵列母片实际上是还未进行连线的半成品芯片,它可以大批量生产备用。由不同的连线方式,可以实现各种逻辑功能。门阵列母片的成本是低廉的。设计后只需进行布线工艺和后序划片、封装等工艺就可获得产品,设计周期比标准单元和全定制要短得多。门阵列设计方法具有较高的灵活性,但是,门阵列设计所花费的开发成本是比较大的,特别是如果在芯片已加工出来之后,需要修改的话,则在经济和时间上会造成很大损失。只有在数量较大时,才能使单个器件的成本低于

其他设计方法。

2. 标准单元电路。标准单元设计方法是利用预先设计好、经过测试并具有一定逻辑功能的标准单元集成电路版图组合成所需的器件。标准单元库可以包括一些标准的逻辑门电路甚至一些复杂功能的逻辑块。设计者从标准单元库中选取所需的标准单元电路,构成所需的专用芯片。

标准单元电路设计法与集成电路制作过程相比,不需从器件版图进行设计,设计过程缩短。与门阵列相比,仍需要进行各个单元电路的整体布局,设计试制周期要比门阵列长得多,开发成本也高于门阵列,一般只有集成电路专业设计人员才能进行设计,只有在批量足够大时才选用这种方法。

3. 全定制电路。利用门阵列和标准单元设计的芯片属于半定制电路。全定制电路设计是根据所需的功能,从器件版图开始设计,最后获得能满足某一特殊需要的电路。这种设计方法能最充分地利用硅片面积,使每个器件的性能达到最佳,器件的连线与布局最优,电路的配置最合理,从而整芯片的性能最佳。但这种电路的开发成本和风险都相当高,设计周期也最长,只有在产量相当大时才采用这种方法。

4. 可编程逻辑器件。可编程逻辑器件是介于标准逻辑器件与定制或半定制逻辑器件之间的折衷方案。它由一个与(AND)矩阵和一个或(OR)矩阵组成,与矩阵和/或矩阵是可编程的。用户可方便地设置逻辑关系,设计灵活、时间短、成本低、易于修改、风险小、可靠性高,尤其对中小批量的电子产品,采用可编程逻辑器件是最理想的选择。

1.3 PLD 的分类与结构

什么是 PLD? 简言之,可编程逻辑器件就是由用户设置的、完成某种逻辑功能的电路。大部分“标准的”PLD 都是由一个“与”(AND)阵列和一个“或”(OR)阵列组成的,这两个阵列或其中的一个阵列是可编程的。输入或反馈信号都是以互补形式送入“AND”阵列,执行所需的“AND”功能并产生一乘积项(PT)。这些乘积项被送到“OR”阵列。在“OR”阵列中,各乘积项被组合后产生所需的输出逻辑。

PLD 有多种结构形式和制造工艺,但通常所讲的和应用最多的是双极熔丝工艺 PAL 器件和 EECMOS 工艺的 PALCE 器件(相当于 GAL 器件)。

不同的厂商其可编程逻辑器件有不同的型号及名称。总的来说,根据可编程逻辑器件门电路的数目,分为低密度和高密度可编程逻辑器件(HPLD)两大类,即以 1000 门为界,1000 门以下为低密度,1000 门以上为高密度。

按制造工艺划分,PLD 分为一次性写入 PLD、紫外线擦除电可改写 PLD(EPLD)和电可擦除电可改写 PLD(EEPLD),它们分别采用双极型熔丝工艺、紫外擦除 CMOS(UVCMOS)工艺和电可擦除 CMOS(EECMOS)工艺。

1. 双极型熔丝工艺 PLD 是最早推出的 PLD 器件,本书所介绍的 PAL 和 AmPAL 器件就是采用这种工艺的 PLD 器件。这类器件具有较高的速度,如 PAL16R8-4 和 PAL20R8-5 的平均延迟时间 t_{PD} 可达 4~5ns,但功耗较大,对系统电源的冷却方面的要求较高,限制了芯片本身密度的提高。另外,它采用熔丝式一次写入工艺,在编程前无法对它进行全面的测试,制造商只能对它采用较复杂的仿真(功能)和相关(开关性能)测试法。

2. UVCMOS 工艺制作的 PLD 能弥补双极型熔丝工艺 PLD 的一些缺点,它的功耗较低,

具有可擦除和改写能力,可测试性提高了。但需要紫外光源进行擦除,并且擦除时间较长,一般为10~20分钟。为了达到较完善的测试,须对芯片进行反复的擦除和改写,这会使厂商付出高昂的代价。作为折衷,厂商只对芯片进行一次性擦除,故只能进行部分实际测试,也不能达到100%的测试可靠性。另外,为了能进行紫外擦除,要采用较高代价的窗口式封装形式,也会增加额外的成本。

3. EECMOS 工艺是一种先进的制造工艺,由这种工艺制造的 PLD 可克服上述两种 PLD 的缺点。本书所介绍的 PALCE(Programmable Array Logic CMOS Electrically-Erasable)器件和 MACH 器件都是采用 EECMOS 工艺,这类器件实际上就是通用阵列逻辑(GAL——General Array Logic)器件。PALCE 器件相当于 Lattice 公司的 GAL 器件。这种器件具有较通用的结构,为用户提供了最大的设计灵活性。

与其他 PLD 器件相比,PALCE 在功能上有最大的通用性和灵活性,它几乎可以取代所有 74/54 LSTTL/TTL 系列、74HC 系列和 CD4000 系列的器件(个别型号除外)。借助于简单有力的开发工具,可以大大简化设计和开发过程。由于器件品种少,对厂商和用户都可以显著地降低管理费用。PALCE 器件具有双极型器件的高速度,而功耗却只有双极型器件的 $\frac{1}{2}$ 或 $\frac{1}{4}$,如 PALCE16V8H-5 和 PALCE20V8H-5,其速度为 5ns,与 PAL16R8-5 和 PAL20R8-5 的速度相同,但功耗降低约一半。PALCE16V8Q-10 和 PALCE20V8Q-10 的功耗降低至相应双极型器件的约 $\frac{1}{4}$ 。

另外,利用 EECMOS 工艺还可以制造备用状态为零功耗的 PLD 和低压 PLD,如零功耗 PLD 器件 APLCE16V8Z-15 和 PALCE22V10Z-15,备用状态电源电流只有 15 μ A;低压 PLD 器件 PALLV16V8-10,可在 3.0~3.6V 低压下工作;低压零功耗 PLD 器件 PALLV16V8Z-15 和 PALLV22V10Z-25,可在低压下(3.0~3.6V 电源)工作,并且备用状态功耗电流为 15 μ A,近似为零。

EECMOS 工艺制造的 PLD 可以反复擦除和改写,且擦除时间仅为约 10ms,不需紫外光源和窗口式封装。在封装前后都可以对芯片进行反复、完善、实际的测试,厂商可提供 100%的可靠性测试保证。总之,PALCE 是一种设计灵活、性能优越、可靠的 PLD。

按 PLD 器件的结构划分,PLD 分为三种类型:可编程只读存储器(PROM——Programmable ROM)、现场可编程逻辑阵列(FPLA——Field Programmable Logic Array)和 PAL 与 PALCE(GAL)。

1. PROM 结构。RPOM 通常用作存储单元,它由一个固定的“与”阵列和一个可编程的“或”阵列组成,如图 1-1 所示。图中的“与”阵列构成一个全译码阵列,即输入项的每一种可能的组合都对应有一个乘积项。对于这种全译码阵列,若输入项为 n ,则与门数为 2^n 个。当用作存储器时,图 1-1 中的输入 $I_0 \sim I_3$ 相当于地址, $O_0 \sim O_3$ 相当于输出数据,该存储器的容量为 $2^4 \times 4 = 64$ 位(bit)。

2. FPLA 结构。FPLA 结构如图 1-2 所示。在这种 FPLA 结构中,“与”阵列和“或”阵列都是可编的。为了减小阵列规模,提高器件速度,与门阵列不采用全译码形式,即与门个数小于 2^n (n 为输入项数)。有多少与门,就可提供多少不同组合的乘积项。

这种结构的器件具有较大的灵活性来实现所需的逻辑功能。特别是当输出函数很相似,各个函数中有较多相同的乘积项时,可以充分利用共享的乘积项(即输出项很多,但独立的乘积项较少),则采用 FPLA 结构十分有利。双重可编程阵列使得设计者可以灵活地控制器件的全部功能,设计容易方便。但该类器件存在下列问题:器件的价格较高、速度较低、需高质量的支

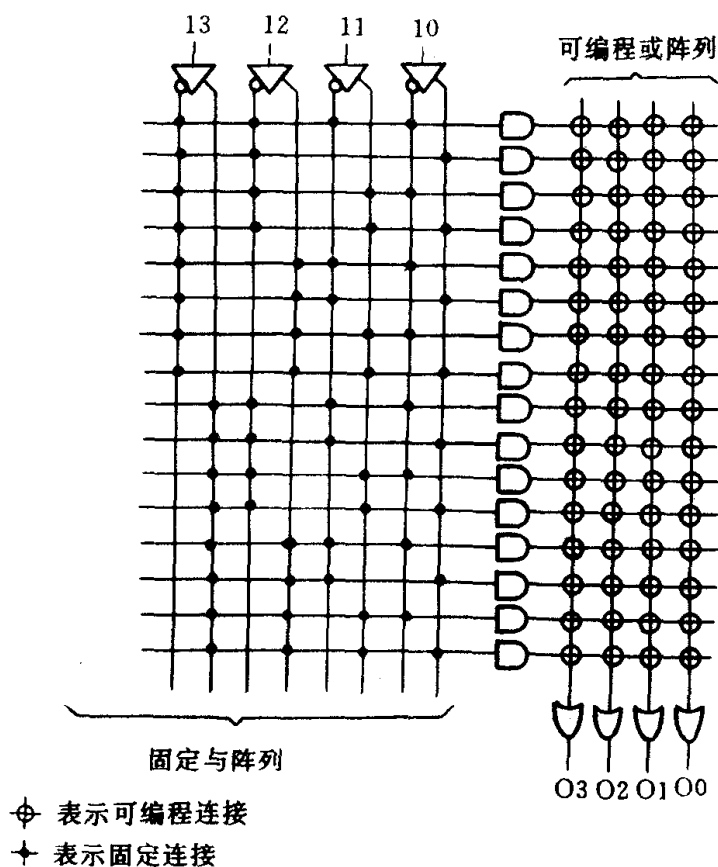


图 1-1 PROM 器件的阵列结构

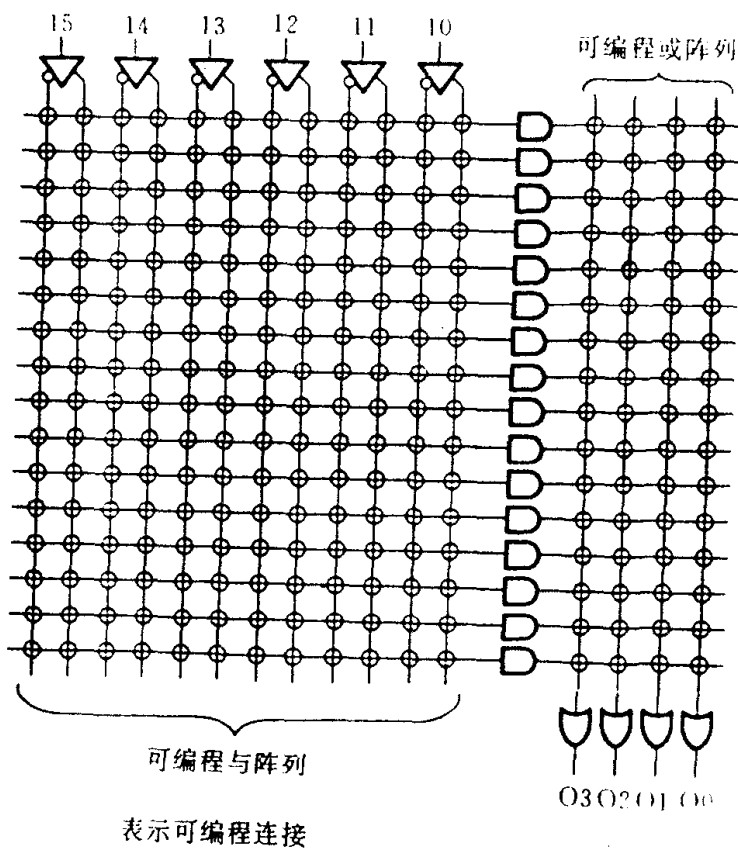


图 1-2 FPLA 器件的阵列结构

持软件和编程工具等。因此，FPLA 器件远未能象 PAL 和 PALCE 器件那样得到广泛的应用。

FPLA 有现场可编程地址解码器 (FPAD——Field Programmable Address Decoder)、现场可编程逻辑序列器 (FPLS——Field Programmable Logic Sequence) 等类型。

3. PAL 和 PALCE (即 GAL) 结构。PAL 和 PALCE (GAL) 器件的基本结构是相同的, 如图 1-3 所示。在这种结构中, “与”阵列是可编程的, “或”阵列是固定的, 也就是每个输出是几个乘积项之和, 其中乘积项的数目是固定的。PAL16R8、PALCE16V8、PAL20R8 和 PALCE20V8 系列有 8 个乘积项, PALCE22V10、PALCE26V12 和 PALCE29M16 等每个输出的乘积项数可达 8~16 个。高密度电可擦除 EECMOS 工艺的 MACH 系列 PLD 器件的乘积项可达 20 个, 如 MACH435 器件等。MACH1/2 系列的乘积项数目一般为 12~16 个。

因为绝大多数逻辑函数都能化为若干个乘积项之和, 即与-或形式, 因此可以方便灵活地利用 PAL 和 PALCE 器件实现逻辑函数。并且这种器件速度快、结构简单、成本低、性能优越、保密性强, 可以利用强有力的支持软件和简单的编程器, 因而获得广泛的应用。特别是 PALCE 器件, 它只需几种型号就可以取代数十种 PAL 器件, 是真正的通用可编程逻辑器件。

1.4 PLD 的优点

PLD 也是当今数字逻辑电路应用领域最热门的话题之一。它具有很多优点,是实现简单和复杂逻辑功能,提高系统性能、集成度和可靠性的有力工具。特别是对于品种多、批量少、更新换代快、对性能要求不是特别高的产品,都可以用 PLD 来实现。用 PLD、门阵列、全定制逻辑器件进行设计时,各方面的性能比较如表 1-1 所示。

归纳起来,PLD 具有下列优点:

- 1. 设计方便灵活、修改容易。设计 PLD 所用的支持工具极大地简化了设计过程。因为它使低层次的实施细节透明化了。一个第一次使用 PLD 的用户,只需花大约 1 至 2 小时就能学会 PAL

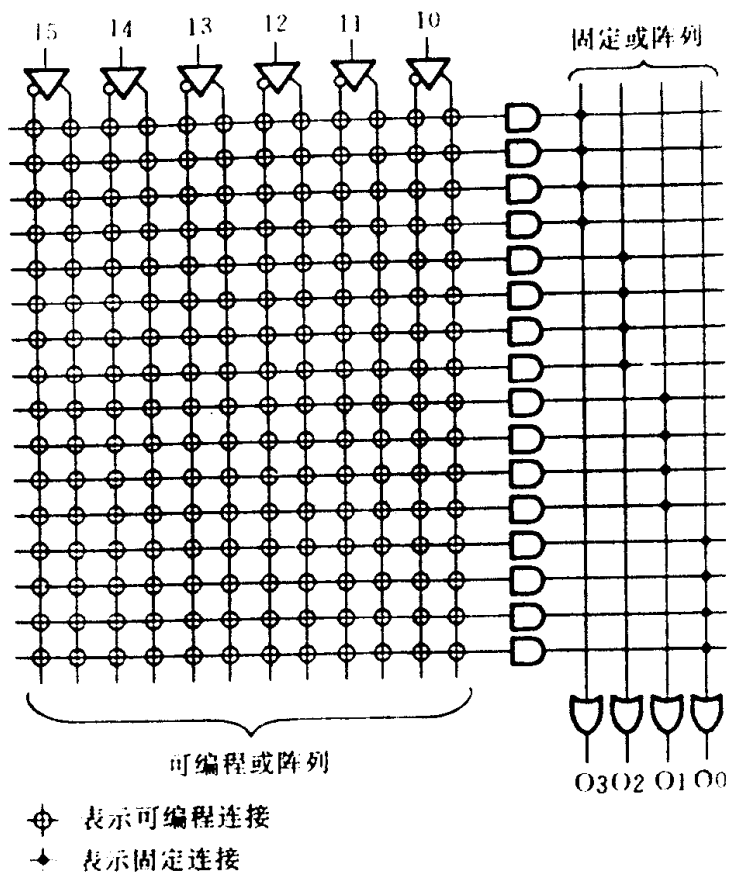


图 1-3 PAL 和 PALCE 器件的阵列结构

器件的设计、编程,并使设计成为实际的系统。

表 1-1 PLD、门阵列、全定制设计方法比较

	可编程逻辑器件	门阵列	全定制逻辑器件
设计周期	以日/星期计算	以月计算	以年计算
交货时间	快	中	慢
开发成本	低	中/高	极高
可用性	高	中	低
供应商数目	多	少	少
编程软件支援	多	少	无
再编程能力	高	低	极低
性能	中	中/高	高
再编程成本	低	高	极高
方案效益	中	高	极高

设计支持工具包括设计软件和编程器。设计软件用来进行设计,编程器用业设置器件。高层次设计与具体编程细节之间的联系由软件完成。

所有可用的设计软件包基本上都具有相同的功能,即从相对高层次的构思确定设计规格,由软件进行具体的设计,并将其转换为可供编程器用来设置 PLD 的形式。大部分软件包都提

供逻辑模拟功能,使用户在实际对器件进行编程之前,对所做的设计进行模拟调试。高层次设计文件也可作为设计资料,这种资料甚至比传统的电路图更容易理解。

对于设计和制作样品来说,有一台编程器是很有用的,这样设计人员就可很快地将其设计变为现实。许多情况下委托制造商或其他分销商对器件进行编程是比较经济的,也是很方便的。尤其是在有大量编程工作时更是如此。

现有的标准 PLD 能满足各种不同速度和功率方面的要求,根据应用场合,可以选用具有各种不同功能和结构的器件。需要改变设计时也非常简单,只要改变设计并用新器件编程即可。对于可反复擦写的 PALCE 器件,只需擦除原器件的内容、重新编程即可。

使用 PLD 时印刷电路板的设计也变得非常简单和方便,因为 PLD 的输入/输出引脚位置非常灵活。一旦确定了输入输出后,就可以开始设计印刷电路板,而不必关心具体 PLD 内部逻辑电路细节。一般情况下,改变逻辑关系,对原设计进行修改时,都可以在 PLD 内部实现,而保持原来的输入输出引脚位置,即不需改动印刷电路板。这一点用标准逻辑器件是根本做不到的。因此,采用 PLD 能为设计人员提供高度的灵活性和创作自由。

此外,控制产品性能和可靠性的最佳时机往往是产品的设计过程。但在实际情况中,许多设计者在样品完成之前往往不能完全确切地知道他们的设计是否能满足需求,特别是一些难以估算和测试的时序参数。往往是在印刷电路板完成之后,对样机进行调试、测试时才发现某些问题。如果重新编程和设计印刷电路板,则损失严重。而采用 PLD 进行设计就完全能避免上述缺点,因为在对 PLD 实际编程前可预先测试其功能,即便有错需修改设计,也不必改动印刷电路板。

2. 性能好。电路的速度是设计者和使用者最关心的问题。目前市场上的 TTL/CMOS PAL 器件/PALCE 器件的性能已等于或优于最快的分离标准逻辑电路,并且 PAL/PALCE 的速度等性能仍在不断改进。

因为 PLD 器件可代替多个标准逻辑电路,因此,PLD 的功耗实际上明显低于实现相同功能的多个标准器件的功耗之和。以 CMOS 技术制造的 PLD 器件的功耗只有 TTL 器件的一半或四分之一。在要求功耗极低的应用场合和需用电池供电的便携式仪器应用场合,可分别选用零功耗 PALCE 器件、低压 PALCE 器件或低压零功耗 PALCE 器件。

此外,既使在 PAL 器件和 TTL/CMOS 标准器件速度相同的情况下,PAL 器件构成的最终逻辑系统的性能也往往优于标准器件构成的系统。这是因为某些情况下印刷电路板的设计会降低系统性能。

3. 可靠性高。采用一片 PLD 可取代许多标准逻辑器件,减少器件数量且 PLD 具有很高的质量和可靠性,因此,采用 PLD 构成的系统的可靠性更高。

由于器件数量少,占用电路板面积与空间少,印刷电路板的布线密度降低,减少了由于电路板引线短路、断路以及器件焊接不可靠造成的系统故障。此外,由于电路板引线密度降低,相互串扰和其它潜在的噪声也减少,系统工作更加可靠。

4. 设计周期短、成本低。为使设计结果更加实用,其性能价格比必须更高。设计时要考虑的一个重要因素就是成本。考虑成本时,应该将各方面的成本都综合考虑进去,否则估算的结果就会偏离实际情况。因为许多方面的成本因素可能被遗漏或难以估测。例如,管理费用和延误产品交货而造成市场占有率下降而带来的损失就很难定量估测。

与标准逻辑相比,PLD 之所以能最大限度地节省成本在于可以用一个 PLD 代替多个标准逻辑器件。当使用 PLD 时,电路板的尺寸可比使用标准逻辑减少 25% 以上。各种逻辑设计

方法的成本与设计周期如表 1-2 所示。

表 1-2 各种逻辑设计方法的成本和设计周期

	开发成本	设计的灵活性	每个器件的门数	设计周期	改变设计时的成本
PLD	无	中-高	200~10K	短(1~10 天)	极低/无
标准逻辑	无	低	10~30	短(1~10 天)	中
门阵列	中-高	中-高	1K~20K	较长(1~3 月)	较高
标准单元	高	高	1K~20K	长(6~12 月)	很高
全定制	高	高	1K~100K	长(6~12 月)	极高

产品及开发的成本还包括其他费用,如库存成本、检测成本、电路板成本等等。当设计需要修改时,全定制的成本显著增加,而 PLD 的成本极低。

使用 PLD 的另一方面优点是只用一种 PAL/PALCE 器件就可用于多种设计,器件的库存可大幅度减少,在采用 CMOS PALCE 器件的情况下,甚至不必采用新的器件。

5. 风险小、效率高。采用 PLD 进行设计,可减少设计风险,提高效率。实际上,一个产品经过开始构思、编程、产品定型制造到最后成为正式产品过程中,如果不使用 PLD,其编制的程序在出厂前不能进行测试,往往出现各种程序上的差错,而且标准分离逻辑器件没有重新编程能力,容易造成浪费,加重成本。而 PLD 具有可测试性和重复编程能力,故能更准确和有效地完成设计。

另外,PLD 较标准逻辑器件优胜的地方,是它能让设计人员适应不同的需要而编写固定逻辑,提供独特的性能。正因为 PLD 没有固定逻辑功能,它们的互换能力极高,可减少库存量。特别是那些寿命短的产品当改变产品时库存的专用电路往往浪费,而 PLD 仍可用在其它产品上,这也正是 PLD 有吸引力之处。

6. 保密性强。关于成本,还有一个决定性的、微妙的成本问题,即竞争对手是否能很容易地复制设计的结果。PLD 的一个独到之处是它有一个保密位,其目的是防止拷贝设计结果。在系统中广泛地使用 PLD 的保密特性,就可有效地保证所进行的设计不会轻易地被别人破译。这一特性所提供的保密设计可以赢得额外的市场时间,获得更多的市场占有率。

由于上述优点 PLD 已经成为,并且将继续成为数字系统设计人员优先选择的最佳设计方法。

1.5 AMD PLD 的特点

AMD 的 PAL、PALCE、MACH 器件具有高速、低功耗、性能价格比高、品种型号多等显著特点,因此在各个领域得到了广泛的应用。几种典型的 PAL/PALCE 器件与其他厂商相应器件的性能比较如表 1-3 所示。

AMD PAL、PALCE、MACH 器件有如下特点:

1. 速度高、性能价格比高。AMD 率先向市场推出最高速度的 PAL/PALCE 器件,许多高速型号是所有其他厂商所没有的。这些器件采用最先进的 TTL 或 EECMOS 工艺技术,性能价格比高。

2. 性能好、可靠性高。AMD 的 PLD 器件采用最先进的工艺和检测手段,出厂前校验所有交流和直流参数特性,能保证极高的内在质量。在电路结构上采用多种有效的措施抑制外部和电路内部的噪声脉冲,使器件可靠地工作。另外,在高速系统中,地线反冲噪声的危害是很大