



普通高等教育“十五”国家级规划教材

电子系统 集成设计技术

李玉山 来新泉 编著 贾新章 主审

www.phei.com.cn



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

普通高等教育“十五”国家级规划教材

电子系统集成设计技术

李玉山 来新泉 编著
贾新章 主审

电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

电子系统集成设计技术是一个不断发展的学科领域,本书借鉴国外的最新教材和相关研究成果文献资料,以 EDA 工具为背景,从电路与系统的角度深入研讨新形势下的电子设计技术。

本书内容由浅入深地分为:对系统集成设计进展加以概述;进而介绍 IC 制造与测试;ASIC 底层电路及版图设计;数字电路设计技术和可编程芯片设计开发;深入论述系统设计工具高级硬件语言的应用,包括 VHDL 和 Verilog HDL 的设计技术;最后探讨有关 ASIC/SOC 系统设计的各种技术专题。

本书涉及电路系统设计和 EDA 技术两个交叉相关的领域。它可以作为电子信息工程、通信工程、计算机科学与技术、测控技术与仪器、自动化、电路与系统等学科学习电子设计/EDA 技术的高年级本科生、研究生教材和工程技术人员的自学参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

电子系统集成设计技术/李玉山,来新泉编著. —北京:电子工业出版社,2002.10

普通高等教育“十五”国家级规划教材

ISBN 7-5053-8044-3

I. 电… II. ①李…②来… III. 集成电路—计算机辅助设计—高等学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字(2002)第 075979 号

责任编辑:陈晓莉 特约编辑:李双庆

印 刷:北京东光印刷厂

出版发行:电子工业出版社 <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×980 1/16 印张:24.25 字数:514.7 千字

版 次:2002 年 10 月第 1 版 2002 年 10 月第 1 次印刷

印 数:5 000 册 定价:30.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。
联系电话:(010) 68279077

前 言

为了落实“科教兴国”策略，国家在“十五”计划期间规划出版一系列高质量的理工科大学本科生教材。这些教材要和国际同类最新的教学科研成果接轨，以适应国内对高层次人才培养的迫切需求。但是，对于我们电子信息类专业来说，为有限的学时编写一本好的教材难度很大，极具挑战性。因为以计算机的普及与发展为代表，电子信息类的知识更新速度太快，我们必须凸现底层基础和共性本质的技术内容。

我们编写的“电子系统及专用集成电路 CAD 技术”教材出版于 1994 年，内容以推广 EDA 技术为主。当时，面对新型设计手段 EDA 软件的冲击，国内电子工程师开始学习、熟悉和运用 EDA 工具。EDA 软件是前人创造性劳动的结晶，离开 EDA 工具的电子设计几乎是寸步难行。无疑，驾驭 EDA 工具是讨论系统和电路设计新技术的基础和起点。

但是，现在的焦点已从普及转向提高，紧迫的需求是如何利用 EDA 工具，使设计水平和能力本身更上一层楼。为了使设计师能够理解并发挥 EDA 工具的众多功能，同时也为了提升设计师们无以替代的创造性思维能力，只有以 EDA 工具为背景（教学背景软件采用 Viewlogic, Tanner 为主），侧重于从电路与系统的角度深入研讨新形势下的电子设计技术，这正是本书“电子系统集成设计技术”有别于先前教材的基本思路、起点和归宿。

电子系统集成设计技术是一个处在不断发展完善的学科领域。本书借鉴国外同类课程的教学经验，以西安电子科技大学课程讲义为基础，吸纳国内外知名高校最新教材资料（详见参考文献），将相关科研成果糅为一个整体重新规划编写。以西安电子科技大学的教学实践为例，课程总时数约为 46 学时左右。授课内容可以进行适当的取舍和扩充，同时需要安排一定的设计实践。

书本学习的优势是可以系统获得设计技术的理性概念和知识，但仍然需要配合一定的上机设计实践，这是为了补充获得感性认识，加深对理性知识的掌握。为此，本书也提供了几种有代表性的 EDA 工具使用要点说明（节前冠以*），以期有助于学生能更快更直接地感受新的电子设计技术概念。

本书由西安电子科技大学李玉山教授担任主编并编写第 1, 4~8 章；来新泉副教授编写第 2, 3 章。本书由西安电子科技大学贾新章教授担任主审。作者对审稿人、陈晓莉副编审及特约编辑等人的有益建议表示由衷的感谢。

本书写作过程得到了国家自然科学基金（No.60172004）和教育部新世纪高等教育本科教学改革项目的资助。西安电子科技大学研究生院、教务处和国家电工电子教学基地的同事们给予了全面支持；还有电路与系统等国家重点学科教师和研究生的通力合作；又有美国 Innoveda, Tanner 等公司的热情相助，本书才得以顺利与读者见面。参加本书编写以及为编写提供帮助的部分老师和博士生有蔡固顺、李先锐、初秀琴、张弘、扬莉、孙肖子、傅丰林、董巧玲等，在此一并致谢！真诚希望继续得到国内同行和读者的不吝赐教。

作 者

2002 年 8 月于西安电子科技大学

目 录

第 1 章 电子系统集成设计概述	(1)
1.1 数字系统和 VLSI	(3)
1.1.1 数字系统集成	(3)
1.1.2 数字系统设计分类	(4)
1.1.3 系统集成的一些专题	(6)
1.1.4 系统集成的技术背景	(7)
1.2 ASIC/SOC 设计与 CAX	(9)
1.2.1 设计要素点评	(9)
1.2.2 计算机辅助技术	(10)
1.2.3 EDA 引发电子设计革命	(12)
1.3 ASIC/SOC 设计与制造	(13)
1.3.1 VLSI 制造工艺	(13)
1.3.2 MOSIS 投片服务	(14)
1.3.3 ASIC/SOC 学术交流	(15)
1.3.4 相关课程设置	(15)
1.4 电子设计技术	(16)
1.4.1 计算机版图设计	(16)
1.4.2 计算机辅助分析	(17)
1.4.3 电子设计简化流程	(17)
1.4.4 电子设计标准化	(18)
1.4.5 电子设计特点	(19)
1.4.6 电子设计功能分解	(20)
1.5 EDA 设计工具	(23)
1.5.1 工程工作站	(23)
1.5.2 微型计算机	(24)
1.5.3 计算机网络	(26)
1.5.4 工作站软件	(27)
1.5.5 微机软件	(28)
1.6 课程设计习题	(29)

第2章 IC制造与测试	(31)
2.1 IC工艺牵动设计	(33)
2.1.1 VLSI工艺回顾	(33)
2.1.2 深亚微米工艺特点	(34)
2.1.3 制造影响设计	(34)
2.2 MOS晶体管与连线	(35)
2.2.1 MOS晶体管结构	(35)
2.2.2 CMOS结构	(36)
2.2.3 连线和连接孔	(37)
2.3 VLSI加工流程	(38)
2.3.1 IC制造工序	(38)
2.3.2 双阱与不同工艺	(38)
2.3.3 BiCMOS工艺	(40)
2.3.4 CMOS工艺流程	(40)
2.4 线路、版图与掩模	(42)
2.4.1 IC版图对应于线路	(42)
2.4.2 设计制造的纽带——掩模	(43)
2.5 IC测试与故障	(43)
2.5.1 IC测试概述	(44)
2.5.2 故障模型与模拟	(44)
2.5.3 面向测试的设计	(45)
2.5.4 自动测试模板生成	(47)
2.6 课程设计习题	(48)
第3章 ASIC底层电路及版图设计	(49)
3.1 CMOS反相器	(51)
3.1.1 反相器静态特性	(51)
3.1.2 反相器动态特性	(52)
3.1.3 反相器功耗和速度	(53)
3.1.4 BiCMOS反相器	(54)
3.2 存储器和I/O电路	(56)
3.2.1 存储器	(56)
3.2.2 I/O电路	(58)
3.3 模拟ASIC电路	(58)
3.3.1 模拟ASIC设计特点	(59)
3.3.2 模拟标准单元	(59)

3.3.3 模拟小信号处理标准单元库·····	(61)
3.4 ASIC 半定制技术·····	(62)
3.4.1 ASIC 设计约束·····	(62)
3.4.2 门阵列设计技术·····	(63)
3.4.3 基于标准单元库的设计·····	(65)
3.5 平面规划与布局布线·····	(66)
3.5.1 平面规划·····	(66)
3.5.2 布局·····	(68)
3.5.3 布线·····	(68)
3.6 IC 版图设计与电气规则·····	(70)
3.6.1 设计规则检查·····	(70)
3.6.2 λ 和 SC MOS 设计规则·····	(71)
3.6.3 电气规则检查·····	(72)
3.7 IC 版图格式·····	(73)
3.7.1 CIF 格式基本命令·····	(73)
3.7.2 GDS II 格式·····	(75)
3.7.3 PG 格式·····	(75)
3.8 课程设计习题·····	(75)
*3.9 版图设计工具 Tanner Tools·····	(76)
3.9.1 设计流程·····	(76)
3.9.2 软件安装与模块·····	(77)
3.9.3 原理图绘制与转换·····	(78)
3.9.4 逻辑模拟器·····	(79)
3.9.5 全定制版图编辑 L-Edit·····	(80)
3.9.6 版图设计命令·····	(83)
3.9.7 标准单元库·····	(85)
3.9.8 自动布局布线 SPR·····	(85)
3.9.9 设计规则检查·····	(86)
3.9.10 版图网表、器件及参数提取·····	(86)
3.9.11 版图校验·····	(87)
第 4 章 数字电路设计技术·····	(89)
4.1 CMOS 门电路·····	(91)
4.1.1 逻辑功能函数·····	(91)
4.1.2 静态逻辑 CMOS 门·····	(92)
4.1.3 单级门及网络延迟·····	(95)

4.2	时序与时序电路	(96)
4.2.1	组合电路与时序电路	(96)
4.2.2	电路中的时序	(96)
4.2.3	电路时序分析	(97)
4.2.4	同步与异步电路	(98)
4.3	时序逻辑设计	(99)
4.3.1	锁存器与触发器	(99)
4.3.2	基本整形电路	(102)
4.3.3	时序网络结构和时钟规则	(103)
4.3.4	状态机分析与设计	(105)
4.4	算术逻辑构件设计	(106)
4.4.1	引言	(106)
4.4.2	组合桶形移位器	(108)
4.4.3	加法器	(109)
4.4.4	广义加法器	(110)
4.4.5	减法器与比较器	(110)
4.4.6	乘法器	(110)
4.4.7	数据通路版图设计	(112)
4.5	分析、仿真与验证	(113)
4.5.1	分析	(114)
4.5.2	仿真	(115)
4.5.3	验证	(115)
4.6	设计综合与优化	(116)
4.6.1	系统行为综合	(116)
4.6.2	门级逻辑综合	(117)
4.6.3	管级电路综合	(118)
4.7	EDIF 格式	(119)
4.7.1	EDIF 标准版本与用途	(119)
4.7.2	EDIF 文件结构	(120)
4.7.3	EDIF 电路网表文件	(121)
4.7.4	EDIF 电原理图文件及其转换	(123)
4.8	课程设计习题	(123)
*4.9	电路设计工具 Viewlogic	(124)
4.9.1	Viewlogic 电路设计简介	(124)
4.9.2	ViewDraw 电路图绘制工具	(125)

4.9.3 ViewSim 逻辑模拟命令	(126)
第 5 章 可编程器件底层设计	(129)
5.1 可编程芯片概述	(131)
5.1.1 FPGA 简介	(131)
5.1.2 编程技术	(132)
5.1.3 I/O 单元	(133)
5.1.4 FPGA 分类	(133)
5.2 Xilinx FPGA 结构	(134)
5.2.1 概述	(134)
5.2.2 内部结构	(135)
5.2.3 内连线	(136)
5.3 FPGA 版图设计	(137)
5.3.1 设计流程之一 (原理过程)	(137)
5.3.2 设计流程之二 (文件变化)	(138)
5.3.3 FPGA 版图自动设计	(138)
5.3.4 FPGA 版图手工编辑	(140)
5.4 FPGA 编程及嵌入设计	(142)
5.4.1 FPGA 编程	(142)
5.4.2 FPGA 构造模式	(143)
5.5 FPGA 和 CPLD 进展述评	(145)
5.5.1 Altera CPLD 进展	(145)
5.5.2 Xilinx FPGA 进展	(146)
5.6 课程设计习题	(147)
第 6 章 VHDL 硬件设计语言	(149)
6.1 VHDL 语言设计概述	(151)
6.1.1 简介	(151)
6.1.2 设计单元和库	(152)
6.1.3 VHDL 优点	(152)
6.1.4 表现手法	(153)
6.1.5 VHDL 开发环境	(153)
6.2 VHDL 可编译源设计单元	(154)
6.2.1 库	(155)
6.2.2 集合包	(156)
6.2.3 实体号	(157)
6.2.4 构造体	(158)

6.2.5	配置说明	(163)
6.2.6	课程设计与练习	(164)
6.3	VHDL 语言基础知识	(166)
6.3.1	标量类型数据	(167)
6.3.2	复合类型数据	(169)
6.3.3	客体	(171)
6.3.4	操作符与表达式	(172)
6.3.5	预定义属性	(173)
6.3.6	课程设计与练习	(174)
6.4	时序语句与行为描述	(177)
6.4.1	进程语句及其特点	(177)
6.4.2	进程中的说明部分	(179)
6.4.3	时序语句	(179)
6.4.4	子程序	(183)
6.4.5	课程设计与练习	(186)
6.5	信号与信号赋值	(187)
6.5.1	网表结构性信号	(188)
6.5.2	进程通信信号	(188)
6.5.3	对进程及端口中信号的说明	(189)
6.5.4	信号赋值及延迟	(190)
6.5.5	模拟循环中的活动	(192)
6.5.6	进程的挂起和激活运行	(192)
6.5.7	信号赋值中的延迟模型	(193)
6.5.8	决断函数	(193)
6.5.9	课程设计与练习	(195)
6.6	并发行为性语句与数据流描述	(196)
6.6.1	一般并发信号赋值	(197)
6.6.2	并发条件信号赋值	(197)
6.6.3	并发选择信号赋值	(198)
6.6.4	并发过程调用	(198)
6.6.5	块语句	(199)
6.6.6	思考题	(200)
6.7	元件层次与结构描述	(201)
6.7.1	元件实例生成和层次结构	(201)
6.7.2	产生语句	(204)

6.7.3	配置	(205)
6.7.4	类属	(207)
6.7.5	VHDL 综合	(209)
6.7.6	课程练习	(210)
6.8	VHDL 设计举例	(211)
6.8.1	例一 交通红绿灯控制器	(211)
6.8.2	例二 四选一开关	(214)
6.8.3	例三 类属应用	(215)
6.8.4	课程练习	(216)
6.9	课程设计复习	(218)
6.9.1	电路设计测验一	(218)
6.9.2	电路设计测验二	(224)
6.9.3	电路设计测验三	(227)
6.9.4	设计练习题	(230)
*6.10	VHDL 设计工具 V-System	(232)
6.10.1	简介	(232)
6.10.2	用 VHDL 编写激励仿真	(234)
6.10.3	V-System 环境直接仿真	(235)
*6.11	VHDL 相关标准	(236)
6.11.1	VHDL 保留字	(236)
6.11.2	STANDARD 集合包	(237)
6.11.3	TEXTIO 集合包	(240)
6.11.4	VHDL 句法汇总	(241)
6.11.5	STD_LOGIC_1164 集合包	(261)
第 7 章	Verilog HDL 硬件设计语言	(265)
7.1	Verilog HDL 概要	(267)
7.1.1	Verilog HDL 特点	(267)
7.1.2	Verilog HDL 模块	(267)
7.1.3	Verilog HDL 设计简例	(269)
7.2	Verilog HDL 基础知识	(270)
7.2.1	数据及类型	(270)
7.2.2	表达式中的运算符	(274)
7.3	逻辑门及时延模型	(277)
7.3.1	内置门与开关基元	(277)
7.3.2	用户定义基元——UDP	(278)

7.3.3	线网时延和门时延	(279)
7.4	数据流风格描述	(280)
7.5	行为风格描述	(281)
7.5.1	过程与块语句	(282)
7.5.2	过程中的赋值	(285)
7.5.3	过程中的程序控制语句	(286)
7.5.4	行为风格设计举例	(291)
7.6	结构风格描述	(293)
7.7	编译仿真辅助技术	(294)
7.7.1	编译预处理宏命令	(294)
7.7.2	仿真交互技术——系统函数和任务	(297)
7.8	Verilog HDL 设计测试技术	(302)
7.8.1	标量与矢量	(302)
7.8.2	激励与时钟变量	(303)
7.8.3	测试程序	(303)
7.8.4	文本文件的向量读写	(305)
7.9	Verilog HDL 与 VHDL 对比	(306)
7.10	课程设计习题	(307)
*7.11	IEEE-1364 Verilog HDL 标准	(309)
7.11.1	Verilog HDL 保留关键字	(309)
7.11.2	Verilog HDL 句法汇总	(310)
第 8 章	ASIC/SOC 系统设计技术	(331)
8.1	时序电路与时序设计	(333)
8.1.1	同步系统的时钟错位	(333)
8.1.2	自时序异步电路	(335)
8.2	系统与电路结构设计	(336)
8.2.1	逻辑与物理结构	(336)
8.2.2	数据通路	(337)
8.2.3	寄存器转移结构	(338)
8.2.4	系统结构调度与分配	(339)
8.3	处理器并行算法与结构	(341)
8.3.1	引言	(341)
8.3.2	SIMD 结构	(343)
8.3.3	MISD——流水线	(343)
8.3.4	MIMD——Systolic 结构	(345)

8.4	芯片内外互连技术	(346)
8.4.1	线电容与串扰分析	(347)
8.4.2	电阻与电迁徙	(350)
8.4.3	电感与 I/O 设计	(352)
8.4.4	封装互连	(354)
8.5	芯片低功耗设计	(355)
8.5.1	引言	(355)
8.5.2	开关电流	(356)
8.5.3	撬棍电流	(357)
8.5.4	亚阈值电流和漏电流	(357)
8.6	可测性设计与可靠性分析	(359)
8.6.1	可测性设计	(359)
8.6.2	可靠性分析	(360)
8.7	ASIC/SOC 设计方法学	(363)
8.7.1	设计方法学要点	(363)
8.7.2	IBM 方法学举例	(369)
8.7.3	课程述评	(370)
8.7.4	系统设计习题	(371)
主要参考文献		(372)

第 1 章

电子系统集成设计概述

本章概要介绍电子系统集成设计技术。首先说明数字系统的不同 VLSI 设计途径；数字系统的设计内容和技术分类；系统集成设计的技术背景和专题。然后探讨系统集成设计与 CAX 的关系；ASIC 设计技术与加工制造、交流培训等。进一步又讨论了电子设计的技术内涵和特色。最后对设计用到的硬软件平台和主要 EDA 软件做一概要介绍。

本章主要内容

- 数字系统 VLSI 实现
- 数字系统设计内容、技术背景和专题
- 系统集成设计与 CAX
- ASIC 设计与制造、服务和人才
- 电子设计技术内涵和特色
- 设计硬软件平台和 EDA 软件

从实干中学会实干的本领 (For the things we have to learn before we can do them, we learn by doing)!

——哲学家亚里士多德 (Aristotle)

1.1 数字系统和 VLSI

本节以数字系统集成为例, 探讨系统级 VLSI 设计的内涵和技术问题。

1.1.1 数字系统集成

1. 电子系统集成与数字信号处理

随着数字技术、计算机技术的发展, 我们现在的电子信息系统正在经历从模拟体制向数字化体制的变革。

数字系统和外部世界不可避免地需要模拟量接口; 外部世界的物理量以模拟量居多; 有些高频、大功率的场合, 数字电路也无以替代。因此一般的电子系统集成, 以数字电路为主。在需要外部接口、射频、大功率方面, 还会有单独的模拟电路, 或者是数模混合集成电路。

目前, 大多数 A/D、D/A 变换器都采用了基于开关电容的设计技术。采用开关电容的优点之一就是可以容易地将它与数字 CMOS 电路集成在一个芯片中, 有利于实现系统级芯片数模混合集成。但是, 本书还是以 CMOS 数字系统集成芯片设计为主。

在电子系统集成中, 最富生命力和最主要的内容就是数字信号处理 (DSP, Digital Signal Processing) 系统集成。与芯片设计制造技术相结合的 VLSI (Very Large Scale Integration) 数字信号处理, 是当今 DSP 和芯片设计中最为活跃的研究领域。因为, 许多实际的需求都可以归结为某种信息的加工和处理。

信号处理的根本任务就是剔除信号中的冗余信息; 提取信号中的有用信息。为了有效的传输和存储, 也常常对信号进行必要的变换和编码。

完成信号处理功能, 一般有两种工程实现途径: 一种是采用通用的标准 VLSI DSP 芯片, 通过设计软件来实现; 一种是自己设计专用集成电路芯片 (ASIC, Application Specification Integrated Circuit) 来实现。

2. 通用可编程数字信号处理器

采用通用的 VLSI 标准数字信号处理器 (例如选用 TMS320C** 系列芯片) 是一种比较流行的方案。这时的数字系统研制开发工作量主要是软件编程, 有人称为软件编程 DSP 技术。标准数字信号处理器的特点是采用并行机制的多累加器 (MAC) 结构, 使得乘加和运算能力大为增强。其芯片规模非常大, 它可以同时进行乘加、取数、取指、译码和存储器指针加减等多种运算。早期许多 DSP 采用定点运算, 数据字长小于 32 位, 电路简单且功能有

限。现在不少 DSP 处理器为了更通用,增加了浮点运算,功能的提升使电路变得很复杂,同时芯片的功耗和速度也因此受到影响。

通用可编程数字信号处理器可以适用于多种不同的算法。采用通用软件编程 DSP,完成一般的功能是没有问题的。这一方案的优点是成本低、开发快、市场应变好、接口外的其余部分比较灵活、通用性强、调试修改扩展性好。这一方案的缺点是吞吐量小、功耗大、体积尺寸大、单个成本较高等。这是因为“通用”是折中各方面要求的产物,如果只是动用一部分功能,就不会太合适,而且其余部分有可能是浪费。另外,所有软件可编程方案,归根结底还是要通过硬件动作来实现,层次多了,其效率必然要降低。在上述缺点可以容忍的情况下,选择软件编程通用 DSP 仍然不失为实现信号处理功能的较好策略。

3. 系统级集成 VLSI ASIC 设计

既然采用通用的标准软件可编程 DSP 芯片能够胜任许多工作,那么设计 VLSI ASIC 的必要性何在?事实上,为了能应用于各种信号处理场合,通用芯片设计付出的代价就是它的结构配置全面而复杂。对于许多专用场合,不少电路是多余的。以浮点运算为例,需要浮点的场合主要是三维图形图像、多媒体和机械 CAD 造型等,其他应用对象并不十分迫切需要浮点运算。虽然浮点拓宽了工作的动态范围,而设计师和用户通常都认同精度比动态范围更重要。此外,浮点运算还有乘积的舍入非线性等问题。定点运算仍然是目前和今后长时期多数数字信号处理任务比较适用的形式。在实时性等其他方面,硬件方案比软件方案的优越性还有不少。所以,研究和设计面向对象的 VLSI 专用数字处理器 ASIC 芯片,仍然留有足够的发展空间。

倘若只用于一种算法的 ASIC,我们可以称其为算法专用信号处理器,或者称为另一种信号处理用 ASIC,这里的 A 是指算法(Algorithm)。这种理解有助于我们把注意力集中在原始的算法创新上;而常规 ASIC 的含义使得我们更牢记和把握好某一类应用的特殊性。无论是哪一种意义上的 ASIC,既然选择它作为一种物化载体,设计时必须让它具有吞吐量大、速度快、功耗低或面积小等某一方面的优点,这样它才能站住脚。否则为什么不采用通用软件可编程标准芯片,何必为之专门度身定制电路呢?当然,通用和专用、软件和硬件也都是相对的,可以转化的;今天的专用也许就是明天的通用;硬件设计中也会有控制器及专用指令等。

有一点需要强调的是,在设计系统级集成的 VLSI ASIC 时,需要认真按照算法的需求定制数据宽度和数据通路结构,尽量减少片上内存。内存是个与数据通路设计密切相关的重要议题,片内存储代价大,而片外存储又影响速度。

1.1.2 数字系统设计分类

这节讨论电子系统集成设计的对象、内容及技术分类。

“仁者见仁,智者见智”,设计一个数字系统与电路,包括芯片集成,会涉及许多级别