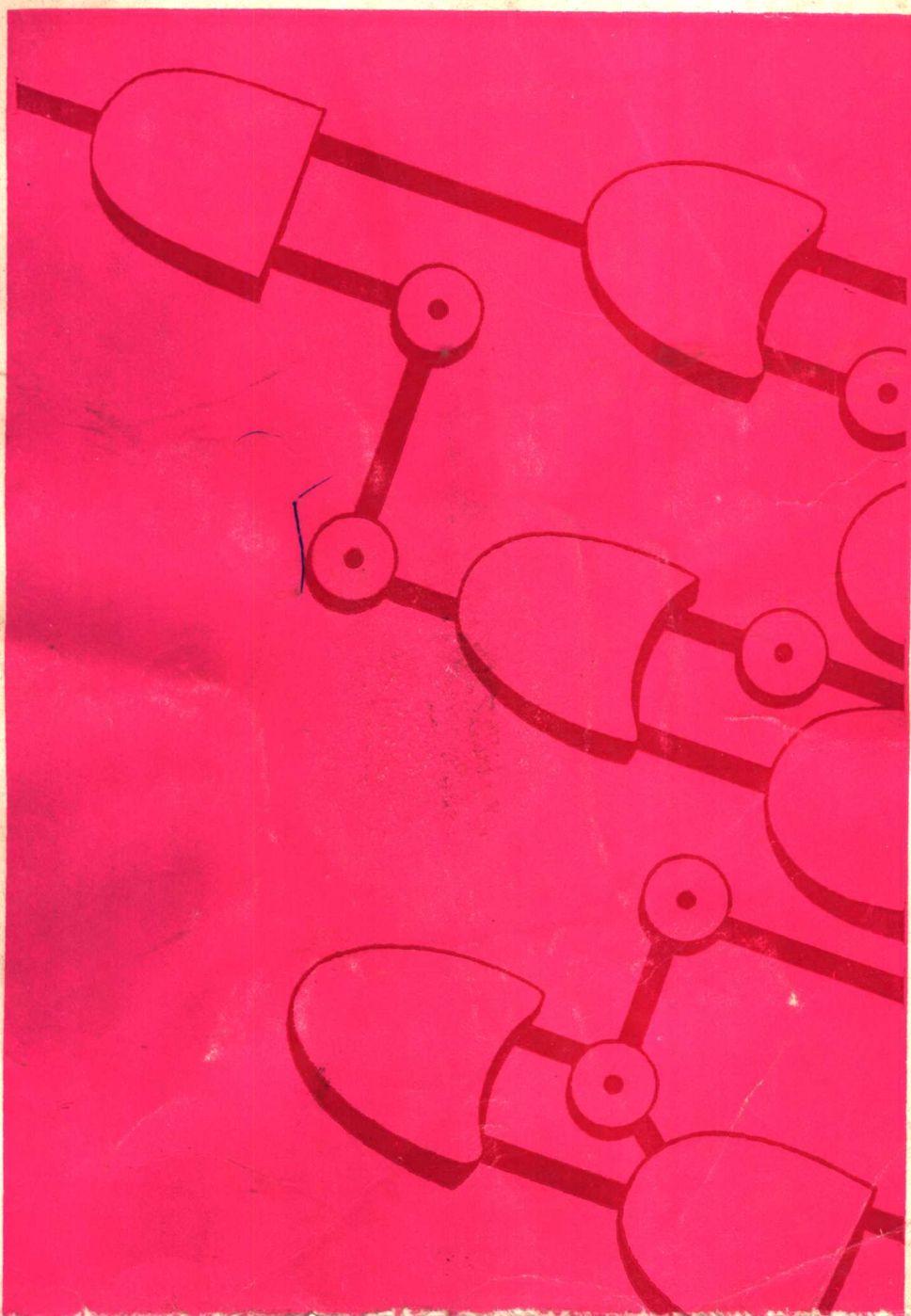


可编程阵列逻辑应用技术

PAL

周建民 张 雷 程 蓓 编著 ● 中国科学技术大学出版社
蔡香华 陈 铭



可编程阵列逻辑 PAL 应用技术

周建民 张雷 程蓓 蔡香华 陈铭 编著

孙贞寿 黄胜华 江岳 纪金龙 校

中国科学技术大学出版社

1990·合肥

内 容 提 介 简

本书介绍了PAL(可编程阵列逻辑)器件的基本原理和功能,以及如何设计和编程PAL器件。系统地阐述了PAL器件在工业控制、通信工程、计算机系统、数据处理、接口技术等领域中的实际应用。本书还包括了设计需要的各种资料、数据等。

本书适于从事工业过程控制、仪表测量、计算机工程、通信工程、电子技术等专业的工程师、教师、科研工作者以及从事新产品开发研制的科技人员作为参考读物和工具书使用。也可节选部份内容作为高年级大学生和研究生新开课程的教材。

可编程阵列逻辑PAL应用技术

周建民 张雷 程蓓 蔡香华 陈铭 编著

中国科学技术大学出版社出版

(安徽省合肥市金寨路96号, 邮政编码: 230026)

中国科学技术大学印刷厂印刷

安徽省新华书店发行

*

开本: $787 \times 1092/16$ 印张: $13\frac{5}{8}$ 字数: 345 千

1990年10月第1版 1990年10月第1次印刷

印数: 1 - 6000 册

ISBN 7-312-00221-8/TP·21 定价: 8.00 元

前 言

半导体工业的成果导致了1984年以来的第三次产业革命,使人类文明进入信息时代和高科技水平,对政治经济生活也产生了重大的影响。半导体工业的发展异常迅猛,继微处理器问世之后,近年来兴起的PLD(可编程逻辑器件)被称为是“冲击硅谷的第三次浪潮”。其代表性产品PAL(可编程阵列逻辑)器件正在风靡欧美电子技术市场,应用范围日益广泛,已经渗透到各个工业部门。可以预见, PAL器件将对工业生产产生越来越大的作用。近年来四通、科福等公司已率先将该产品引入到国内。

本书共分九章:第一章阐述PAL器件的基本原理与功能优势。第二章阐述如何使用编程器和开发软件对PAL器件进行设计和编程。第三章列举了如何用PAL器件实现基本逻辑门电路、多路开关、计数器等简单的应用实例。第四章完整、系统地阐述了PAL器件在数据通信检错与纠错电路中的应用;在目前尚缺乏标准化数据通讯设备的情况下, PAL器件的灵活性为提高系统的可靠性与性能指标带来了新的希望。第五章阐述了PAL器件在工业控制中的实际应用。第六章阐述如何应用PAL器件设计总线接口电路和经济、有效地构成与扩展系统。第七章阐述了PAL器件在计算机系统设计中的作用,仅用一、两片PAL器件即可实现中断控制器,这无疑是引人注目的。第八章详尽地阐述了用PAL器件构造并行运算电路可大大提高运算速度。尽管本章所谈到的浮点数据格式及算法尚未见实用,但PAL器件的出现已使计算机浮点运算速度达到每秒几百万次乃至一千万次成为可能了。第九章为系统设计师提供了选用PAL器件、设计计算、制作印刷板所需要的各种数据、资料等。

本书涉及到几十种不同的应用情况,大多是与新开发出或正在开发的产品有关;所包含的资料是丰富和详细的,能够直接仿照实现、也可根据自己的应用场合选择类似的例子加以修改后去开发新的产品。

在读完本书及将要出版的“可编程阵列逻辑PAL原理与应用”一书后,对PAL器件即有了概括了解,读者也自然能大体上明瞭其他各种PLD(如GAL, PROM, PLA, PLS, PGA等)器件的应用知识。PAL器件就性能价格比而言是最适合于工业应用和形成产品的;在开发研制阶段,如无把握,可采用GAL器件,请参阅“通用逻辑阵列GAL”一书中的有关章节。这三本书起到了相辅相成的作用,“GAL”一书偏重于对产品知识的介绍,

“PAL应用技术”一书和“PAL原理与应用”一书则着重于应用领域。当然,这三本书也都注意到其内容的完整性。作者认为,对于研究工作者来说,认真读完这三本书是大有裨益的。

由于水平所限,本书难免有不当和错误之处,望读者指正。

本书初稿承蒙孙贞寿、黄胜华、江岳、纪金龙等校。

编 者

1990年10月于合肥

目 录

前言	(i)
第一章 PAL器件原理及产品介绍	(1)
第1节 PAL器件的内部逻辑电路原理	(1)
第2节 PAL器件产品简介	(5)
第3节 PAL器件的优点	(7)
第二章 PAL器件的开发	(9)
第1节 开发软、硬件工具简介	(9)
第2节 CUPL软件编程PAL的步骤	(9)
第3节 PALSAM编程PAL的步骤	(13)
第三章 PAL器件简单应用举例	(16)
第1节 基本逻辑门电路的实现	(16)
第2节 16:1多路开关	(20)
第3节 八位计数器的实现	(25)
第四章 PAL器件在数据检错与纠错的应用	(31)
第1节 提高串行数据传送的可靠性	(31)
第2节 32位CRC错误检测	(38)
第3节 用PAL器件实现串行/并行CRC	(53)
附录A 并行8位CRC方程的推演	(57)
附录B 采用PAL器件实现串行CRC举例	(59)
附录C 采用PAL器件实现并行CRC	(68)
第4节 动态RAM的LSI控制与纠错	(77)
第5节 八位数据的检错和纠错	(84)
第五章 PAL器件在工业控制技术中的应用	(98)
第1节 两种交通信号控制器	(98)
第2节 三种数轴编码器	(112)
第六章 PAL器件在总线接口技术中的应用	(125)
第1节 具有握手逻辑信号的7位I/O端口	(125)
第2节 三位判优器	(128)
第3节 中断控制器	(130)
第4节 用PAL器件实现NS32032微处理器的接口电路	(134)
第七章 PAL器件在计算机系统设计中的应用	(158)
第1节 68000中断控制器	(158)
第2节 中断向量生成器的实现	(160)

第 3 节	带寄存器的 8 位 I/O 中断优先级编码器	(170)
第八章	PAL 器件在高档超小型机的算法、结构中的应用	(173)
第 1 节	浮点数据格式	(173)
第 2 节	加法与减法算法	(175)
第 3 节	加法和减法硬件	(176)
第 4 节	乘法算法	(184)
第 5 节	乘法硬件	(185)
第 6 节	除法与平方根算法	(188)
第 7 节	应用 PAL 器件的实现	(190)
第九章	PAL 器件技术资料	(195)
第 1 节	PAL 器件引脚图	(195)
第 2 节	PAL 器件逻辑框图	(195)
第 3 节	PAL 器件数据表	(195)

第一章 PAL器件原理及产品介绍

第1节 PAL器件的内部逻辑电路原理

PAL是一种现场可编程的阵列逻辑器件，其内部电路由“与”阵列和“或”阵列两半部分构成，“与”阵列的输出是“或”阵列的输入信号，其内部电路的主要特征是：“与”（AND）阵列可编程，而“或”（OR）阵列固定。

图 1.1 是 4 输入 4 输出的 PAL 器件的内部逻辑电路。该电路尚未经编程，图中的“×”号表示熔丝。在交叉点上有“×”号，表示纵线和横线在该点处连结状态；无“×”号，表示不连结。“或”阵列的“×”号是固定的，“与”阵列的“×”号可被编程，可按程序规定取消或保留与阵列的“×”号，即是说可编程规定与阵列中每一个结点的连结状态。

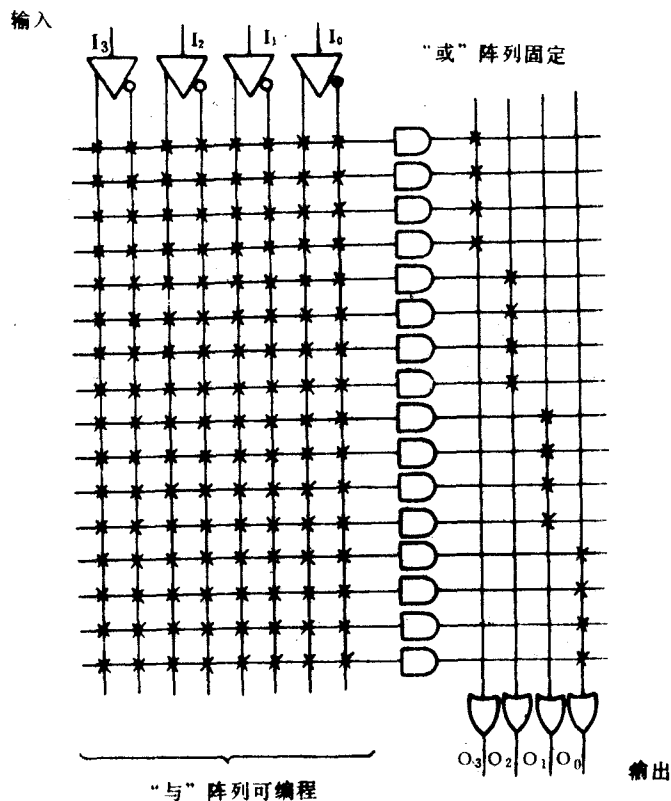


图 1.1 4 输入 4 输出的 PAL 内部电路

要说明的是，在 PAL 器件的编程和使用中，逻辑图的画法与传统的画法有所不同。对 PAL 技术来说，传统的画法极不方便，因此要采用新的画法。在图 1.2 中，(a) 为传统画法，(b) 为新的画法。在新的画法中，每个与门的输入信号用一条线来表达之，并

且用“×”表示熔丝的连结状态是“保留”，若无“×”号则表示熔丝的连结状态是“熔断”。例如图1.3 (a)、(b)分别表示传统画法与新的画法。

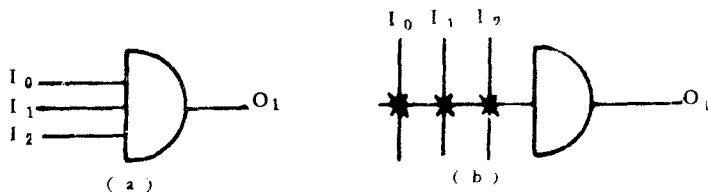


图1.2 逻辑图的画法

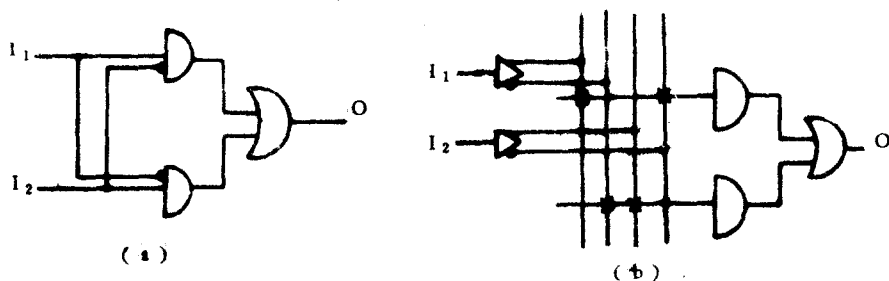


图1.3 逻辑图与熔丝状态的表达

初期的PAL器件产品内部电路有以下三种不同类型：

一、可编程I/O电路

如图1.4所示，该电路的输入/输出信号可由程序规定，既可编程为高电平有效，又可编程为低电平有效。允许用一个乘积项信号控制三态缓冲器，用多个乘积项信号控制输出结果。而输出信号又可反馈到阵列，作为一个输入信号使用。在三态门开通时，I/O引脚有输出信号（受阵列驱动），而在三态门关断时，该I/O引脚可作输入引脚使用，从而就改变了输入/输出功能。这对于移位操作、传送串行数据等场合颇为有用。



图1.4 可编程I/O电路

二、带反馈的寄存器输出电路

如图1.5所示，在系统时钟的上升沿，“乘积之和”信号存入一个D型触发器，然后，触发器的Q输出端可通过使能三态缓冲器而被选通至输出引脚。而Q端输出信号可反馈到阵列作为一个输入信号来使用。该反馈使PAL电路能记忆先前的状态，并根据该状态改变功能。该PAL电路适用于执行进位、借位、移位、跳转、分支等功能，运行速率可高达25MHz。

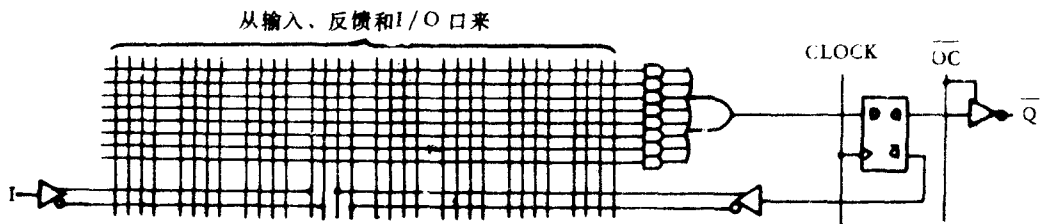


图 1.5 带反馈的寄存器输出电路

三、异或电路

如图 1.6 所示, 在该电路中乘积之和信号在 D 型触发器的输入端进行异或运算. 该异或电路的 PAL 器件适用于实现计数器及状态机中的“保持”(踏步)等操作.

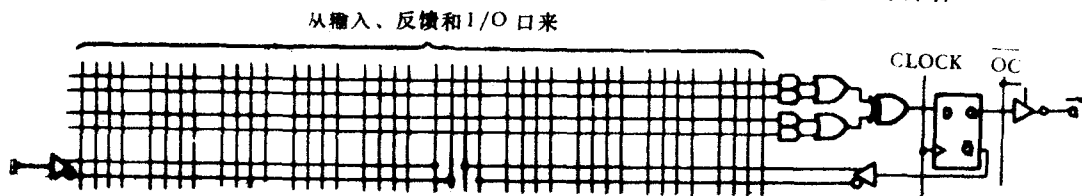


图 1.6 异或电路

新型的 PAL 器件具有更大的灵活性, 第一种类型如图 1.7 所示. 该电路的特点如下:

输出极性可编程——当异或门的输出端极性熔丝熔断时, 若输入为低有效则异或门输出是高有效, 因此, 输出为高有效. 类似地, 当极性熔丝保留时, 输出为低有效.

时钟可编程——每组信号中有一个乘积项信号连结到 R-S 寄存器的时钟端, 用户可籍此对时钟编程.

复位与置位可编程——有两个乘积项信号分别用于作复位、置位信号. 当置位信号高时, 寄存器输出为逻辑 1, 当复位信号高时, 寄存器输出为逻辑 0.

寄存器旁路可编程——当复位与置位信号同时为高时, 乘积之和信号不寄存, 直接送到输出端, 从而可选择输出工作模式.

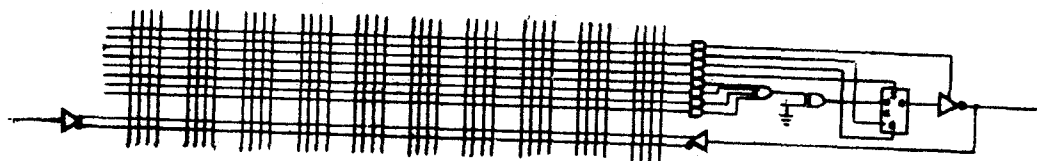


图 1.7 新型 PAL 电路之一

第二种新型 PAL 电路是乘积项公用电路, 其如图 1.8 所示. 16 个乘积项信号同时送到两个输出单元的异或门, 因此, 每个输出单元可分时使用上述乘积项中的每一个信号.

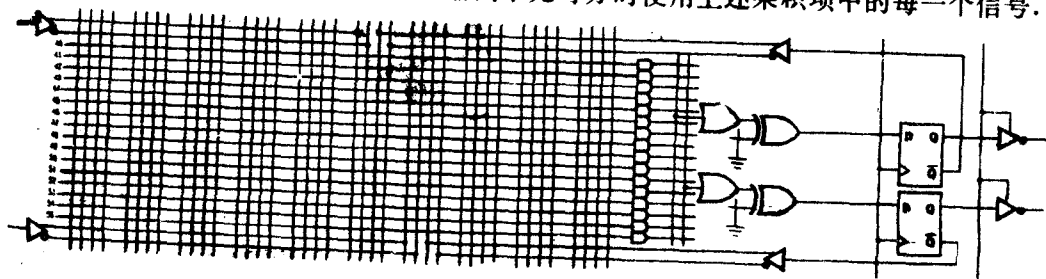


图 1.8 乘积项公用电路

以上所述，皆是 PAL 器件内部的局部电路，图 1.9 表示一个完整的 PAL 器件内部逻辑电路。

输入项 0 ~ 39

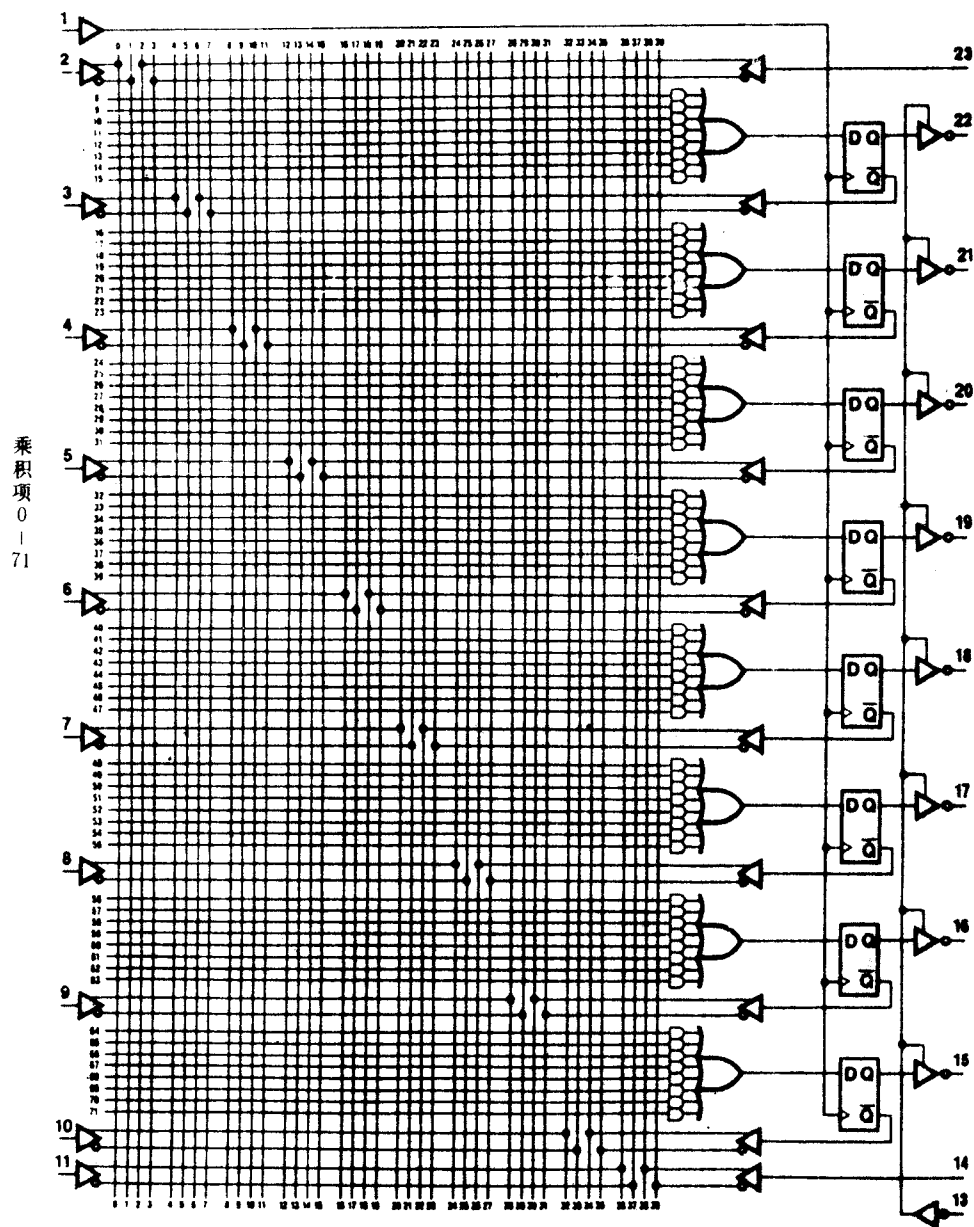


图 1.9 完整的 PAL 20R8 器件内部电路

现在，已大体上说明了 PAL 器件的内部电路原理，未尽情形及细节将在后面的几章中进一步补充完善。

第二节 PAL器件产品简介

PAL器件分为20引脚和24引脚两大系列, 此外还有40(或44)、80(或84)引脚的宏PAL器件。按内部电路区分, 每一系列又分为简单组合逻辑、带反馈的寄存器输出、可编程I/O这三类器件。按功能区分, 每一系列又分为标准型、低功耗、1/4功耗。按输出功率, 又可分为小功率、中功率、大功率器件。按运行速度可分为标准速度、高速、超高速器件。按工艺可靠性又分为军用、民用器件, 等等。

表1.1, 1.2, 1.3 分别列出MMI公司与NS公司的PAL器件。

表1.1 MMI公司PAL系列产品

器件 标 号	引 脚 数 输入 输出	可编程 I/O数	反馈寄 存器数	输 出 极 性	功 能
10H 8	10 8			与一或	与一或门阵列
12H 6	12 6			与一或	"
14H 4	14 4			与一或	"
16H 2	16 2			与一或	"
16C 1	16 2			与一或 / 与一或非	"
20C 1	20 2			与一或 / 与一或非	"
10L 8	10 8			与一或非	与一或反相门阵列
12L 6	12 6			"	"
14L 4	14 4			"	"
16L 2	16 2			"	"
12L 10	12 10			"	"
14L 8	14 8			"	"
16L 6	16 6			"	"
18L 4	18 4			"	"
20L 2	20 2			"	"
16L 8	10 2	6		"	"
20L 8	14 2	6		两种 *	"
20L 10	12 2	8		与一或非	"
16R 8	8 8		8	"	与一或反相阵列带反馈 / 带寄存器
16R 6	8 6	2	6	"	"
16R 4	8 4	4	4	"	"
20X 10	10 10		10	"	与一或一异或反相带反馈 / 带寄存器
20X 8	10 8	2	8	"	"
20X 4	10 4	6	4	"	"
16X 4	8 4	4	4	"	"
16A 4	8 4	4	4	"	"
20R 8	12 8		8	"	与一一位一或一异或反相带反馈 / 带寄存器
20R 6	12 6	2	6	"	与一或反相带反馈 / 带寄存器
20R 4	12 4	4	4	"	"
16P 8	10 2	6		可编程 **	"
16RP 8	8 8		8	"	与一或门阵列
16RP 6	8 6	2	6	"	与一或门阵列带反馈 / 带寄存器
16RP 4	8 4	4	4	"	"
20RA 10	10	10 ***	10 ***	"	异步门阵列
20RS 10	10		10	"	与一或门阵列带反馈 / 带寄存器
20RS 8	10	2	8	"	"
20RS 4	10	6	4	"	"
20S 10	10	10		"	"
32R 16	16 16 ***		16 ***	"	与一或门阵列
64R 32	32 32 ***		32 ***	"	与一或门阵列带反馈 / 带寄存器

* 输出与一或、与一或非两种信号。

** 可编程高有效或低有效(即与一或、与一或非)。

*** 输出信号可寄存或都不带寄存。

表 1.2 NS公司 PAL-20 系列器件

器 件 标 号	引 脚 数 输入 输出	可 编 程 I/O 数	寄 存 器 数	输 出 极 性	功 能
10H 8	10 8			与—或	与—或阵列
12H 6	12 6			•	•
14H 4	14 4			•	•
16H 2	16 2			•	•
10L 8	10 8			与—或非	与—或反相阵列
12L 6	12 6			•	•
14L 4	14 4			•	•
16L 2	16 2			•	•
16C 1	16 1			与—或 / 或非	与—或 / 与—或反相阵列
16L 8	10 8	6		与—或非	与—或反相阵列
16R 8	8 8		8	与—或	与—或反相带寄存器
16R 6	8 8	2	6	•	•
16R 4	8 8	4	4	•	•

表 1.3 NS公司的 PAL-24 系列器件

器 件 标 号	引 脚 数 输入 输出	可 编 程 I/O 数	寄 存 器 数	输 出 极 性	功 能
12L 10	12 10			与—或非	与—或反相门阵列
14L 8	14 8			•	•
16L 6	16 6			•	•
18L 4	18 4			•	•
20L 2	20 2			•	•
20L 8	14 2	6		•	•
20L 10	12 2	8		•	•
20R 8	12 8		8	•	与—或反相带反馈 / 带寄存器
20R 6	12 6	2	6	•	•
20R 4	12 4	4	4	•	•
20X 10	10 10		10	•	与—或—异或反相带反馈 / 带寄存器
20X 8	10 8	2	8	•	•
20X 4	10 4	6	4	•	•

PAL 器件型号的意义如图 1.10 所示。

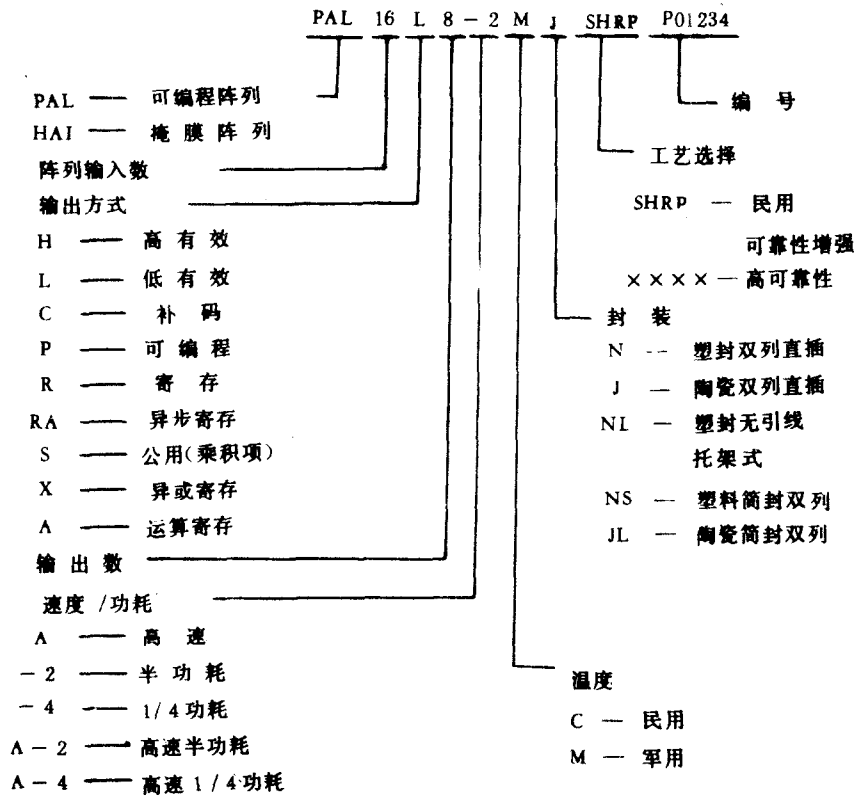


图 1.10 PAL 器件型号意义

PAL 器件的性能比较简单概括为表 1.4。

表 1.4 PAL 性能比较表

类 型	典型延迟时间 t_{DD} (ns)		$V_{CC}=5.5V$ 时的电源电流 I_{CC} (mA)	
	组合逻辑输出	带寄存器输出	组合逻辑输出	带寄存器输出
标 准 型	25	25	55	120
高 速 型		15		120
半 功 耗	45	45	30	60
1/4 功 耗	55	55		30

常用 PAL 器件产品的引脚图和逻辑图详见第九章。

第 3 节 PAL 器件的优点

PAL 器件是一种新颖流行的逻辑功能器件。其为解决系统分散、接口电路等问

题节省了大量的时间和资金，可免去用户在使用 LSI、SSI、MSI 等定制或半定制器件所遇到的时间与资金等方面的风险。PAL 器件把可编程的灵活性与接口功能的选择性融合在一起，以实现各种复杂功能。PAL 器件具有以下优点：

直接取代逻辑电路——PAL 器件可用于取代各种逻辑电路的功能，使设计师优化其电路。其特别适于提供各种 LSI 功能部件所要求的接口功能。

设计的灵活性——PAL 器件给系统设计师提供了更多的选择可能性，不象从前设计师要末用常规 SSI、MSI 器件要末用微处理机来实现逻辑功能，在许多情况下，前者难以实现而后者则过于简单（但时间和资金浪费）。PAL 器件有较高的功能密度、高速度，且费用低，因此，设计师有了更多的选择性。

节省空间——一片 PAL 器件可代替 4 ~ 12 片简单逻辑器件，使印刷板布置更紧凑，可把多个印刷板的系统减少到一、两层印刷板，从而大大节省了空间。

减少备件——常用的 25 种 PAL 器件可代替 90 % 左右的通用 TTL 电路器件。特别是当用户要求定制功能稍作改度时，用标准 TTL 器件难以满足，但 PAL 器件易于实现。因此，可大大减少库存和备件。

高速度——PAL 器件高于或等于最快的双极型逻辑器件。因此，PAL 器件适于实现大量的逻辑运算和中等复杂程度的高速控制程序。在微处理机系统中，PAL 可用于处理高速数据传送，以完成单机难以承担的任务。

易于编程——使用标准 PROM 编程器可实现对 PAL 器件的快速编程，专用工具的投资微乎其微。在检验编程无误后可烧断“保密”熔丝，防止非法复制。

B₁

第二章 PAL器件的开发

第1节 开发软、硬件工具简介

PAL器件的开发与其他PLD器件的开发一样,若无相应的开发软件和硬件来支持,几乎是不可能的。有许多种标准编程器和软件能够支持PAL器件的设计,现简略介绍于下:

硬件工具

通用编程器是用户开发PAL器件的必备工具,目前国内已经生产,售价也不高。PAL编程器通过一块接口卡与IBM-PC机接口,也可通过RS-232与单片机接口。即是说既可以采用IBM-PC机为控制机,也可采用单片机为控制机。

在用户定义PAL芯片的功能后,即可输入控制机并形成相应的JEDEC文件编码,然后由编程器调用该JEDEC文件并卸载到PAL芯片中去。该PAL器件即被编程,编程一般可在毫秒级的短暂时间内完成。

在产品研制阶段,用户也可先对可即时擦除的GAL芯片编程,在形成产品时再以GAL为主芯片复制到PAL芯片中去。

编程结束后,编程器能对PAL芯片的每一个存储单元进行检验,以保证编程的准确无误。最后烧断加密熔丝,使PAL编程内容加密。

软件工具

通用编程软件有汇编型、编译型、原理图收集型三种。70年代末期MMI公司推出PALASM汇编型软件,其可对汇编通过后的源文件生成列表文件和JEDEC文件,JEDEC文件用于对PAL芯片编程。该软件不能完全支持其它公司的PAL器件产品,更不能支持其他各种PLD产品,但因其出现较早,所以目前仍广为使用。

80年代初,DATA I/O公司推出的CUPL和ABEL程序包是两个编译型软件,其具有自动简化逻辑方程、宏指令功能、真值表输入、状态机语句、自动形成文件等特点。其不仅支持各个公司的PAL产品,也支持其他各种PLD产品。

80年代中期,又发展到更完善的原理图收集型软件工具,如PCAD系统、Future Net系统等。其可把逻辑电路图转换为各种PLD(包括PAL)器件的有关文件及电路的印刷板装配图。

第2节 CUPL软件编程PAL的步骤

以下说明一下使用CUPL软件编程PAL器件的步骤(ABEL软件编程与CUPL类似)。

PAL器件编程步骤

用户在编程PAL之前必须正确选择器件的型号(详见“可编程阵列逻辑PAL原理与

应用”一书)。在CUPL软件运行时, IBM屏幕上显示下述菜单。首先, 当CUPL软件得到PAL器件的型号后即显示公司名、设计说明等信息:

```

* * * * *
*           Tutorial Using a PAL 16 L8           *
*           Source File ( 401. PLD )             *
* * * * *

PARTNO 99;
NAMF  CHAP;
REV  1;
DATE  4 /16/86;

DESIGNER
COMPANY Lattice Semiconductor ;
ASSEMBLY n/a ;
LOCATION n/a ;

```

第一步: 定义芯片名引脚名, 以便软件使用。在定义引脚的语句前加惊叹号表示低有效信号, 如在后面的使用中需要采用高有效, 则软件编译程序能将其自动解标。

```

/* inputs */
pin [1, 2] = [ A, !B ] ;
/* outputs */
pin [18, 19] = [ Y, !Z ] ;

```

第二步: 输入逻辑方程。在CUPL语言中, “!”表示“非”, “&”表示“与”, “#”表示“或”等等。

/* logic equations */	输入的逻辑方程可写为:
Y = A & B ;	$Y = A \cdot B$
Z = A & B # !A & !B ;	$Z = A \cdot B + \overline{A} \cdot \overline{B}$

第三步: CUPL软件调用编译子程序处理已输入的源文件。为使编译程序按某一规定“模式”运行, 应在程序标志 (jifxs) 后输入目标器件型号 (例如PAL16L8)、源文件名称 (例如401) 以及用户想附加的其它说明性信息等。其编译时间的说明文件即会在屏幕上显示:

```

CUPL -jifxs PAL 16 L8
CUPL Version 2.10 BI Copyright ( c )
1983, 84, 85 Assisted Technology,
Inc.

cuplx
time: 3 secs

cupla
time: 19 secs

cuplb
time: 7 secs

cuplm
time: 4 secs

```


TOP
END

	Expanded	Product	Terms
$Y \Rightarrow A \& B$			
$Z \Rightarrow A \& B \quad \# \quad !A \& !B$			

Pin	Variable		Pterms	Max
Poi	Name	Pin	Used	Pterms
	A	1	—	—
!	B	2	—	—
	Y	18	1	8
!	Z	19	2	8

[illegible]

• 11 •