微型计算机实用大

第2篇 常用处理器芯片

2.1 8位微处理器芯片

2.1.1 8080微处理器

8080微处理器是美国Intel公司于1972年研制成功的，在8080微处理机问世后，国外各公司也相继制造出了各种8位微处理器，如Motorola公司的MC-6800微处理器，Zilog公司的Z-80处理器等。目前流行较广泛的Intel公司的8位微处理器主要有8080，8085。

主要技术性能

- 工作频率：2MHz
- 工作电压：±5VDC，+12VDC
- 输入输出信号电平：−0.3V到+20V
- 时钟输入：双相非重叠时钟
- 基本指令：78条
- CPU内部寄存器：8个8位寄存器，2个16位寄存器
- 寻址方式：4种
- 中断方式：可屏蔽中断
- 数据总线：8位
- 地址总线：16位

内部结构及引脚说明 8080 CPU芯片是40脚双列直插式封装。其内部结构及外观如图2.1-1和图2.1-2所示。8080A引脚功能说明见表2.1-1。

还要说明一点，由于8080CPU没有足够的引脚来输出控制信号，因此，引脚D7～D0不仅用作数据线，而且，每且在每条指令的第一个机器周期中将机器周期的类型码，通过数据总线送至CPU外部的8228控制器，并锁存起来，保持一个机器周期，作为CPU的控制信号。

数据总线和传送信号的关系如表2.2-2所示。

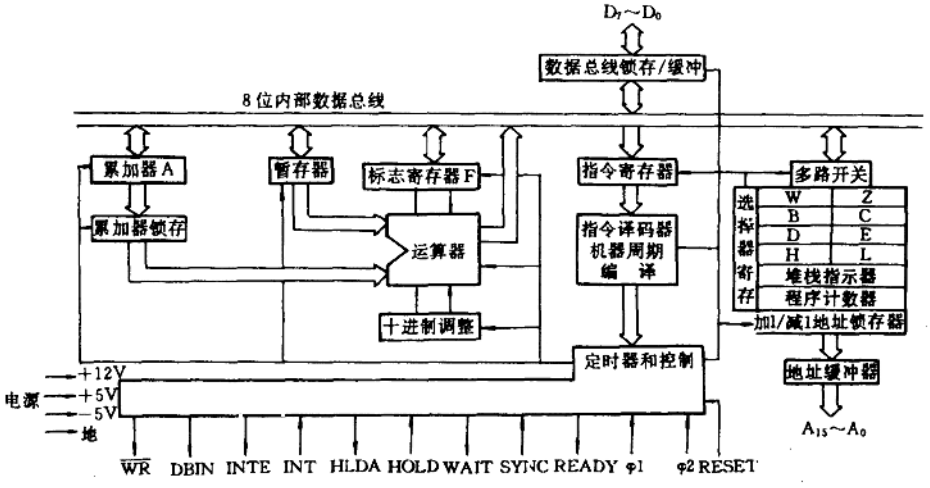

图 2.1-1 8080 CPU 内部结构

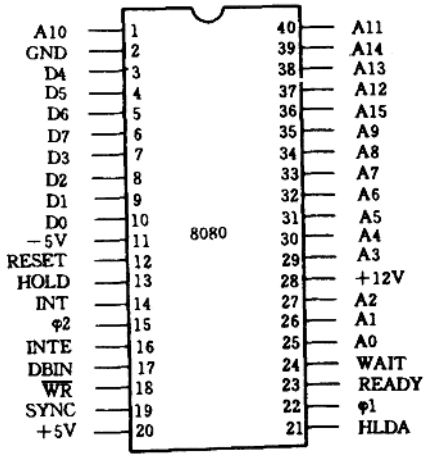

图 2.1-2 8080 CPU 引脚图

表2.1-1 8080A CPU引脚功能说明

引脚名	引脚号	功能说明	方向
D7～D0	6～3，7～10	数据总线	双向
A15～A0	36～40，1 35～29，27～25	地址总线	输出
ϕ1，ϕ2	22，15	时钟信号	
+12V	28	+12V电源	输入
+5V	20	+5V电源	输入
−5V	11	−5V电源	输入
GND	2	地线	输入
RESET	12	系统复位信号	输入
HOLD	13	保持信号，使CPU处于保持状态，允许外设利用总线	输入
INT	14	中断请求信号	输入
INTE	16	中断允许信号，表示CPU可以接受中断	输出
DBIN	17	数据总线允许信号，表示CPU正在使用总线	输出
$\overline{WR}$	18	写信号，表示CPU向内存或I/O端口写数据	输出
SYNC	19	同步信号，CPU接到时钟信号后，向外部发出此信号，使外设的动作与CPU协调	输出
HLDA	21	保持响应，表示CPU已处于保持状态	输出
READY	23	就绪信号，表示存储器或外设已将数据送至数据总线	输入
WAIT	24	等待信号，表示CPU处于等待状态	输出

表2.2-2 数据总线和传送信号的关系

数据总线位	信号	信号意义
D0	INTA	中断申请的响应信号，该信号在DBIB有效时，数据总线允许输入RST代码放至数据总线
D1	$\overline{W0}$	表明本周期的操作是存储器读写($\overline{W0}$=0)，还是I/O读写($\overline{W0}$=1)
D2	STACK	指明地址总线上的地址为堆栈指针SP的内容
D3	HLTA	暂停指令HALT的响应信号
D4	OUT	指明当$\overline{WR}$有效时，地址总线的地址为输出设备端口地址
D5	M1	指明CPU处于取指令第一个字节的周期
D6	INP	指明地址总线上是输入设备地址，当DBIN有效时，输入数据放至数据总线
D7	MEMR	指明数据总线上拥有读存储器的数据

程序设计模型 从使用者的角度来看8080 CPU，其程序设计模型如图2.1-3所示。

8080 CPU有8个8位寄存器和2个16位寄存器，各寄存器的作用解释如下：

(1)累加器A(8位)：用于存储数据。在各种运算和移位指令中做目标地址/源地址。

(2)通用寄存器B,C,D,E,H,L(8位)：用于存放数据，在各种运算指令中只能作源地址，在传送指令中可用作目标地址/源地址。

B和C，D和E，H和L可以组合在一起作为16位寄存器对使用，在使用寄存器对的指令格式中，分别记为B，D和H(实际表示BC，DE和HL)。HL又可作为间接寻址指针使用，在指令格式中记为M。

(3)标志寄存器F(8位)：用于保存运算结果的状态，作为各种转移指令的测试条件，其各位意义如图2.1-4所示。

CY：进位/借位标志，当加法操作后最高位产生进位或减法操作后最高位产生借位时，CY置为1，否

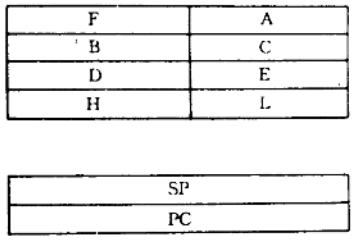

图2.1-3　8080 CPU 程序设计模型

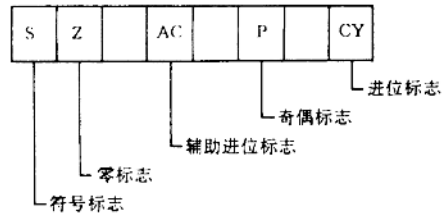

图2.1-4　标志寄存器

则CY置为0。

P：奇偶标志，当运算结果中含有偶数个1时，P置为1，否则P置为0。

AC：辅助进位标志，当加法(或减法)操作后第3位向第4位产生进位(或借位)时，AC置为1，否则AC置为0。

Z：零标志，若运算结果为0，Z置为1，否则Z置为0。

S：符号标志，运算结果最高位为1(运算结果为负)，S置为1，否则(运算结果为正)S置为0。

(4)堆栈指示器SP(16位)：总是指向栈顶，当执行压栈、出栈、调用、返回、重新起动指令时，SP自动变化(增2或减2)，在CPU响应硬件中断时，也会自动变化。

(5)程序计数器PC(16位)：总是指向将要运行的指令。

寻址方式

(1)直接寻址：指令代码中，给出寻址的内存单元地址(16位)，在指令书写形式中，可用名字来表示。

例如：STA　　adr　　；将累加器A的内容送入adr单元。

(2)立即寻址：指令代码中给出需要操作的数据(8位或16位)，在指令书写形式中，可用数值、名字来表示。

例如：MOV　　B,15　　；15送入寄存器。

(3)寄存器寻址：指令代码中给出存放操作数的寄存器代码，即寄存器的内容为操作数，在指令书写形式中，直接写上寄存器名字。

例如：ADD　　B　　；寄存器B的内容与A的内容相加。

(4)间接寻址：指令代码中指出用HL做操作数的地址指针，即HL的内容为操作数的地址。在指令书写形式中，用M表示。

例如：MOV　　D,M　　；将HL所指出的内存单元的内容取入寄存器D。

8080A指令集　8080A CPU共有78条指令，各指令的汇编语句格式及功能列于表2.1-3。

表2.1-3 8080A 指令集

类别	指令汇编格式		指令功能	影响标志 S	Z	AC	P	CY
传送指令	MOV	r1,r2	r1←r2	·	·	·	·	·
	MOV	r,M	r1←(M)	·	·	·	·	·
	MVI	r,n	r←n	·	·	·	·	·
	MOV	M,r	(M)←r	·	·	·	·	·
	MVI	M,n	(M)←n	·	·	·	·	·
	STA	adr	(adr)←A	·	·	·	·	·
	LDA	adr	A←(adr)	·	·	·	·	·
	SHLD	adr	(adr+1)←H, (adr)←L	·	·	·	·	·
	LHLD	adr	H←(adr+1), L←(adr)	·	·	·	·	·
	STAX	rP	(rp)←A	·	·	·	·	·
	LDAX	rP	A←(rp)	·	·	·	·	·
	PUSH	rp	SP←SP−2, (SP,SP+1)←rp	·	·	·	·	·
	PUSH	PSW	SP←SP−2, (SP,SP+1)←PSW	·	·	·	·	·
	POP	rp	rp←(SP,SP+1), SP←SP+2	·	·	·	·	·
	POP	PSW	PSW←(SP,SP+1), SP←SP+2	·	·	·	·	·
	SPHL		SP←HL	·	·	·	·	·
	PCHL		PC←HL	·	·	·	·	·
	XCHG		DE←→HL	·	·	·	·	·
	XTHL		(SP,SP+1)←→HL	·	·	·	·	·
运算指令	ADD	r	A←A+r	?	?	?	?	?
	ADD	M	A←A+(M)	?	?	?	?	?
	ADI	n	A←A+n	?	?	?	?	?
	ADC	r	A←A+r+CY	?	?	?	?	?
	ADC	M	A←A+(M)+CY	?	?	?	?	?
	ACI	n	A←A+n+CY	?	?	?	?	?
	SUB	r	A←A−r	?	?	?	?	?
	SUB	M	A←A−(M)	?	?	?	?	?
	SUI	n	A←A−n	?	?	?	?	?
	SBB	r	A←A−r−CY	?	?	?	?	?
	SBB	M	A←A−(M)−CY	?	?	?	?	?
	SBI	n	A←A−n−CY	?	?	?	?	?
	INR	r	r←r+1	?	?	?	?	·
	INR	M	(M)←(M)+1	?	?	?	?	·
	INX	rp	rp←rp+1	·	·	·	·	·
	DCR	r	r←r−1	?	?	?	?	·
	DCR	M	(M)←(M)−1	?	?	?	?	·
	DCX	rp	rp←rp−1	·	·	·	·	·
	DAD	rp	HL←HL+rp	·	·	·	·	?
	ANA	r	A←A∧r	?	?	?	?	0
	ANA	M	A←A∧(M)	?	?	?	?	0
	ANI	n	A←A∧n	?	?	?	?	0
	ORA	r	A←A∨r	?	?	?	?	0
	ORA	M	A←A∨(M)	?	?	?	?	0
	ORI	n	A←A∨n	?	?	?	?	0
	XRA	r	A←A⊕r	?	?	?	?	0
	XRA	M	A←A⊕(M)	?	?	?	?	0
	XRI	n	A←A⊕n	?	?	?	?	0
	CMA		A←$\bar{A}$	·	·	·	·	·
	CMP	r	A−r	?	?	?	?	?
	CMP	M	A−(M)	?	?	?	?	?
	CMP	n	A−n	?	?	?	?	?
	DAA		对A的十进制调整	?	?	?	?	?
移位指令	RAL		A_i←A_{i-1}, C_Y←A_7, A_0←C_Y	?	?	?	?	?
	RAR		A_{i-1}←A_i, C_Y←A_0, A_7←C_Y	?	?	?	?	?
	RLC		A_i←A_{i-1}, A_0←A_7, C_Y←A_7	?	?	?	?	?
	RRC		A_{i-1}←A_i, A_7←A_0, C_Y←A_0	?	?	?	?	?
控制指令	CMC		CY←$\bar{CY}$	·	·	·	·	?
	STC		CY←1	·	·	·	·	?
	DI		关中断	·	·	·	·	·
	EI		开中断	·	·	·	·	·
	HLT		暂停	·	·	·	·	·
	NOP		空操作	·	·	·	·	·

续表 2.3-1

类别	指令汇编格式		指令功能	影响标志 S Z AC P CY
调用与返回指令	CALL	adr	SP←SP−2, (SP,SP+1)←PC, PC←adr	· · · · ·
	CC	adr	若CY=1, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CNC	adr	若CY=0, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CM	adr	若S=1, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CP	adr	若S=0, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CZ	adr	若Z=1, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CNZ	adr	若Z=0, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CPE	adr	若P=1, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	CNO	adr	若P=0, SP←SP−2, (SP,SP+1)←PC, PC←adr, 否则PC←PC+2	· · · · ·
	RET		PC←(SP,SP+1), SP←SP+2	· · · · ·
	RC		若CY=1, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RNC		若CY=0, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RM		若S=1, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RP		若S=0, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RZ		若Z=1, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RNZ		若Z=0, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RPE		若P=1, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RPO		若P=0, PC←(SP,SP+1), SP←SP+2	· · · · ·
	RST	pp	PC←pp	· · · · ·
转移指令	JMP	adr	PC←adr	· · · · ·
	JC	adr	若CY=1, PC←adr	· · · · ·
	JNC	adr	若CY=0, PC←adr	· · · · ·
	JZ	adr	若Z=1, PC←adr	· · · · ·
	JNZ	adr	若Z=0, PC←adr	· · · · ·
	JM	adr	若S=1, PC←adr	· · · · ·
	JP	adr	若S=0, PC←adr	· · · · ·
	JPE	adr	若P=1, PC←adr	· · · · ·
	JPO	adr	若P=0, PC←adr	· · · · ·
I/O指令	IN	port	A←(port)	· · · · ·
	OUT	port	(port)←A	· · · · ·

表中符号说明：

A：表示累加器A；

r：为8位寄存器A, B, C, D, E, H或L；

M：表示HL做地址指示器；

rp：表示寄存器对BC, DE或HL，书写时分别用B, D或H表示；

n：为8位二进制表示的数据；

adr：表示内存单元地址或标号；

port：为I/O端口地址；

psw：为程序状态字(为累加器A和标志寄存器)；

CY, S, Z, P：分别表示进位标志，符号标志，零标志和奇偶标志。

中断处理 只有一种外部中断方式，为可屏蔽中断方式，程序设计人员可以通过指令EI或DI来允许或禁止CPU响应中断，在8080系统中用8214优先权控制器对中断源进行管理，8214有8个输入端，故可以连接8个中断源。

当CPU处于开中断状态时，CPU可响应中断，CPU响应中断后，由8214提供RST指令代码，从而使CPU能转向相应的内存单元(00，08，10H，18H，20H，28H，30H或38H)执行中断服务程序。

程序设计人员也可以使用重新启动指令RST P来安排软中断，其中P的值为(00，08,10H，18H，20H，28H，30H或38H)，从而转向相应的内存单元执行软中断服务程序。

2.1.2 8085A微处理器

8085A微处理器是美国Intel公司继8080微处理器之后的新产品，它改进了8080微处理器的各种性能，集成度高，有较高的系统速度，在软件上完全与8080系统兼容。

主要技术性能

- 工作频率：3MHz
- 工作电压：单一+5V电源
- 输入输出工作电平：-0.5V到+7V
- 时钟输入：多相时钟
- 基本指令：80条
- CPU内部寄存器：7个8位寄存器，2个16位寄存器
- 寻址方式：4种
- 中断方式：可屏蔽中断和不可屏蔽中断
- 数据总线：8位(可复用，作为地址总线的低8位)
- 地址总线：16位(其中低8位与数据总线共用)

内部结构和引脚说明 8085A CPU是40脚双列直插式封装，其内部结构如图2.1-5所示，引脚图如图2.1-6所示。脚功能说明见表2.1-4。

表2.1-4 8085A CPU引脚功能说明

引脚名	引脚号	功能说明	方向
AD7～AD0	19～12	数据总线(与地址总线低8位复用)	双向
A15～A8	28～21	地址总线	输出
Vcc	40	+5V直流电源	输入
Vss	20	地线	输入
X1,X2	1,2	时钟信号	输入
RESETout	3	CPU处于复位状态	输出
SOD	4	串行输出控制线	输出
SID	5	串行输入控制线	输入
TARP	6	陷阱中断(不可屏蔽中断)	输入
RST 7.5	7	启动中断	输入
RST 6.5	8	启动中断	输入
RST 5.5	9	启动中断	输入
INTR	10	可屏蔽中断请求	输入
INTA	11	中断响应	输出
S0	29	数据总线状态	输出
ALE	30	地址锁存允许	输出
WR	31	写存储器/IO端口	输出
RD	32	读存储器/IO端口	输出
S1	33	数据总线状态	输出
IO/M	34	IO读写或存储器读写	输出
READY	35	就绪	输入
RESET IN	36	复位CPU，PC←0，关中断和复位HLDA触发器	输入
CLK OUT	37	时钟输出	输出
HLDA	38	保持响应	输出
HOLD	39	保持	输入

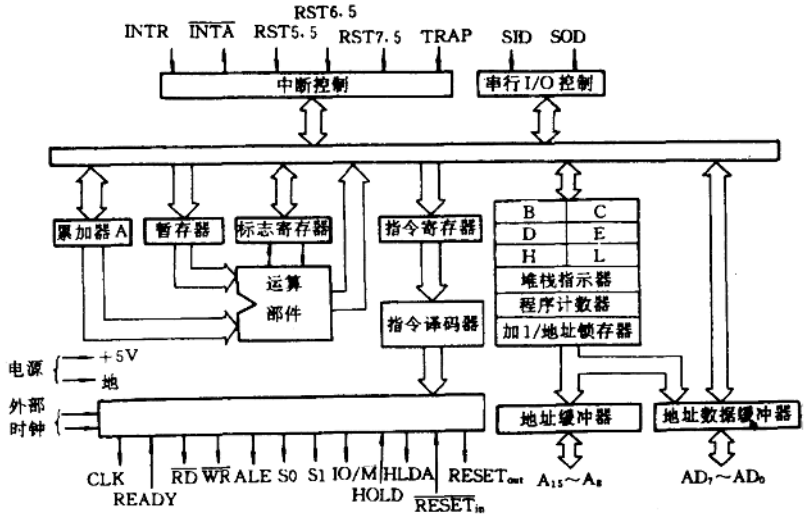

图 2.1-5 8085A CPU 内部结构图

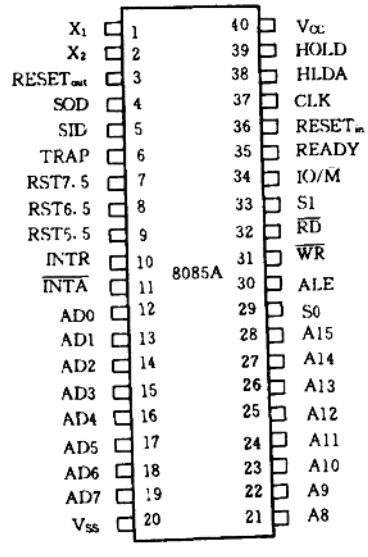

图 2.1-6 8085A CPU 引脚图

程序设计模型 同8080A微处理器。

寻址方式 同8080A微处理器。

8085A指令集 8085A的指令系统与指令汇编格式与8080A系统完全相同，在8080A基础上又扩充了条指令。与8080A相同的指令就不再重复，这里仅介绍8085A扩充的指令，RIM和SIM。

RIM：读中断屏蔽

SIM：置中断屏蔽

中断处理 8085A提供了5个中断输入端INTR，RST7.5，RST6.5，RST5.5和TARP。其中除TARP外，其它均为可屏蔽中断，即程序设计人员可以通过使用指令EI和DI来允许或禁止CPU响应中断请求，而TRAP中断是不可屏蔽中断，一旦发生，CPU一定响应。

CPU响应INTR的中断请求，与8080A完全相同。

CPU响应RST7.5中断请求时，转向003CH执行程序。

CPU响应RST6.5中断请求时，转向0034H执行程序。

CPU响应RST5.5中断请求时，转向002CH执行程序。

2.1.3 MC6800微处理器

MC6800微处理器是美国Motorola公司于1974年发表的产品。以后又相继推出了MC6809微处理器和MC6801，MC6805等单片微型计算机，以及围绕这些芯片开发的外围接口芯片MC6821，MC3870，MC6844等等。MC6800系列具有它独特的系统结构，灵活方便的接口技术和低廉的价格，性能价格比低，应用较为广泛。

主要技术性能

- 工作频率：MC6800：1MHz
  MC68A00：1.5MHz
  MC68B00：2.0MHz
- 工作电压：单一+5V电源
- 输入输出工作电平：−0.3V到+7.0V
- 时钟输入：二相外重叠时钟
- 基本指令：72条
- CPU内部寄存器：2个8位累加器，3个16位寄存器
- 寻址方式：7种
- 中断方式：可屏蔽中断和不可屏蔽中断
- 数据总线：8位
- 地址总线：16位

内部结构和引脚说明 MC6800 MPU是40引脚双列直插式封装，内部结构如图2.1-7所示，其引脚如图2.1-8所示。引脚功能说明见表2.1-5。

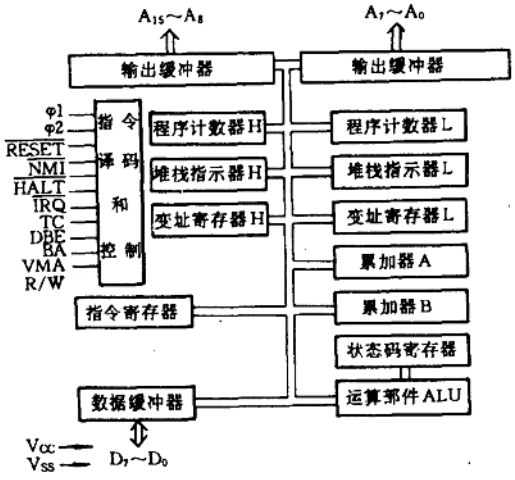

图2.1-7 MC6800 CPU 内部结构

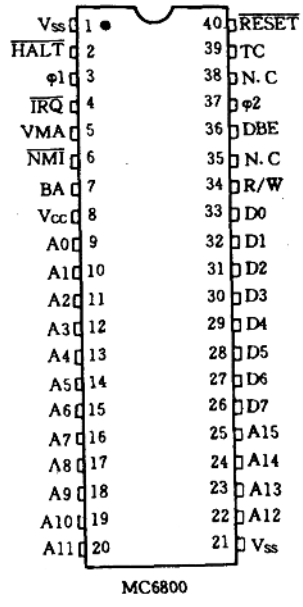

图2.1-8 MC6800 CPU 引脚图

表2.1-5 MC6800 CPU 引脚功能说明

引脚名	引脚号	功能说明	方向
D0～D7	26～33	数据总线	双向
A0～A15	9～20，22～25	地址总线	输出
Vss	1，21	地线	输入
Vcc	8	+5V 电源	输入
φ1，φ2	3，37	时钟信号	输入
HALT	2	暂停	输入
IRQ	4	中断请求信号	输入
VMA	5	存储器地址有效	输出
NMI	6	不可屏蔽中断请求	输入
BA	7	总线有效，DMA 可使用系统总线	输出
R/W	34	读/写，控制数据总线的传送方向	输出
DBE	36	数据总线可用，CPU 可使用数据总线	输入
TSC	39	三态控制，地址总线及读写控制线处于三态	输入
RESET	40	复位，使MPU 初始化	输入
N.C	35，38	空引脚，不用	

程序设计模型 从程序设计的角度，MC6800 CPU 的程序设计模型如图2.1-9所示。

MC6800 MPU 内有3个8位和3个16位的可编程寄存器，其作用分别简述如下：

(1)累加器A和B(8位)：两个独立的8位累加器，用来保存操作数及运算结果。

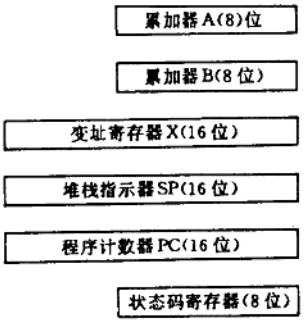

图2.1-9 MC6800 MPU程序设计模型

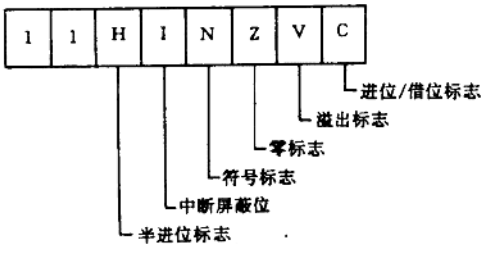

图2.1-10 状态码寄存器CCR

(2)状态码寄存器CCR：用于保存运算结果的状态，作为条件转移指令的测试条件。其各位意义如图2.1-10所示。

C：进位/借位标志，进行加(或减)法操作后，运算结果产生进(或借)位时，C 置为1，否则C 置为0。

V：溢出标志，运算结果产生溢出时，V 置为1，否则V 置为0。

Z：零标志，运算结果为0时，Z 置为1，否则Z 置为0。

N：符号标志，运算结果为负时，N 置为1，否则置为0。

H：半进位标志，运算结果的第3位向第4位产生进(借)位时，H 置为1，否则置为0。

I：中断屏蔽标志，当I=1时，MPU 不响应外部可屏蔽中断，否则MPU 可以响应外部可屏蔽中断。

(3)变址寄存器X(16位)：存储器寻址时，做地址指针使用，用于指出存储器的基准地址。

(4)堆栈指示器SP(16位)：用来指出栈顶地址。

(5)程序计数器PC(16位)：用于指出将要执行的指令地址。

寻址方式 MC6800提供了6种寻址方式。这6种寻址方式在指令书写形式中可能出现，也可能不出现，其汇编书写形式及形成有效地址的方法如下：

(1)隐含寻址：指令代码中隐含操作对象。这类寻址方式的指令汇编书写形式中不用写操作数。

例如：CLI 中隐含了此指令的操作对象是状态寄存器的I 标志位。

(2)立即寻址：指令代码中含有要操作的对象。在这种寻址方式的指令汇编书写形式中直接写上要操作的数据，在数据前加"#"，以标志立即寻址方式。操作数可以是数据、名字或表达式。

```
例如：  SUBA     #85      ;A←A－85
        LDDA     #3＊8    ;A←3＊8＝24
        LDX      #ADR     ;X←ADR，ADR 已经被定义
```

(3)直接寻址：在指令代码中给出操作数在内存单元中的地址，该地址单元的内容为操作数。此地址范围是0～255之间的数据。在使用此寻址方式的指令书写形式中，所写的内存单元地址无特殊标志，它可以是数值、名字、表达式。

```
例如：  LDAA     ADR      ;A←(ADR)，ADR 已被赋值为0～255之间的数值
        STAA     $50      ;(50H)←A，$表示数据为16进制数
```

(4)扩展寻址：扩展寻址与直接寻址方式形成地址的方法及书写形式相同，只是所写的内存单元地址的范围是为256～65535之间的数据，可以用数值、名字、表达式表示。

```
例如：  LDAA     $F15     ;A←(0F15H)
        STAA     DATA     ;(DATA)←A，DATA 已被定义为255～65535之间的数值
```

(5)变址寻址：变址寄存器X 的内容与偏移量之和是操作数的内存单元地址。这种寻址方式在书写格式中用两项表示，一项为偏移量，可以用数字、名字或表达式表示，当偏移量为0时，可省略。另一项是变址寄存器，用X 表示。两项之间用","分隔。

```
例如：  LDAA     100,X    ;A←(100+X)，若X 的内容为200，则300单元内容送A
        STAA     ADR,X    ;(ADR+X)←A，ADR 为已定义的名字
```

(6)相对寻址：这类寻址只用于各种转移指令，转移指令只有这一种寻址方式，指令的书写格式中一般用目标指令的标号表示。转移范围在－126～128。

```
例如：  BGT      NEXT     ;当运算结果大于0时，转向NEXT 指出的语句执行。
```

MC6800指令集 MC6800 MPU 共提供了72条指令，表2.1-6列出了MC6800指令系统的功能。

表2.1-6 MC6800指令集

类别	指令汇编格式	功能说明	影响标志 H	I	N	Z	V	C
数据传送指令	LDAr adi	r←(adi)/r←adi	.	.	?	?	0	.
	STAr ad	(ad)←r	.	.	?	?	0	.
	LDS adi	SP←(adi,adi+1)/SP←adi	.	.	?	?	0	.
	DTS ad	(ad, ad+1)←SP	.	.	?	?	0	.
	LDX adi	X←(adi,adi+1)/X←adi	.	.	?	?	0	.
	STX ad	(ad,ad+1)←X	.	.	?	?	0	.
	PSHr	(SP)←r, SP←SP−1	.	.	.	.	.	.
	PULr	SP←SP+1, r←(SP)	.	.	.	.	.	.
	TAB	B←A	.	.	?	?	0	.
	TBA	A←B	.	.	?	?	0	.
	TAP	CCR←A	?	?	?	?	?	?
	TPA	A←CCR	.	.	.	.	.	.
	TSX	X←SP+1	.	.	.	.	.	.
	TXS	SP←X−1	.	.	.	.	.	.
算术运算指令	ABA	A←B+A	?	.	?	?	?	?
	ADCr adi	r←r+(adi)+C / r←r+adi+C	?	.	?	?	?	?
	ADDr adi	r←r+(adi) / r←r+adi	?	.	?	?	?	?
	SBA	A←A−B	.	.	?	?	?	?
	SBCr adi	r←r−(adi)−C / r←r−adi−C	.	.	?	?	?	?
	SUBr adi	r←r−(adi) / r←r−adi	.	.	?	?	?	?
	INCr	r←r+1	.	.	?	?	?	.
	INC ad	(ad)←(ad)+1	.	.	?	?	?	.
	INS	SP←SP+1	.	.	.	.	.	.
	INX	X←X+1	.	.	.	?	.	.
	DECr	r←r−1	.	.	.	?	.	.
	DEC ad	(ad)←(ad)−1	.	.	?	?	?	.
	DES	SP←SP−1	.	.	.	.	.	.
	DEX	X←X−1	.	.	.	?	.	.
	NEGr	r←0−r	.	.	?	?	?	?
	NEG ad	(ad)←0−(ad)	.	.	?	?	?	?
	DAA		.	.	?	?	?	?
逻辑运算指令	COMr	r←$\bar{r}$	.	.	?	?	0	1
	COM ad	(ad)←$\overline{(ad)}$	.	.	?	?	0	1
	ANDr adi	r←r∧(adi)	.	.	?	?	0	.
	ORAr adi	r←r∨(adi)	.	.	?	?	0	.
	EOR adi	r←r⊕(adi)	.	.	?	?	0	.
比较与检测指令	CBA	A−B	.	.	?	?	?	?
	CMPr adi	r−(adi)	.	.	?	?	?	?
	CPX adi	X−(adi,adi+1)	.	.	?	?	?	.
	TSTr	r−0	.	.	?	?	0	0
	TST ad	(ad)−0	.	.	?	?	0	0
	BITr adi	r∧(adi)	.	.	?	?	0	.
状态码操作指令	CLRr	r←0	.	.	0	?	0	0
	CLR ad	(ad)←0	.	.	0	?	0	0
	CLC	C←0	.	.	.	.	.	0
	CLV	V←0	.	.	.	.	0	.
	CLI	I←0 开中断	.	0	.	.	.	.
	SEC	C←1	.	.	.	.	.	1
	SEV	V←1	.	1	.	.	.	.
	SEI	I←1 关中断	.	1	.	.	.	.

续表2.1-6

类别	指令汇编格式		功能说明	影响标志 H I N Z V C
转移指令	BPL	lab	N=0 运算结果为正转移	. . . . .
	BMI	lab	N=1 运算结果为负转移	. . . . .
	BNE	lab	Z=0 运算结果非零转移	. . . . .
	BEQ	lab	Z=1 运算结果为零转移	. . . . .
	BVC	lab	V=0 运算结果未溢出转移	. . . . .
	BVS	lab	V=1 运算结果溢出转移	. . . . .
	BCC	lab	C=0 运算结果无进位(借位)时转移	. . . . .
	BCS	lab	C=1 运算结果有进位(借位)时转移	. . . . .
	BLS	lab	C∨Z=0 低于或等于转移(用于无符号数比较)	. . . . .
	BHI	lab	C∨Z=1 高于转移(用于无符号数比较)	. . . . .
	BGE	lab	N⊕V=0 大于或等于转移(用于带符号数比较)	. . . . .
	BGT	lab	Z∨(N⊕V)=0 大于转移(用于带符号数比较)	. . . . .
	BLE	lab	Z∨(N⊕V)=1 小于或等于转移(用于带符号数比较)	. . . . .
	BLT	lab	N⊕V=1 小于转移(用于带符号数比较)	. . . . .
	BRA	lab	转向lab执行程序(相对转移)	. . . . .
	JMP	lab	转向lab执行程序(转移范围64K)	. . . . .
控制指令	JSR	ad	(SP,SP+1)←PC, SP←SP−2, PC←ad	. . . . .
	BSR	lab	(SP,SP+1)←PC, SP←SP−2,PC←lab(相对寻址)	. . . . .
	RTS		SP←SP+2, PC←(SP,SP+1)	. . . . .
	WAI		等待中断, MPU 状态进栈, 然后等待中断	. ? . . . .
	SWI		软中断,MPU 状态进栈I←1,PC←(FFFA,FFFB)	. ? . . . .
	RTI		中断返回, 堆栈中内容送MPU	. . . . .
	NOP		空操作	. . . . .

表中符号说明：

r：指累加器A或累加器B；

X：指变址寄存器X；

adi：可以是数字、名字或表达式，表示数值或内存单元地址；

ad：可以是名字，表示内存单元地址；

lab：是指令语句标号；

C，V，Z，N：为状态寄存器的标志位。

中断处理 MC6800有三种外部中断方式：非屏蔽中断、可屏蔽中断和复位中断。

当NMI引脚变为低电平时，则产生不可屏蔽中断，这时不管I位是否为0，MPU一定响应，先将MPU的状态进栈，I置为1，然后将FFFC，FFFD两个单元的内容取入PC，去执行不可屏蔽中断服务程序(FFFC，FFFD两个单元内容为服务程序的入口地址)。

当IRQ引脚变为低电平时，则说明产生了可屏蔽中断，此时若I=0，则MPU响应中断，先将MPU的状态进栈，I置为1，然后将FFF8，FFF9两个单元的内容送入PC，实现执行中断服务程序(FFF8，FFF9两个单元内容为服务程序的入口地址)。

当RESET变为低电平时，即产生复位中断，当发生复位中断时，MPU一定响应，先将I置为1，然后将FFFE，FFFF单元内容放入PC，实现执行复位中断的服务程序(FFFE,FFFF单元的内容为复位中断服务程序入口地址)。

当执行软中断指令SWI时，MPU状态进栈，I置为1，将FFFA，FFFB单元的内容送入PC,执行软中断服务程序(FFFA，FFFB单元内容为服务程序入口地址)。

还需说明的一点是，当响应NMI，IRQ和执行SWI指令时，MPU的状态进栈，是指将MPU中的除SP以外的所有内部寄存器的内容即A,BM,CCR,X和PC)推入堆栈，当执行RTI指令时，再把放入堆栈中的MPU状态取出送回到MPU中各对应的寄存器中。

2.1.4 6502微处理器

6502微处理器是美国ROCKWELL公司推出的产品。以它为基础的微型机系统APPLE在世界上享有盛名。以6502为基础的单板机在美国大学里用得也较普遍，在工业控制、仪表等方面用的也较多，下面仅介绍6502微处理器。

主要技术性能

- 工作频率：1.023MHz
- 工作电压：单一+5VDC
- 输入输出电平信号：与TTL兼容
- 时钟输入：单相时钟
- 基本指令：56条
- CPU内部寄存器：5个8位累加器，1个16位寄存器
- 寻址方式：11种
- 中断方式：可屏蔽中断和不可屏蔽中断
- 数据总线：8位
- 地址总线：16位

内部结构和引脚说明 6502 MPU是40引脚双列直插式封装，其内部结构如图2.1-11所示，其引脚功能如图2.1-12所示。引脚功能说明列于表2.1-7。

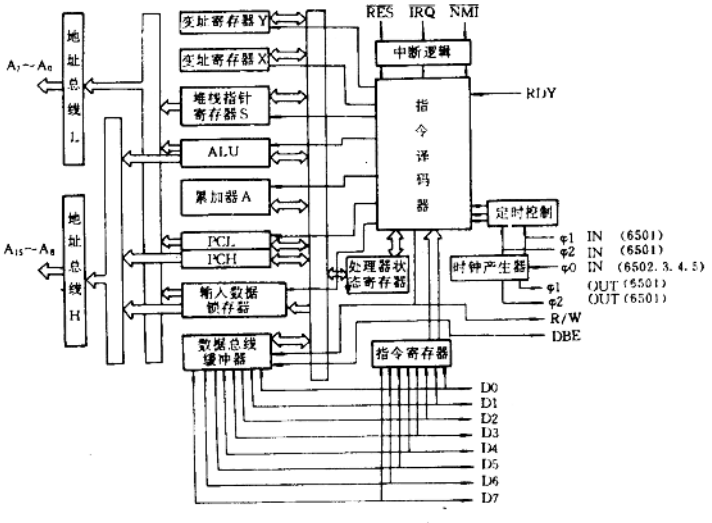

图2.1-11 6502内部结构

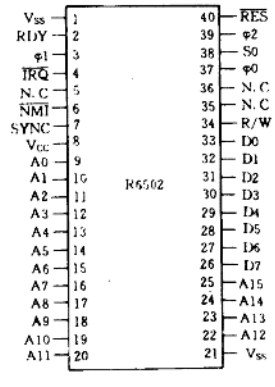

图2.1-12 6502引脚排列图

表2.1-7 6502引脚功能说明

引脚名	引脚号	功能说明	方向
D0～D7	26～33	数据总线	双向
A0～A15	9～20,22～25	地址总线	输出
Vss	1,21	地线	输入
Vcc	8	+5V电源	输入
$\phi 0$	37	时钟输入	输入
$\phi 1$,$\phi 2$	3,39	时钟输出	输出
RDY	2	就绪，当RDY有效时，数据总线上的数据有效，以保持与存储器I/O端口的同步	输入
$\overline{IRQ}$	4	可屏蔽中断请求	输入
$\overline{NMI}$	6	不可屏蔽中断请求	输入
SYNC	7	同步信号，表示MPU取指令操作码	输出
R/$\overline{W}$	34	读/写信号，R/$\overline{W}$=1读，R/$\overline{W}$=0写	输出
S0	38	置溢出位，使状态寄存器P位置1，一般不用此线	输入
RES	40	复位信号，迫使MPU初始化	输入
NC	5,35,36	空引脚，不用	

程序设计模型 从程序设计的角度，6502 MPU的程序设计模型如图2.1-13所示。

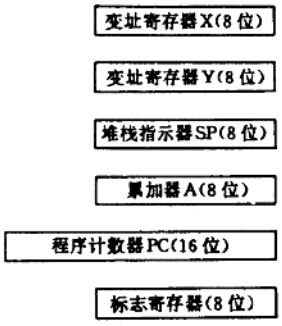

图2.1-13 6502 MPU程序设计模型

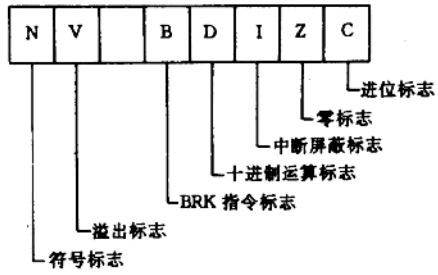

图2.1-14 标志寄存器

(1)累加器A(8位)：存放操作数，也可保存运算结果；

(2)变址寄存器X(8位)：在编程中常被用作计数器；

(3)变址寄存器Y(8位)：用法同变址寄存器X；

(4)程序计数器PC(16位)：总是指向将要执行的指令地址；

(5)堆栈指示器S(8位)：指示栈顶位置，6502规定堆栈设置在存储器的第0页；

(6)标志寄存器P(8位)：各标志位在标志寄存器中的位置如图2.1-14所示。

C：进位标志，在加法操作时，最高位产生进位时，C置为1，否则置为0。在减法操作时，最高位产生借位时，C置为0，否则置为1。在6502中只有一条带进位减法指令SBC，只进行单字节减(或多字节相减时，最低字节相减)时，要将C置为1，然后用SBC指令，这一点与其它微处理器不同，要格外注意。

Z：零标志，运算结果为0时，Z标志置为1。否则置为0。

I：中断屏蔽标志，I=0表示允许MPU响应可屏蔽中断，否则禁止MPU响应。