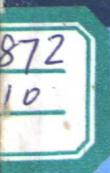


可编程逻辑器件 设计方法学

张 雷 童长忠 张 军 编著
中国科学技术大学出版社

PLD
PLD
PLD
PLD
PLD



可编程逻辑器件(PLD) 设计方法学

张 雷 童长忠 张 军 编著

陈 铭 周建民 审

中国科学技术大学出版社

可编程逻辑器件(PLD)设计方法学

张 雷 童长忠 张 军 编著
陈 铭 周建民 审

*

中国科学技术大学出版社出版
(安徽省合肥市金寨路 96 号 邮政编码 230026)
中国科学技术大学印刷厂印刷
安徽省新华书店发行

*

开 本: 787×1092/16 印张: 11.5 字数: 282 千
1991 年 3 月第 1 版 1991 年 3 月 第 1 次印刷
印数: 1—8000 册
ISBN7-312-00246-3/TP.24 定价: 7.00 元

前 言

微电子技术、VLSI 技术和 CAD 技术促进了集成电路的迅速发展,其功能度,可靠性和集成度不断提高,于是用户要求 IC 生产厂家提供各种方便的服务成为可能,可编程逻辑器件(Programmable Logic Device,简称 PLD)由此应运而生. PLD 器件是 80 年代蓬勃发展起来的专用集成电路(ASIC)的一个重要分支,它含有以标准方式连接的逻辑门阵列,PLD 生产厂家提供通用的 PLD 器件,用户根据实际应用的要求,烧断器件内的某些熔丝,从而产生特定的功能. 按阵列连接方式的不同,PLD 器件可分为可编程只读存储器(PROM)、可编程阵列逻辑(PLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、可编程门阵列(PGA)和可编程逻辑时序机(PLS)等十类左右.

PLD 器件在 70 年代末期开始出现时,还只是集成度与灵活性比较低的器件,使 PLD 器件流行开来的一个重要因素是双极型 TTL 工艺向 CMOS 技术的转移. 在过去几年里,PLD 器件的运行速率翻了一番,而且最新 CMOS 型 PLD 的电路密度比双极型 PLD 要高 4 倍以上. CMOS 技术的其它优点包括可擦性,重编程性和可测试性.

PLD 器件的应用为硬件电路的设计带来了根本性的变革. 它使逻辑电路的设计与修改更加灵活,实现起来更加方便,为用户设计系统提供了更大的自由,有利于发挥设计者的创造性. 用户可以用很少的器件完成很强的功能,并由于简化了硬件电路,降低了成本,提高了可靠性和保密性. 同时 PLD 器件的全部编程工作都可由用户自己完成,不必依赖于器件生产厂家,因此就缩短了开发周期,加强了产品的市场竞争能力. 所以 PLD 器件在国内外的计算机硬件、工业控制、智能仪表、数字电路系统、家用电器等方面都得到了广泛的应用.

目前,PLD 器件的应用技术正向着深度和广度两个方面发展. 一方面,随着个人微机的普及应用,一个系统设计师只要有一台微机,配上开发工具等软件,在 PLD 器件基础上就可开发自己的芯片. 另一方面,PLD 器件开发工具专业公司正大力开发各种软件与硬件,如包罗万象的 PLD 开发工具,于是形成了 PLD 器件的计算机辅助设计专家系统. PLD 器件开发工具无疑对促进 PLD 器件的应用发挥了巨大作用. 现在,开发工具能允许用户使用自然语言形式的逻辑表达式如布尔方程、真值表和状态图等来解决组合变换、时序变换、状态变换、自锁、互锁控制、反馈、三态门控制、寄存器输出控制等一系列问题. 它们不但能对用户给出的逻辑设计进行语法检查、逻辑化简、自动生成用于烧制 PLD 器件的熔丝点阵,而且还具有模拟仿真功能. 正在研制的更为高级的开发系统甚至能对整个系统进行芯片布局、印刷板设计以及提供整个系统的预先测试.

现在,世界范围内,对 PLD 技术的研究、开发与应用的势头方兴未艾. 为使电子学界和计算机界的研究与设计人员学习和研究 PLD 器件的设计方法,我们特编著了《可编程逻辑器件(PLD)设计方法学》一书,以期对 PLD 器件在我国的研究、推广与应用尽微薄之力.

本书由 6 章组成. 第 1 章介绍了逻辑器件的演变、PLD 器件的由来以及采用 PLD 器件开发系统的优点,并详尽讨论了 PLD 器件的分类. 第 2 章通过一个实例,着重讲述了 PLD 器件

从问题定义开始,经过器件选择、设计实现、仿真,到器件编程与测试结束等设计过程中各阶段的任务与要点.第3章为本书的重点,详细讨论了组合逻辑、寄存器逻辑与状态机的设计方法,其中穿插了不少实例,它们可作为你以后开发大系统的最好参考.第4章讨论了PLD设计应用中的49条设计要点,它们是前人经验的结晶,了解并掌握它们,会使你在PLD设计中避免不少麻烦.第5章首先介绍了JEDEC文件格式,它是编译软件与器件编程器之间的一种标准信息传送格式,然后讲述了PALASM2、ABEL、CUPL、LC9000和Fast Map设计软件的语法与使用方法,重点介绍了PALASM2和ABEL语言.第6章给出了4个实例,使读者能更全面地消化全书内容

本书由张雷、童长忠、张军同志编著.陈铭和周建民副教授审稿,成书过程中,得到了机电部计算机与信息发展研究中心江静同志的大力帮助,在此表示感谢!

书中难免有错误与不妥之处,望读者指正.

编 者

1990年8月于北京

PLD 设计方法学

前言	(I)
第 1 章 PLD 器件基础	(1)
第 1 节 PLD 器件的由来	(1)
一、逻辑器件的演变	(1)
二、何谓 PLD 器件	(2)
三、为何要采用 PLD 器件	(3)
第 2 节 PLD 器件的分类	(4)
一、可编程只读存储器(PROM)	(4)
二、可编程逻辑阵列(PLA)	(5)
三、可编程阵列逻辑(PAL)	(6)
四、通用阵列逻辑(GAL)	(6)
五、可编程门阵列(PGA)	(6)
六、可编程逻辑时序机(PLS)	(8)
七、其它可编程器件	(8)
八、小结	(8)
第 2 章 PLD 器件的设计过程	(10)
一、问题定义	(10)
二、器件选择	(12)
三、设计实现	(16)
四、仿真	(20)
五、器件编程与测试	(23)
第 3 章 PLD 器件的设计方法	(25)
第 1 节 组合逻辑设计	(25)
一、编码器和译码器	(25)
二、多路转换器	(33)
三、比较器	(35)
四、地址区译码器	(41)
五、加法器/算术逻辑	(43)
六、锁存器	(46)
第 2 节 寄存器逻辑设计	(50)
一、二进制计数器	(56)
二、模数计数器	(64)
三、具有译码功能的计数器	(73)
四、异步寄存器设计	(81)
五、寄存器 PLD 的其它应用	(85)
第 3 节 状态机设计	(88)
一、引言	(89)

二、状态机理论.....	(91)
三、状态机的类型.....	(94)
四、器件选择.....	(97)
五、用作时序机的 PAL 器件	(101)
六、可编程逻辑时序机(PLS)	(106)
七、PROSE 时序机(PMS14R21)	(111)
八、熔丝可编程控制器(Am29PL141)	(112)
九、状态机设计指导	(114)
第 4 章 PLD 设计应用中的要点	(123)
第 5 章 软件支持	(133)
第 1 节 JEDEC 文件格式	(134)
一、传输协议	(135)
二、设计规范	(135)
三、传输校验和	(136)
四、字段	(136)
五、可移植性	(138)
第 2 节 PALASM2 汇编软件	(139)
一、声明部分	(141)
二、功能描述	(142)
三、仿真描述	(145)
第 3 节 ABEL 编译软件	(146)
一、语言要素	(148)
二、结构	(151)
三、指令	(155)
第 4 节 其它设计软件.....	(155)
一、CUPL 编译软件	(155)
二、LC9000 软件和 Fast Map 软件.....	(158)
第 6 章 PLD 器件的应用	(161)
第 1 节 十进制加/减计数器	(161)
一、设计规范	(161)
二、设计方法	(161)
三、测试向量	(163)
第 2 节 七段显示译码器.....	(163)
一、设计规范	(164)
二、设计方法	(164)
三、测试向量	(166)
第 3 节 四位比较器.....	(166)
一、设计规范	(166)
二、设计方法	(166)
三、测试向量	(168)
第 4 节 双通道动态 RAM 控制器	(168)

第 1 章 PLD 器件基础

由于微电子技术、VLSI 技术和 CAD 技术的不断发展,计算机硬件系统的集成度和可靠性愈来愈高,功能度愈来愈强,使得计算机硬件系统的发展走上了一条良性循环的道路。同时,近十多年来,逻辑器件的新产品不断涌现,层出不穷,使得实现确定逻辑功能的电路形式可能多种多样,设计者可根据不同的设计需求与场合,选用不同类型的器件,以扬长避短。在计算机系统和一些电子仪器设备中,除了标准的中小规模电路、微处理器、存储器、A/D、D/A、以及 I/O 和外围电路外,现已能在单片 IC 上完成以往整台微机的功能或相当规模的标准逻辑功能部件。对于一些系统设计人员来说,一方面是如何来充分利用和发挥这些器件的性能,提高利用率。而另一方面希望有专用 IC 器件,PLD 器件正是这样一种专用 IC 器件,由于其设计的灵活性和应用的方便性,而越来越受到设计者的青睐

本章首先简要回顾一下逻辑器件的发展过程,然后较详尽地讨论 PLD 器件的由来与分类。

第1节 PLD 器件的由来

人类是在不断认识世界与改造世界这一循环往复过程中前进的,逻辑器件的发展也遵循这一过程。

一、逻辑器件的演变

尽管集成电路器件品种繁多,但可归纳为三类基本器件。即:

- 标准产品(主要包括中、小规模集成逻辑器件);
- 可由软件组态的大规模集成器件(如微处理器);
- 专用集成器件(缩写成 ASIC)。

集成电路于 60 年代初问世之后,集成电路生产厂家很快就意识到,为了使每片集成电路的价格不至于高到人们难以接受的地步,就必须大量生产每种产品,使得在设计每一种集成电路过程中花费的人力、物力由大量生产的每片电路所分担,由此市场上出现了各种标准的逻辑系列。为增加销售,标准产品的设计必须以大量用户的通用需求为基础。对用户使用这些器件进行设计时,必须先考虑不同的器件性能和不同的技术规格,然后进行复杂的芯片之间的连结。采用标准产品设计的结果,可能需要较高的系统成本,较多的元件数量、较大的电源功耗以及较大的印制板空间。由于采用了大量的元件及其互连,还可能导致较低的系统可靠性。而使用中小规模器件设计电路的长处在于获得高速特性(但要以功耗为代价)。

到了 70 年代初,由于集成电路制造技术的进一步发展,已经能够生产包含上千个晶体管的集成电路。这意味着大规模集成电路(LSI)时代已经到来。对于这种复杂的芯片,其功能的专用化程度使之不可能有足够多的使用者,于是就不可能大批量生产,因而也就无法以使用者可能接受的价格销售这些芯片。

所幸的是,微处理器的出现使 LSI 摆脱了这一困境,使得大批量生产通用的 LSI 芯片成为可能. 因为这种集成电路所能完成的功能在生产制造时并没有固定下来,用户可通过编写微程序来设置其结构. 但这种器件很难与其它类型的器件配合在一起,且运行速率一般只是标准产品芯片的 1/10 左右.

ASIC 类器件提供了超过前两类器件的优点,它们能执行用户指定的功能,而这种功能对用户系统而言,往往是最佳的. ASIC 可进一步分为三类专用功能的器件:标准单元,门阵列和可编程逻辑器件(PLD).

标准单元包括一个预先定义好的功能单元库,这些功能单元相当于中小规模集成电路的标准逻辑系列,并且随着工艺技术的发展,现在的功能单元库已可包含象微处理器那样的 LSI 电路. 往往利用图象终端来进行人工设计,结果往往可能得到一个十分理想的逻辑芯片. 这种设计可在数周最多几个月内完成,但会导致工前开支,即不可返回费用(NRE)的聚增,因而在时间和财力上带有相当大的风险

门阵列是由规整的逻辑门或元件的阵列组成,它们已按一定的标准设计并经过性能检验,用户可按一定的模式连接,便可实现用户的功能需求. 门阵列方法已赢得了广大的市场,可认为它是用户定制型器件和可编程器件之间的最佳“桥梁”,其灵活性低于用户定制型器件,逻辑功能多于 PLD 器件,但其性能不及 PLD 器件. 那么 PLD 器件到底具有什么特征呢? 下面来说明这一问题.

二、何谓 PLD 器件

通常,PLD 器件是一可由用户组态而执行一定逻辑功能的电路. 大多数“标准”的 PLD 器件是由两个逻辑门阵列(“与”阵列和“或”阵列)组成的,其基本结构如图 1.1.1 所示. PLD 的每个输出是输入的“乘积和”函数,阵列中输入线和输出线的交点上是用逻辑元件连接起来的. 这些逻辑元件是通还是断,可以通过烧制芯片里的熔丝来决定,或由厂家通过掩模工艺来决定. 这一过程称之为编程.

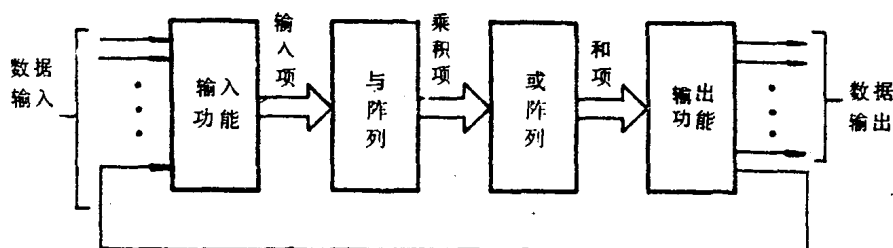


图 1.1.1 PLD 的基本结构.

在两个门阵列中,第一个“与”阵列的输入为输入变量及其反相,它们被有选择地连接到各个“与”门的输入端. 每个“与”门的输出是某些输入变量的逻辑乘积. 各个“与”门的输出又作为“或”阵列的输入,并在“或”阵列中被有选择地连接到相应的“或”门输入端,所以,每个“或”门的输出是输入变量的“乘积和”形式.

PLD 器件根据两阵列或其中之一是否可编程或固定来进行分类. 特殊的 PAL(可编程阵列逻辑)器件具有可编程的“与”阵列和固定的“或”阵列. PAL 可广泛用于各种不同的组合和寄存器逻辑功能中. PROM(可编程只读存储器)器件具有固定的“与”阵列和可编程的“或”阵

列。PLS(可编程逻辑时序机)器件的两个阵列均可编程。另外,还有其它可编程逻辑器件,它们把可编程阵列和现有的逻辑组合在一起,为某一特定的系统应用提供优化的性能。PROSE(可编程时序机)就是这样一种器件,它的结构最适合于状态机设计。有关 PLD 器件的分类在本章第 2 节将专门讨论。

假定所有输入的真假值信号都能得到,那么所有数字逻辑都能归结为两种基本门电路:AND 及 OR。这样的逻辑通常能变为我们常说的乘积和(AND-OR)形式。PLD 是用“与”阵列和“或”阵列实现两阶段逻辑的理想器件。

多种工艺技术为 PLD 设计提供了多种选择。可编程阵列中的连接可基于熔丝,它通常用于双极型 ECL 和 TTL 工艺中,基于单元的 E/E²PROM 通常用在 UV-EPROM 和 E²PROM CMOS 工艺中,而基于单元的 RAM 常常用于 CMOS RAM 技术,ECL PLD 用于很高速的设计(大于 125MHz 频宽),而 CMOS 用于低速设计。双极型 TTL 熔丝型 PLD 用在各种中速应用中,它是最普通的 PLD 器件。工艺的选择主要取决于系统速率和功耗限制两大因素。

三、为何要采用 PLD 器件

在系统设计中若采用 PLD 器件,用户会获得许多好处,其中有些是直接的,有些是间接的,有些非常明显,有些就不怎么明显。归结起来,使用 PLD 器件主要有以下优点。

功能集成度高

由于 PLD 器件比中小规模集成芯片具有更高的功能集成度,这使它成为降低成本和减小体积的理想设计工具。所谓功能集成度是指在给定的体积内可集成的逻辑功能的数目。一般来说,一片 PLD 器件可替代 4—20 个中小规模集成芯片,因而能减少芯片数量,提高印制板的利用率,这样就减少了整个系统的体积,自然也就降低了研制费用。

系统设计加快

可编程逻辑可由用户来精确规定芯片要执行的某一功能或多种功能,而一般中小规模集成电路要做到这一点,就需要把多个功能已预先规定的芯片进行搭接,这是很繁琐的过程,因为它牵涉到一个极重要的布局问题,因此,中小规模集成芯片往往得不到充分利用,PLD 器件是由用户来定义各种功能,因而能最有效地利用芯片和减少芯片数量,大大简化布线过程。同时 PLD 器件的设计一般都有强有力的标准设计工具的支持,不管在构思阶段,还是实现阶段,都能快速地进行设计,使新产品尽早投放市场。

设计灵活

系统设计通常是一个反反复复的过程,它从问题定义开始,然后经过计算、仿真、修改、测试和求精等一系列步骤,并且这一过程一般说来并非一次就能完成。由于 PLD 器件的可编程性及可擦除性,为设计带来了许多灵活性。设计者几乎不必承担定制和半定制器件的设计风险,因而更能充分发挥设计者的创造性,设计出更精良的产品。

可靠性高

芯片、印制板数量的减少,系统的体积减小,这不仅能降低成本,而且还提高了系统的可靠性与稳定性。这是因为 PLD 器件功能集成度增高,芯片内部的连线变短,干扰源减少而芯片之间随着芯片数量减少,印刷板面积减少,布线也就简单。系统可靠性是系统设计者追求的主要目标。

费用降低

PLD 器件可在多方面降低费用,主要包括:

- 较低的部件费用,这是因为:
 - PC 印制板面积减小;
 - 所用的连线减少;
 - 底板设计更简单;
 - 功耗较小;
 - 简化了冷却系统.
- 较低的设计与开发费用,主要表现在:
 - 强有力的软件支持工具大;
 - 设计易于修改;
 - 文档计算机化,因而能自动保持与设计相符;
 - 布线简单.
- 制造费用较低,主要表现在:
 - 插件较少;
 - 印制板较小;
 - 部件较少;
 - 测试较少.
- 服务费用较低,这是因为:
 - 可靠性较高;
 - 空闲部件较少;
 - 逻辑修改较快.

第 2 节 PLD 器件的分类

在讨论了 PLD 器件的由来与优点之后,本节我们着重研究 PLD 器件的分类. 一般来说, PLD 器件可分为以下几类:

- 可编程只读存储器(PROM);
- 可编程逻辑阵列(PLA);
- 可编程阵列逻辑(PAL);
- 通用阵列逻辑(GAL);
- 可编程门阵列(PGA);
- 可编程逻辑时序机(PLS);
- 其它可编程器件(如可编程二极管矩阵 PDM 和可编程多路转接器 PMUX).

下面我们就来分别对它们作一介绍.

一、可编程只读存储器(PROM)

只读存储器是组合逻辑阵列,它为一组给定的二进制输入变量提供输出函数. 由此看来,

在它的名字上加上“存储器”这个词是不全面的,因为它不包括双稳态电路一类的存储单元,其现行输出完全取决于输入变量的现行状态.因此,它不仅能作为只读存储器电路,也能用来实现一般的组合逻辑电路.

可编程只读存储器出现于 1970 年,它由一个固定的“与”阵列和一个可编程的“或”阵列组成(图 1.2.1).“与”阵列是一个“全译码”固定阵列,它组合出 n 个输入变量的所有 2^n 个最小项,而每个输出函数通过“或”阵列将这些最小项有选择(由用户编程)地或起来.

对于规模较大的 PROM,为了减少所需最小项输出信号的数目,通常采用多级译码器结构,使其可编程阵列比单译码器方便,而保证可编程点的总数与单译码器结构相同.对于规模非常大的 PROM,甚至可以进行整片划分,如可将一个 64K 的 PROM 划分为 8 个 8K 的 PROM,以便于芯片布线.

PROM 的应用范围很广,它对于实现多输入、多输出的固定组合功能,如代码转换,波形发生,语音合成和算术功能等提供了强有力的手段.由于它以最小项为基础,因此在设计中不需要简化所需输入/出的逻辑关系.

PROM 也存在一些缺点:由于阵列较大,开关时间很长,它的速率一般低于其它 PLD 器件;因为总有未用部分,因而其芯片利用率较低;并且没有内部锁存器或同步寄存器.

二、 可编程逻辑阵列(PLA)

可编程逻辑阵列(PLA)是在 1970 年研制成功的,它为逻辑功能提供了更为有效的处理方法.如图 1.2.2 所示,PLA 的基本结构类似于 PROM,但其“与”阵列和“或”阵列都可编程,它

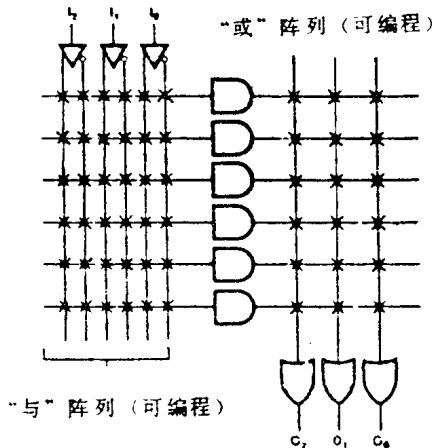


图 1.2.2 PLA 的基本结构

不是全译码的,而是简化为“或”阵列要求的乘积项,且其乘积项不一定要包含所有输入变量.

由于 PLA 不象 PROM 那样产生输入变量的所有最小项,而是在产生乘积项数目方面有局限性,因此,为了提高功能集成度,缩小系统体积,需要对 PLA 的初步设计(如布尔方程)进行化简.其化简方法基本上有四种:逻辑化简、折叠、分割和采用特殊类型的 PLA 结构,逻辑化简若采用工人方法,则非常枯燥无味且很不可靠,因此多采用 CAD 工具(如 PLAMIN).折叠主要是考虑到编程后的 PLA AND—OR 阵列一般较为稀疏,因而可以把 PLA“断裂”开来以除掉一些多余部分,这样可以减少面积,

相对增加了功能集成度.分割法是将应用功能分割为若干个较小的 PLA 实现,这样常常可以减少面积.专用 PLA 结构主要是在基本形式上进行一些变化,以便得到更适用于某些场合的

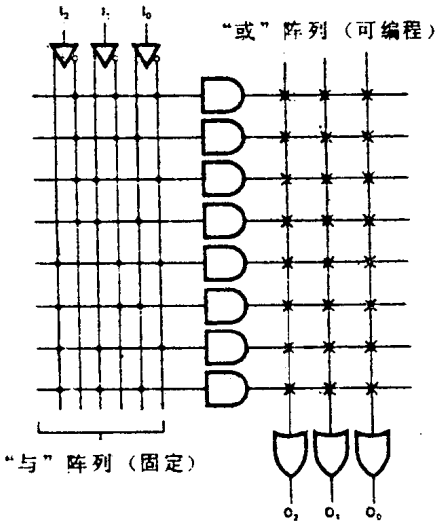


图 1.2.1 PROM 的基本结构

PLA(如加法器 PLA).

由于 PLA 器件阵列较小,其速率比 PROM 快,它常用于那些输出功能相似,且允许使用公用乘积项的场合. 由于其两个阵列均可编程,因而为设计带来了更大的方便. 但目前 PLA 应用还存在一些问题,主要是 PLA 编程工具的使用不便且器件价格昂贵等,不过这些问题正在逐步解决.

三、可编程阵列逻辑(PAL)

可编程阵列逻辑(PAL)出现于 70 年代末期,它包含一可编程的“与”阵列和一固定的“或”

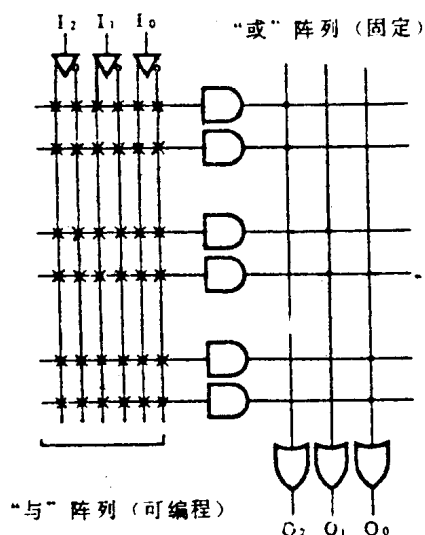


图 1.2.3 PAL 的基本结构

阵列,如图 1.2.3 所示. 对大多数逻辑功能而言,这种“与”阵列可编程的方法都能提供较好的性能和有效的结构.

PAL 器件每一输出所使用的乘积项数由“或”阵列固定,典型的逻辑功能设计需要 3~4 个乘积项,而现有 PAL 中一般有 7~8 个乘积项,因而一般情况下都能满足设计者的要求.

PAL 器件的主要性能指标由输入,输出和乘积项数所确定,PAL 器件被设计成覆盖各种各样的逻辑功能,从而设计者可根据实际需要,灵活地选择最佳的 PAL 器件.

PAL 器件设有一个“保密熔丝”,在验证了 PAL 编程正确无误之后,烧断该熔丝,可禁止内部熔丝图的读出,可有效地防止复制.

PAL 的电路结构主要有门阵列,可编程的输入/输出,带有反馈的寄存器输出,异或 PAL 和算术 PAL 等几种,这也就决定了 PAL 的基本结构类型.

四、通用阵列逻辑(GAL)

通用阵列逻辑(GAL)出现于 80 年代中期,它是在 PAL 结构的基础上产生的新一代器件,其结构与 PAL 一样,也是由一可编程的“与”阵列去驱动一固定的“或”阵列,差别仅在于输出单元的结构不同,并以此提供了设计的高度灵活性.

GAL 器件的每一个输出管脚都接有一个输出逻辑宏单元(OLMC). OLMC 可由设计者重组态为四种基本输出类型的模式结构,这四种基本模式类型为专用组合输出,专用输入,组合输出和寄存器输出,如图 1.2.4 所示.

五、可编程门阵列(PGA)

可编程门阵列(PGA)与 PAL 类似,但没有直接产生乘积和的功能. 因此,其本质上为蕴含项发生器. 图 1.2.5 示出了这种器件的基本结构,它的“与”阵列是现场可编程的,其输出可通过编程反相,并且带有使能控制.

象 PAL 一样,PGA 通常将其部分输出信号再用作输入. 于是可以把输入分为外部输入 (由外界提供)和附加输入 (由本身输出反馈提供).

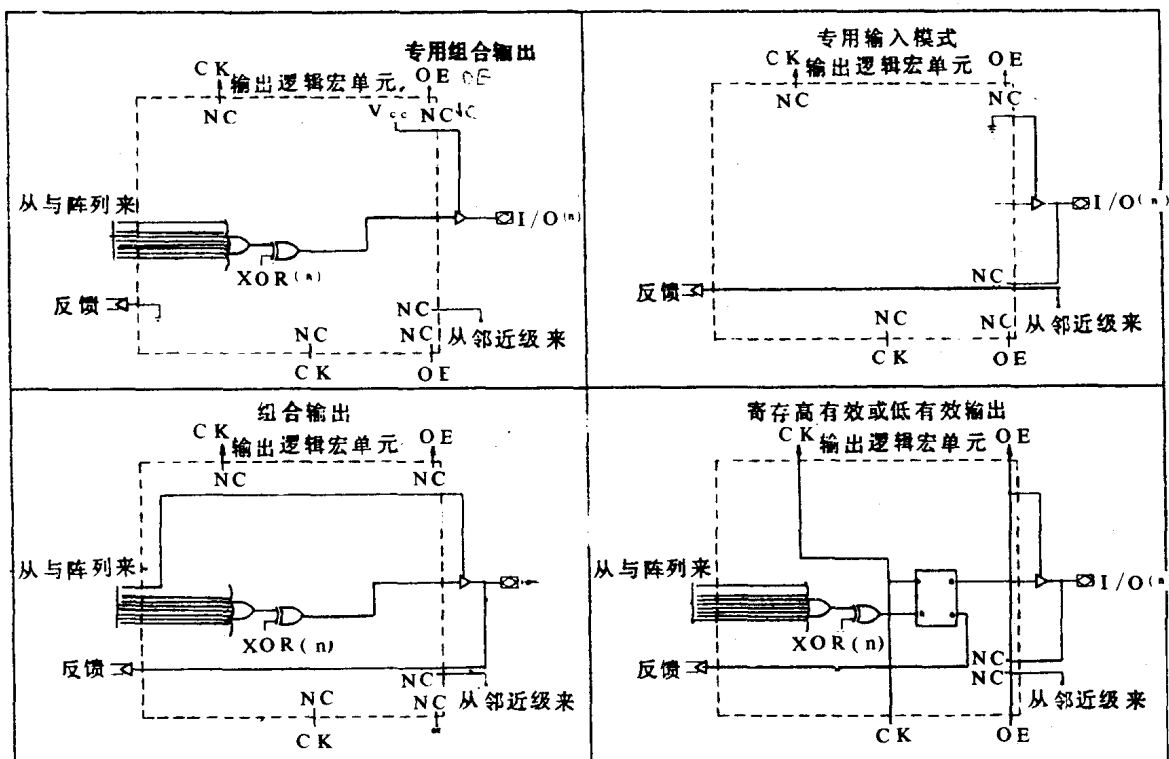


图 1.2.4 OLMC 的可组态类型

例如,如果乘积项 $\bar{x}_1 x_2 \bar{x}_3$ 是由外部输入通过“与”阵列产生的,则该项及其反相可连接至“与”阵列,与其它输入变量或乘积项组合. 如果将 $\bar{x}_1 x_2 \bar{x}_3$ 的反码和 $x_4 x_5$ 相与,则得到

$$f(x) = x_4 x_5 \bar{x}_1 x_2 \bar{x}_3 = x_4 x_5 (x_1 + \bar{x}_2 + x_3) = x_1 x_4 x_5 + \bar{x}_2 x_4 x_5 + x_3 x_4 x_5$$

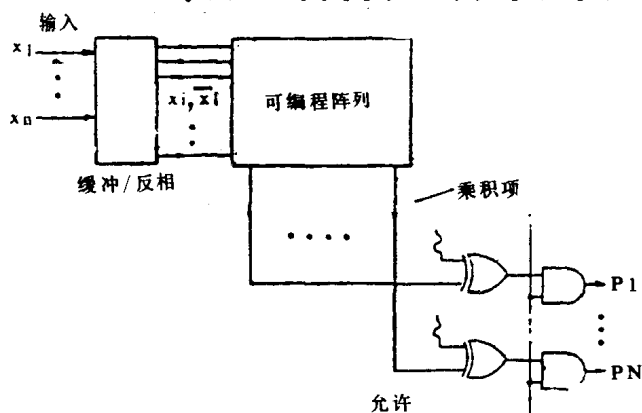


图 1.2.5 PGL 的基本结构

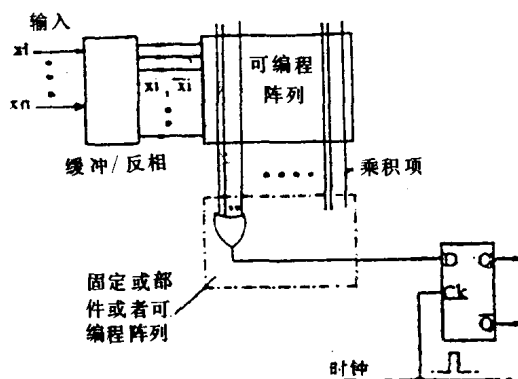


图 1.2.6 PLS 的一般结构

这样,不必在可编程器件结构中直接采用或,便可实现乘积和,由此能实现一般组合逻辑. 不过,这种技术的缺点是传输时间较长,并且在最后输出功能上可能会出现假信号.

六、可编程逻辑时序机(PLS)

由于与非门存在于所有可编程器件中,所以理论上讲可以组成所需的任何同步或异步网络.通常把包含双稳态电路的可编程器件称为可编程逻辑时序机(PLS),这种器件功能很强,其便于用作同步代码发生器和计数器等电路.

PLS的一般结构如图 1.2.6 所示,其中可编程“与”阵列与 PLA、PAL 和 PGA 类似,而其乘积输出项既可作为组合输出功能,又可作为同步双稳态元件的内部数据输入.

此外,还有几种大同小异的结构,如“与”阵列的乘积项可送入一固定的“或”单元来产生所需的内部乘积和,或者送入一可编程的“或”阵列,正如通常的 PLA 结构那样.而同步双稳态元件可以是 D 型或 J—K 型触发器.另外其寄存器可具有直接置位或直接复位的功能.

七、其它可编程器件

上述介绍的 PLD 类型构成了绝大多数可编程器件.除此之外,还有其它一些可编程器件,包括可编程二极管矩阵(PDM)和可编程多路转换器(PMUX).

可编程二极管矩阵(PDM)构成了最简单的可编程器件,它仅由一正交连接的矩阵组成,每个交叉点由一个二极管再加上一熔丝连接,而没有附加逻辑功能.其一般结构如图 1.2.7 所示.它所需要的全部操作仅是在封装连线上选择一相应列线和行线,然后使熔丝电流通过所选列线流经熔丝和二极管,并沿所选行线使该路径开路.

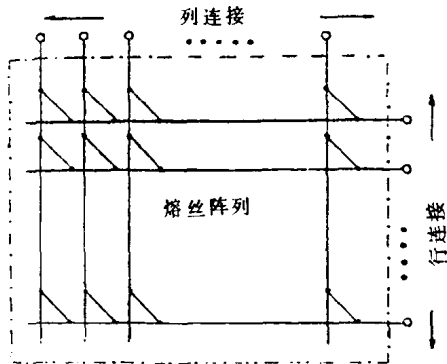


图 1.2.7 PDM 的一般结构

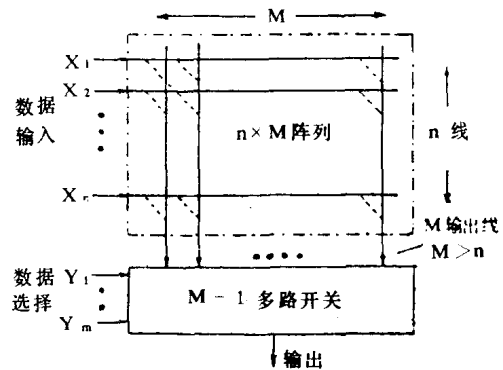


图 1.2.8 PMUX 的基本结构

可编程多路转换器(PMUX)基本上由一 $n \times m$ 的可编程熔丝阵列组成,它将 n 个数据输入有选择地连至阵列的 m 根输出线,后面再跟一个 m 选 1 多路转换器,如图 1.2.8 所示.一般的,在阵列的每条输出线上,除了一个二极管之外,其它的所有二极管应编程为开路,这样便仅将所希望的输入连到所需阵列输出线上.然后在 m 个数据选择输入的控制下,多路转换器将这些经过组合的输入信号多路传送到最后的输出端上.

实际的 PMUX 包含多种类似的组件,其中对每个多路转换器的输出均提供最后的缓冲和/或使能信号.

八、小结

前面讨论的可编程结构,无论是生产厂家掩模编程的还是用户现场可编程的,均包括二进制输入变量产生的乘积项(与),以及这些乘积项的和(或)以产生相应输出.但它们在经典的

乘积和逻辑结构上均各有特点。在 PROM 中,乘积项数目是固定的,即为 n 个输入变量的 2^n 个最小项。而在其它可编程结构中,由 n 个输入变量的原码或反码组成的可编程乘积项数目远远小于 2^n 。表 1.2.1 摘要列出了主要系列及其可编程性。所有系列在目前均有现场可编程形式,但并不是全都有掩模可编程形式。同样地,所有系列均有采用双极工艺的。

表 1.2.1 可编程器件的主要系列

系 列	乘积项 (与)	和 (或)	可重新 组和 I/D	双极或 MOS/CMOS	掩模或 现场编程	附 加 功 能
ROM, PROM	固定 (最小项)	可编程	否	二者均有	二者均有	
PLA, FPLA	可编程	可编程	通常否	二者均有		
PAL	可编程	固 定	是	双极①	现场	可带有寄存单元
HAL	可编程	固 定	是	双极①	掩模	可带有寄存单元
PLS, FPLS	可编程	可编程 或固定	是	双极①	二者均有	内装 D 型或 JK 型寄存单元,并带有可编程时钟控制
PGS	可编程	不存在	是	双极	现场	

注①:据 1985 年市场情况统计。

第2章 PLD 器件的设计过程

PLD 设计要有设计软件和硬件编程器的支持(如图 2.0.1). 设计软件避免了在实现期望乘积和逻辑而编程时必须一个一个地连接信号. 在设计过程中首先要建立一个专用功能的设计文件, 这些功能一般用其乘积和形式表示, 并能直接从时序图和/或真值表得到, 有时也使用卡诺图和状态图. 然后汇编设计文件产生“JEDEC”文件. JEDEC 是一标准文件, 它规定器件上每个连接点的状态, 然后执行仿真. 如果设计是正确的, 这个 JEDEC 文件可卸载给器件编程器以便在器件上进行编程连接, 接着把该器件插入到 PC 板中, 整个过程的大部分工作均由设计员来完成. 大多数编程器都带有与个人计算机的接口, 所以设计文件的编辑, 汇编, 仿真, 卸载和器件编程等都可在一个地方进行.

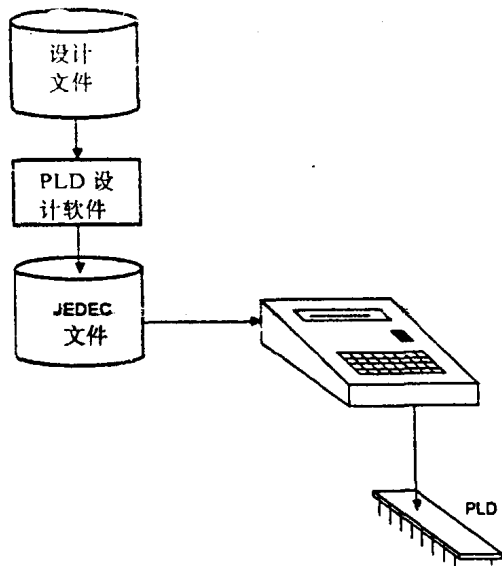


图 2.0.1 用软件和器件编程器设计 PLD

PLD 设计过程(图 2.0.2)的第一阶段是问题定义;第二阶段是器件选择;第三阶段是设计实现,其中包括用测试向量仿真设计;最后,在系统板上实现编程和测试.

本章将通过简单的例子,来说明 PLD 设计过程的各个阶段.

一、问题定义

一、问题定义

PLD 设计过程的第一步也象任何 SSI/MSI 设计所要求的那样. PLD 的优点是在此阶段设计员仅需要考虑所要求的逻辑功能. 对于 SSI 或 MSI 而言, 在设计之前, 必须考虑各种逻辑限制. 显然, 设计员需要根据系统设计要求, 建立简洁完善的功能描述.

我们举一个简单的地址译码器电路的例子, 它是 68000 微处理器所需要的. 该微处理器有 24 根地址线和两个单独的读/写信号. 它需要一个 ROM 存储初始化编码和一个 RAM 存储和执行程序. 地址译码器电路的目的就是在某一时刻选择某一存储器地址. 在 68000 微处理器地址空间中分配 RAM 和 ROM 的地址. 地址译码器电路必须根据指定的地址区(即地址空间)选择一个 RAM 或 ROM. 当微处理器存取地址空间中的某一地址时, 这种选择采用建立专用的 RAM 或 ROM 选片信号来完成. 在一般的微处理器系统中还有附加电路用于选通 I/O 设备(如磁盘控制器)的地址. I/O 设备也要求在微处理器选通它们时必须建立选片信号. 图 2.0.3 举出 68000 微处理器地址映射的例子.