

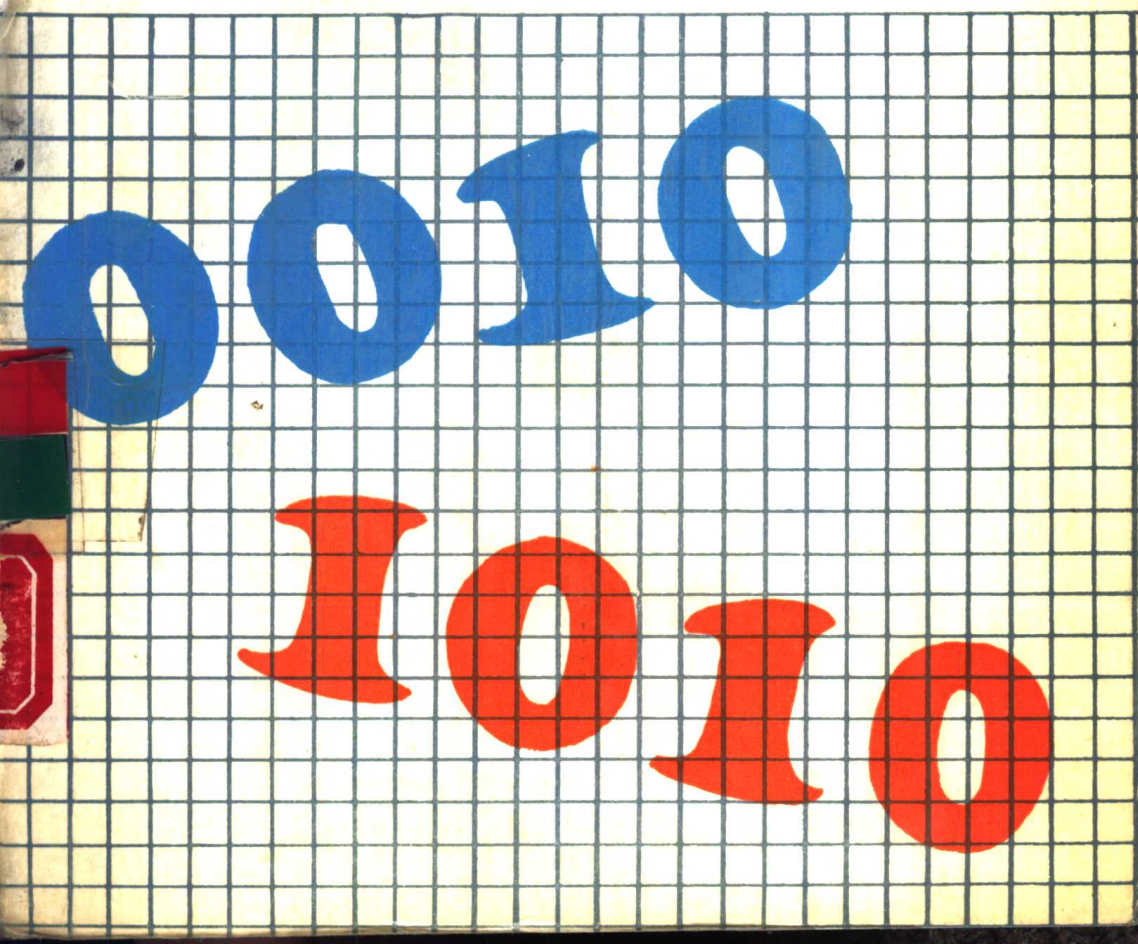
数字逻辑设计

〔英〕 霍尔兹沃思 著

樊志容 邹政平 译

郝克琦 校

西安交通大学出版社



数 字 逻 辑 设 计

[英] 霍尔兹沃思 著

樊志容 邹政平 译
郝克琦 校

西安交通大学出版社

内 容 简 介

本书特点是以中规模集成数字电路的设计为主,兼以小规模 and 大规模集成电路的设计。从小、中、大规模集成的数字电路直到微处理器入门,构成了一个较完整的数字逻辑体系,使读者感到学有所用;设计思想鲜明,贯穿全书,设计方法和步骤详细,并有例题说明;对无用项的应用以及竞争冒险的消除有较详细的叙述,这在国内同类教科书中尚属少见;每章末有丰富多样的习题,有一定难度和适用价值,书后附有习题解答,便于读者自学。

本书可作为电类各专业研究生、本科生的教学参考书,也可供从事电子技术的工程技术人员的自学参考书。

DIGITAL LOGIC DESIGN

数字逻辑设计

〔英〕霍尔兹沃思 著

樊志容 邹政平 译

郝克琦 校

责任编辑 罗兰

*

西安交通大学出版社出版

(西安市咸宁路28号)

西安交通大学出版社印刷厂印装

陕西省新华书店发行 各地新华书店经售

*

开本 850×1168 1/32 印张 10.75 字数: 270 千字

1987年12月第1版 1988年6月第1次印刷

印数: 1—3000册

ISBN7-5605-0035-8/TN·3

定价: 2.30 元

译 者 序

本书系根据英国 Chelsea 学院 B. Holdsworth 所编《Digital Logic Design》一书译出。它是该学院电子工程系本科生数字电路设计课程的教科书。该书主要特色是以中规模集成电路设计数字逻辑系统，设计思想鲜明，设计方法和设计步骤详细。全部用集成电路设计数字逻辑电路的同类教科书，在国内尚属少见，特别是异步时序机的设计、无用项的应用和竞争冒险的分析、消除等，在国内亦属少见。该书在系统上前后呼应，前面各章设计的部件，最后在微处理器入门一章中得到应用，使读者感到学有所用。综上所述，该书是一本值得参考学习的教科书。

本书承蒙西安交通大学何金茂教授审、郝克琦教授校，在此表示感谢。

由于译者水平有限，译文中有不妥和错误之处，在所难免，欢迎读者批评指正。

1987.9

序 言

此书是在给切尔西学院 (Chelsea College) 电子工程系本科生, 以及参加该院定期举办一周数字设计短训班的实习工程师和科学工作者们所用的讲义基础上发展而来的。实际上, 这本书是大学本科生的教科书, 但对所有在数字技术方面未受过正规教育而在工作中必须和数字技术打交道的实习工程师们, 也是很有用的。另外, 对进入大学以前从事电子学业余爱好的六年级学生, 和那些以前没有学过这门课而正攻读数字技术专业硕士的研究生, 本书的内容是有帮助的。

数字设计技术在近十年内已变得日益重要, 目前在大多数大学和多科性工业大学中已形成教学计划的一部分。最初, 设计技术使用分立元件, 但是, 由于十年来的发展, 小规模集成 (SSI) 电路和中规模集成 (MSI) 电路, 已为设计师广泛使用, 以致在有些情况下, 设计的过程变成装配一组集成电路 (IC) 以构成数字系统问题。近来, 大规模集成 (LSI) 芯片也变得更加通用, 从而导致了微处理器的发展。由于它的发展, 目前有另外两种可能的设计方法供数字设计师使用。设计的问题可以用硬件逻辑求解, 或者用微处理器求解。第一种方法是本书所需讨论的设计方法, 而第二种方法是对同一问题的软件解答。总之, 决定选择设计方法的标准, 应该是它的实际成本。

实际上, 对许多问题的求解需要兼用两种方法。所以数字工程师应该通晓布尔代数的知识, 和它在数字设计问题方面的应用。另外, 还应该有很好的编程技术知识。作者的看法是, 在组合形式和时序形式硬件逻辑电路的设计方面有相当基础的学生,

I.

075199/16

对转向用微处理器进行设计是不会太困难的。

本书分十二章，头三章为解决第四章出现的组合问题所必需的基础知识。第一章概述布尔代数的基本法则，第二章扩展为画卡诺图的方法和布尔函数的简化工作。由于 MSI 电路发展的结果，简化在某种程度上正在变成过时的技术，但作者认为通过使用这些方法对提高读者的处理技巧是很有用的。第三章专门研究与非逻辑和或非逻辑。目前 SSI 基本电路都是用与非门和或非门设计而成，不用与门、或门和非门，本章还讨论用这些类型的门实现布尔函数。这部分的最后一章，即第四章，检查和解决若干通常出现的组合问题。

接下去的第五章涉及时序电路的设计。第五章介绍几种不同类型触发器的性能，并推导其特性方程，本章连同前几章的内容用于推导第六章到第九章时序电路的方法。第六章和第七章是用分立触发器或移位寄存器讨论同步和异步计数器的设计，第八章分析同步时序电路，并提出了与分析方法相反过程的设计步骤，第九章专门研究用与非时序方程来设计和实现事件驱动逻辑电路。

第十章检查某些 MSI 电路的性能，并指出它们如何用于组合电路和时序电路的设计。第十一章考虑的是在组合电路里产生的静态冒险和动态冒险，以及在时序电路里的本质冒险。最后，第十二章表明一台微处理器决没有比同步时序电路更复杂的内容。

作者要感谢为本书出版曾给予帮助的许多人。首先，我感谢 Calgary 大学的 D. Zissor 教授，他对我的思想有相当大的影响，并首先激发我对本学科的兴趣。其次，我还要感谢我教过的学生们，正是他们在几年的学习中，帮助我改进最初犹豫不决的编写计划，这本书的内容就是在此基础上发展起来的。最后，我还要感谢我的妻子帮助我对原稿打字，同时还感谢我的全家，没有他们的支持，这本书是决不可能写成的。

目 录

译者序

序言

第一章 布尔代数	(1)
1.1 引言.....	(1)
1.2 开关逻辑.....	(2)
1.3 与 (AND) 函数.....	(2)
1.4 或 (OR) 函数.....	(4)
1.5 反函数.....	(5)
1.6 用开关或电子门实现布尔函数.....	(7)
1.7 重叠定理.....	(8)
1.8 逻辑加和逻辑乘定理.....	(8)
1.9 冗余项定理或吸收定理.....	(9)
1.10 补函数的确定.....	(10)
1.11 交换定理、结合定理和分配定理.....	(12)
1.12 一致定理.....	(13)
习题	(14)
第二章 卡诺图和函数简化	(16)
2.1 引言.....	(16)
2.2 乘积项及和项.....	(16)
2.3 标准形式.....	(18)
2.4 两变量的布尔函数.....	(18)
2.5 卡诺图.....	(19)
2.6 在卡诺图上画布尔函数.....	(22)

2.7	布尔函数的简化	(24)
2.8	反函数	(26)
2.9	‘无关’项	(28)
2.10	和之积表达式的画法与简化	(30)
	习题	(31)
第三章	与非逻辑和或非逻辑	(34)
3.1	引言	(34)
3.2	与非(NAND)函数	(34)
3.3	用与非门实现与函数和或函数	(35)
3.4	用与非门实现积之和表达式	(36)
3.5	或非(NOR)函数	(39)
3.6	用或非门实现或函数和与函数	(40)
3.7	用或非门实现和之积表达式	(41)
3.8	用或非门实现积之和表达式	(42)
3.9	门的扩展	(43)
3.10	杂门	(44)
3.11	三态门	(46)
3.12	异或门	(47)
	习题	(51)
第四章	组合逻辑设计	(53)
4.1	引言	(53)
4.2	半加器	(53)
4.3	全加器	(55)
4.4	四位并行加法器	(56)
4.5	提前进位加法器	(57)
4.6	全减器	(60)
4.7	补码(2's complement)	(62)
4.8	反码(1's complement)	(63)

4.9	算术单位的二进制表示法	(63)
4.10	用补码计算加法和减法	(64)
4.11	二进制乘法	(65)
4.12	代码转换	(67)
4.13	二进制码到格雷(Gray)码转换器	(69)
4.14	中断排序器	(72)
4.15	菊花链	(74)
	习题	(76)
第五章	一位存贮元件	(78)
5.1	引言	(78)
5.2	T 触发器	(78)
5.3	SR 触发器	(82)
5.4	JK 触发器	(86)
5.5	D 触发器	(91)
5.6	触发器的门锁作用	(92)
	习题	(93)
第六章	计数器	(96)
6.1	引言	(96)
6.2	二进制递加计数器	(96)
6.3	四进制递加计数器	(98)
6.4	八进制递加计数器	(98)
6.5	2^n 进制递加计数器	(99)
6.6	计数器的串行和并行连接	(100)
6.7	同步递减计数器	(101)
6.8	五进制递加计数器	(102)
6.9	十-二进制递加计数器	(105)
6.10	十-二进制递减计数器	(108)
6.11	十进制格雷码‘递加’计数器	(108)

6.12	十六进制可逆计数器	(113)
6.13	异步二进制计数器	(114)
6.14	十进制异步递增计数器	(116)
6.15	异步可复位计数器	(117)
6.16	集成电路计数器	(119)
6.17	集成电路计数器芯片的级联	(122)
	习题	(123)
第七章	移位寄存器计数器和发生器	(126)
7.1	引言	(126)
7.2	具有并行输入的四位移位寄存器	(127)
7.3	四位左移、右移寄存器	(128)
7.4	移位寄存器作计数器的用法	(129)
7.5	移位寄存器的通用状态图	(130)
7.6	十进制计数器的设计	(132)
7.7	移位寄存器序列发生器	(135)
7.8	环形计数器	(138)
7.9	扭环形计数器或约翰逊计数器	(142)
7.10	具有异或反馈的移位寄存器	(145)
	习题	(152)
第八章	时钟驱动时序电路	(153)
8.1	引言	(153)
8.2	时钟时序电路的分析	(153)
8.3	时钟时序电路的设计步骤	(157)
8.4	序列发生器的设计	(165)
8.5	摩尔 (Moore) 和米利 (Mealy) 状态机	(168)
8.6	脉冲同步电路	(169)
8.7	状态简化	(173)
8.8	状态分配	(179)

习题	(185)
第九章 事件驱动电路	(191)
9.1 引言	(191)
9.2 博物馆问题	(191)
9.3 竞争和循环	(195)
9.4 三态机的无竞争分配	(198)
9.5 泵的问题	(199)
9.6 四态机的无竞争分配	(202)
9.7 序列检测器	(204)
习题	(210)
第十章 中规模集成数字设计	(214)
10.1 引 言	(214)
10.2 数据选择器或多路转换器	(215)
10.3 多路转换器作为逻辑函数发生器	(218)
10.4 译码器和多路分配器	(224)
10.5 译码器的应用	(225)
10.6 只读存储器 (ROM)	(229)
10.7 ROM 的寻址方法	(231)
10.8 用 ROM 设计时序电路	(233)
10.9 可编程序逻辑阵列 (PLA)	(238)
10.10 用 PLA 设计时序电路	(241)
10.11 使用 MSI 芯片的运算	(244)
10.12 用 MSI 加法器的十进制加法	(246)
习题	(249)
第十一章 冒险	(253)
11.1 引 言	(253)
11.2 门的延时	(253)
11.3 尖峰信号的产生	(254)

11.4	在组合网络里产生的静态冒险	(255)
11.5	静态冒险的消除	(257)
11.6	无冒险组合网络的设计	(261)
11.7	在一个现存网络里冒险的检测	(263)
11.8	动态冒险	(266)
11.9	本质冒险	(268)
	习 题	(269)
第十二章	微处理器入门	(271)
12.1	引 言	(271)
12.2	二进制乘法	(272)
12.3	二进制乘法器的硬件要求	(273)
12.4	二进制乘法器	(273)
12.5	流程图	(276)
12.6	程序控制的二进制乘法器	(278)
12.7	字长	(280)
12.8	程序计数器	(280)
12.9	指令和指令寄存器	(281)
12.10	十六进制数制	(283)
12.11	简易机同实用微处理器的比较	(285)
12.12	一台微处理器系统的通用框图	(286)
12.13	编制微处理器的程序	(289)
	习题解答	(291)
	参考文献	(321)
	译名对照表	(323)

第一章 布尔代数

1.1 引言

在数字系统中，所用的电信号具有两种电压电平，例如 5 伏和 0 伏。用于这种系统的电器件，一般只存在这两种可能电压状态中的一种，只要电源保持不变，这种状态就一直保持不变。例如，一个双极晶体管在 5 伏的系统内，不导电时集电极和发射极之间的电压大约为 5 伏。然而，当这个晶体管接通导电，并具有适当选择的负载时，可使集电极和发射极之间的电压近似为零。因此，数字系统可以说成是一个二进制系统，而所用的两个电压电平可以任意指定为二进制数的 0 和 1。这样规定两种状态所具有的逻辑意义是：它们能表示一个特定状态的存在或不存在。

上世纪英国牧师乔治布尔 (Reverend George Boole) 提出的一种代数，很适于描述上述情况。这个数学分支称为**布尔代数**。它是一种离散代数，其中各变量只能具有两个数值中的一个，不是 0 就是 1。可以想象有一套与这个代数有关的规则和定理用以处理布尔方程。

布尔代数是整个数字设计工作的基础，本章将涉及与它有关的一些规则的推导和定理的说明。透彻领会这个代数的一些原理，可使处理设计问题中的代数部分变得简易，因此，这对每个想要从事数字设计的人来说都是非常有用的。

1.2 开关逻辑

假设图 1.1(a) 所示的开关接在 P 、 Q 两点之间。开关的状态可用一个布尔变量 A 表示, A 可以具有 0 和 1 两种数值。如果开关 x 断开, $A=0$; 若开关接通, $A=1$ 。 P 、 Q 的连接状态也可用布尔变量 f 表示。 f 也具有两种可能的数值, 0 或 1。若 P 和 Q 之

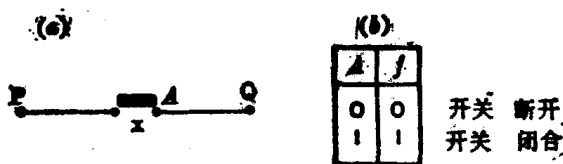


图 1.1 (a) 单个开关触点电路;

(b) 单个开关触点的真值表

间未接通, 则 $f=0$; 若 P 和 Q 之间接通, $f=1$ 。这些结果均列在图 1.1(b) 的表中。这种表称为**真值表**, 由表显而易见:

$$f = A$$

上面的方程是一个**布尔方程**, f 和 A 这两个变量都称为布尔变量, 又叫**二进制变量**, 因为它们仅具有 0 或 1 两个数值。

1.3 与(AND)函数

两个开关 x 和 y 串联连接在 P 和 Q 两点之间, 如图 1.2(a) 所示。开关 x 的状态为 A , 开关 y 的状态为 B , A 和 B 都是布尔变量。假若开关 x 断开时, $A=0$, 而闭合时 $A=1$ 。同样, $B=0$ 或 1 取决于开关 y 是断开或闭合。和单个开关触点一样, P 、 Q 连接的状态可用布尔变量 f 表示, f 的数值取决于 P 和 Q 两点之间有

无连接。

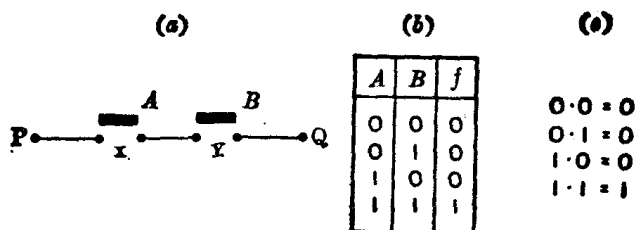


图 1.2 (a) 实现与函数的开关触点电路;
(b) 与运算的真值表;
(c) 二进制和布尔乘法的规则

两个变量 A 和 B 有四种可能的组合，这些组合可列成图 1.2 (b) 所示的真值表。例如，若 x 断开， y 断开，则 $A=0$ 及 $B=0$ ， P 和 Q 之间未接通，因而 $f=0$ 。可是，若 x 和 y 都闭合，则 $A=1$ ， $B=1$ ，并由此得出 $f=1$ 。

图 1.2(b) 所示的真值表是**与函数**的真值表，有时又称为**布尔乘法函数**，并可写成代数形式：

$$f = A \cdot B$$

式中的点‘ $\cdot$ ’可看作**与**。实际上，这个点通常被省略，于是这个方程写成：

$$f = AB$$

布尔乘法的规则和二进制乘法的规则完全相同，可总结成图 1.2(c) 所示的表。



图 1.3 与门的惯用符号

在数字领域里，**与函数**在电子学上是用一个称为**与门**的电子门实现的，**与门**的惯用符号如图 1.3 所示。仅仅只有输入 A 和 B 都是逻辑“1”时，这个门的输出才是逻辑“1”。对

于输入的其它任何组合，输出 f 均是逻辑‘0’。

1.4 或(OR)函数

两个开关 x 和 y 并联接到 P 和 Q 两点之间，如图1.4(a)所示。开关的状态与 P 、 Q 之间的接法分别用布尔变量 A 、 B 和 f 表示。这个并联电路的真值表如图1.4(b)所示。若开关 x 和 y 同时断开，则 $A=0$ 和 $B=0$ ，显然 P 、 Q 之间未接通，从而 $f=0$ 。另一方面，若开关 x 闭合，开关 y 断开，则 $A=1$ ， $B=0$ ，而 P 、 Q 之间通过 x 的闭合触点接通，因此 $f=1$ 。

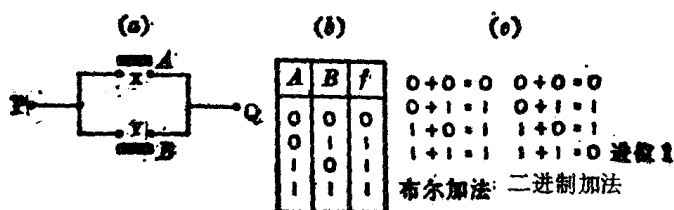


图 1.4 (a) 实现或函数的开关触点电路；

(b) 或函数的真值表；

(c) 布尔加法和二进制加法的规则

图 1.4(b) 的真值表是**或函数**的真值表，**或函数**有时称为**布尔加法函数**。由真值表可知：若 x 闭合，或 y 闭合，或 x 和 y 两者都闭合， P 和 Q 两点之间均存在通路。严格地说，这种函数应叫做‘**含或**’函数。这样称的理由是因为当 $A=1$ 和 $B=1$ 时， $f=1$ ，就是说，它包含这个条件。而在后面定义的‘**异或**’函数，可以看出它就不包含这个条件。

或函数可用下面方程表示为代数的形式：

$$f = A + B$$

式中‘+’号应理解为**或**。逻辑加法的规则列在图 1.4(c) 的表中，

旁边是二进制加法的规则，必须注意它们在一个方面有差别。对于二进制加法 $1+1=10$ ，式中 0 是和数，1 是加到下一最高加法级的进位数，然而布尔加法却是 $1+1=1$ 。

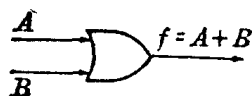


图 1.5 或门惯用的符号

在数字系统中或函数可用电子门实现，或门惯用的符号如图 1.5 所示。在这个电路中，若输入 A 是逻辑‘1’或输入 B 是逻辑‘1’，或者输入 A 和 B 两者都是逻辑‘1’，则门的输出就是逻辑‘1’。对于输入的其他任何情况输出都是逻辑‘0’。

1.5 反函数

在布尔代数中有加法运算和乘法运算，但不存在除法和减法运算。然而，却有另一种基本运算，称为求反，或称求补。假设图 1.6 中开关接到 P 和 Q 点之间，这两个开关具有一对联动触点，其中一个为常开而另一个是常闭。常开触点用布尔变量 A 表

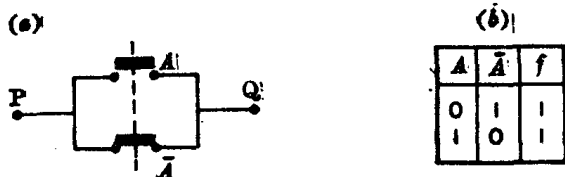


图 1.6 (a) 开关电路； (b) $f = A + \bar{A}$ 的真值表

示，常闭触点用布尔变量 $\bar{A}$ 表示。对于上面的触点，当它断开时 $A=0$ ；显然对于下面的触点，当上面的触点断开时它是闭合的，即 $\bar{A}=1$ 。 $\bar{A}$ 称作 A 的反，又叫非 A 。因此布尔变量 A 上的横线用以表示布尔变量 A 的反。

这个电路的真值表如图 1.6(b) 所示。 $A=0$ ， $\bar{A}=1$ 时则 $f=$