

前 言

21 世纪的时代是信息时代,21 世纪的社会是信息社会。在 21 世纪,信息化成为社会的主要特征,成为经济发展的推动力之一;计算机科学与技术的发展水平、运用水平和教育水平成为衡量信息社会发展的标志之一。

本教材正是在这样的背景下,为贯彻面向 21 世纪教学内容改革精神,从满足教学需要出发,在原自编教材的基础上,结合近十年的教学经验,搜集挖掘了大量最新资料编写而成。

“微型计算机技术”是计算机科学与技术专业的主要课程之一,也是电子信息类各专业的重要课程。课程的目的是培养学生学习和掌握微型计算机硬件知识和应用技术的能力;课程的任务是使学生能从理论上和实践上掌握微机的基本组成、原理、接口技术及硬件连接,建立微机系统的概念,使学生初步具有微机硬、软件开发的能力。

本教材共分 14 章,其特点是:

1. 先进性

以 Intel X86 微处理器为主线,围绕微机最新技术展开本教材。在 8086/8088 基础上,跟随更新的微处理器所采用的新技术来讲解。如介绍 286 存储管理中的实地址和保护地址方式;386 的任务保护与转移;486 的高速缓存;Pentium 的并行流水线和分支预测等新技术。最后介绍一个典型的 Pentium 主板。

2. 基础性

计算机科学与技术日新月异,但新技术都是在一定的基础上形成和发展的。学习、掌握这些新技术也只有在深刻理解这些基础上才能进行。因此,本教材对基础知识仍给以充分的重视。如 8086/8088 的指令、时序、中断和汇编语言等是 X86 系列的基础。

3. 实用性

本书各章都配有实例,可以独立运行。它一方面帮助学生理解教材内容;一方面可应用于实际系统的开发,具有实用性。

4. 灵活性

本书结构合理、取舍灵活、适应面广。根据不同专业的本、专科的教学大纲要求,可以选择不同章节,适当取舍后仍能形成连贯、相对完整的教材。如电子信息类专业可适当减少专用接口等;非电子非计算机专业根据教学要求,建议适当减少 32 位微处理器内部结构及时序的有关章节,还可适当减少接口技术的内容。

本书由田艾平教授主编。王力生副教授编写了第 4,5,12,13 章;田艾平编写了第 1,2,3,6,7,8,9,10,11,14 章,并负责全书的统稿。

限于作者的经验和水平,书中错误与不当之处敬请指教。

田艾平

2000 年 5 月于上海同济园

第一章 绪论

这一章将从三个方面来阐述微型计算机的发展。首先叙述微机的核心——微处理器的技术进步如何推动微机的更新换代；接着讲述微机的灵魂——微机组织结构的发展；最后讨论与微机发展有关的其他技术，以便读者对微型计算机的发展获得较新、较全面的了解。

一、微处理器技术的发展推动微机更新换代

70年代以后，随着大规模集成电路和超大规模集成电路(LSI和VLSI)的出现，计算机的发展进入了一个新时代——大规模集成电路计算机时代，通常称为第四代计算机(第一代电子管计算机、第二代晶体管计算机、第三代中小规模集成电路计算机)。这一个时期，计算机发展出现了一个显著的趋势。一方面研制高速度、强功能、大容量、多外设的价格昂贵的大型机、巨型机；另一方面研制体积小、功耗低、运行环境简单、价格低廉的微型计算机。微型机的显著特点是将运算器、控制器、存储器、I/O接口集成在一块或几块大规模集成电路芯片上。由于微型机具有高的性能/价格比，因此，很快占领了市场，迅速地把计算机应用推向了各行各业。推动微型机发展有两个因素，一是计算机技术及大规模集成电路的迅速发展为微型机发展提供了技术条件；二是微型机应用取得了令人信服的经济及社会效益，从而为微型机发展提供了广阔的市场。特别是1981年世界上最大的计算机制造商IBM公司，以Intel公司的16位微处理器8088为核心推出个人计算机IBMPC(Personal Computer)，这是计算机发展史上的一件大事。它不仅仅是大大推动了微型机产业的发展，而且标志着微型机时代的真正到来。

微型机的发展通常是以微处理器芯片CPU(也称MPU Micro-Processing Unit)的发展为基点。当一种新型CPU(MPU)研制成功，一年之内相应的软、硬件配套产品就会推出，进而使微机系统的性能得到进一步完善，这样只需两三年的时间就会形成一代新的微机产品。微处理器作为微型计算机的核心，其技术的快速发展推动着整个微型计算机技术的进步和更新换代。

美国Intel公司在微处理器的生产上一直处于主导地位。事实上到目前为止，微型机的历史也就是Intel微处理器的发展史。自1971年Intel公司首先研制成功了用于微型计算机的4位CPU，则Intel 4004标志了微型计算机历史的开始。至今30年，经历了六代，现进入了第七代微型机时代。各代的划分通常以CPU的字长、速度和集成度为主要依据。为方便起见，这里将微处理器的发展分成三个时期来叙述。

1. 8088—80486 时期

这一时期涵盖了微处理器发展的第二、三、四代。

1975—1976年，Intel公司推出Intel 8008/8080/8085等微处理器芯片，微机的发展进入了第二代——8位机的时代。除Intel公司外，典型的8位机芯片还有Motorola公司的MC 6800/6809，Zilog公司的Z80等。

1978年Intel公司推出16位微处理器Intel 8086。其所使用的指令集称为80x86指令

集。以后陆续生产出的新型 CPU 都向下兼容 80X86 指令集,因此,称为“80X86 系列 CPU”。1978—1982 年,Intel 公司先后推出了 Intel 8086/8088/80186/80286 等微处理器芯片,微型机的发展进入了第三代——16 位微机时代。IBMPC/XT 机即是以 8088 为 CPU 的典型 16 位微机。16 位微机的典型产品还有 MC68000,Z8000 等。由于 70 年代中期超大规模集成电路工艺研制成功,突破了一片硅片上集成一万个晶体管,16 位微机系统的功能已达到或超过原来中、低档小型机水平,具有丰富的指令系统、多级中断系统、多处理机系统、存储器的段式管理,同时还配备了功能强大的系统软件。

1985 年以后,32 位微处理器问世,开始了第四代微型机时代。Intel 公司首先生产出 80386 微处理器,它是 16 位微处理器体系结构向 32 位体系结构转变的里程碑。其时钟频率为 12.5MHz ~ 50MHz,集成度达 27.5 万个晶体管/片。其内部体系结构、组装工艺及性能均有飞跃提高;32 位字长和 32 位的地址码、新的内存管理技术、指令流水线等使 80386 具有了真正的多任务处理能力,从而能有效地综合处理各种信息——数字、图形、文字和声音。它所组成的 32 位微型机在数据处理、事务管理、工程计算和实时控制等方面得到了广泛的应用。1989 年,Intel 推出了第二代 32 位微处理器 80486(即全 32 位 80486DX),集成度达 120 万个晶体管/片,把 80386 和浮点运算器 80387 及 8KB 的高速缓存器(Cache)集成到一块芯片中,而且支持二级高速缓存(L₂Cache)和采用突发总线传输技术,大大缩短了指令执行时间,特别是片内 Cache 的设置,对后来 Pentium 处理器微机体系结构设计产生了重要的影响。90 年代相继研制出 486SX,带倍频技术的 486DX₂,用于笔记本计算机的节能型的 486SL,3 倍频的 486DX₄。其中 486DX₄ 速度最快,系统时钟可达 100MHz;80486SX 与 80486DX 相比,片内未集成浮点运算器。80486DX 后期采用倍频技术,使微处理器内部工作频率为系统总线频率(外频)的 2 倍、3 倍。90 年代是 32 位微处理器迅速发展、走向成熟的时代。

2. Pentium 时期

1993 年 3 月,著名的 Intel Pentium 微处理器(奔腾,编码 80586,符号 P₃)投入使用。微型机进入 Pentium 时期。这一时期是微处理器从 32 位向 64 位过渡的新时期。在七年的时间里,微机的发展跨过了第五代,第六代,微处理器技术发展之快前所未有的。

到 1999 年为止,Intel 推出了三代奔腾产品:Pentium (1993.3),Pentium II (1997.6),Pentium III (1999.2)。Pentium 处理器不仅保留与 80486 的兼容性,而且在内部集成了浮点运算器和两个 8KB 的 Cache,分别保存指令和数据;还提供两条并行的流水线:U 流水线和 V 流水线,大大提高了指令的并行运算速度。CPU 的内部工作频率从 60M 到 160MHz,使 Pentium 处理器可在一个机器周期内执行完两条指令。Pentium 与后来推出的具有 57 条多媒体扩展指令的 Pentium/MMX 为第一代“奔腾”微处理器产品。Pentium Pro(高能奔腾 95.11)与 Pentium II (97.6)属于第二代奔腾处理器,同时也标志着微型机进入第六代。Pentium Pro 为了解决与 X86 兼容及提高内部执行的并行性而采用了一系列的新技术,例如分支预测技术、乱序技术及超标量结构、可实现指令的动态执行,使 Intel 微处理器技术又进入一新的发展阶段。Pentium II 从体系结构上看是具有 MMX 技术的 Pentium Pro,同时 Pentium Pro-200 与 Pentium II 将 256 ~ 512KB 的 L₂Cache 装入 CPU 卡盒中,优化了 L₂Cache 到系统总线的输入/输出队列和数据缓存器。其集成度已达 700 万门,半导体工艺从 0.8 μ m 降到 0.25 μ m,将采用 0.18 μ m 技术。

90 年代推出了一系列 Pentium II 的产品,分别用于高性能、高价格服务器和工作站,有主

流 PC、低价位 PC。其主要品牌有：第一类服务器和 workstation 产品，代号 Cascades，采用 $0.18\mu\text{m}$ 工艺，主频 600MHz，外频可达 133MHz， L_2 Cache 为 256KB；第二类主流 PC 产品，代号 Clamath，采用 $0.35\mu\text{m}$ 工艺、主频 300MHz，外频 66MHz；代号 Tanner 主频达 500MHz，内建 SSE 指令集，代号 Katmai，主频 450~500MHz，内建 $\text{MM} \times 2$ (KNI) 指令集以便与 AMD K6-2 3DNow! 抗衡；第三类低价位 PC 产品——Pentium II Celeron 系列产品。这是 Intel 公司为与 Cyrix 公司竞争低价位 PC 产品市场而推出的。最早推出的赛扬产品实质就是 P II 的简化版，唯一差别在于去掉了 CPU 内置的 L_2 Cache 和相关的电路。后来陆续推出一系列高性能、低价格的赛扬产品。例如 Celeron 300A，不仅在 CPU 内整合了 128KB 的 L_2 Cache，而且改良赛扬将原来的 slot1 接口做成 socket 370 接口的 PGA 封装，外频为 100MHz，主频达 400MHz 以上，性能趋于 P II，导致 P II 退出市场。

1999 年 2 月 Pentium III 问世，Intel 公司继续推出三类产品以适应不同需求：

服务器 workstation	Pentium Xeon / Cascades (又称传统 P III)。
高性能 PC	Pentium Katmai/Coppermine。
低价位 PC	Celeron Pentium。

Intel 公司对 Pentium III 产品新的命名规则如下：

名称	L_2 Cache	外频 (MHz)
Pentium III	512KB 半速 Cache	100
Pentium III $\times \times \times B$	512KB 半速 Cache	133
Pentium III $\times \times \times E$	256KB 全速 Cache	100
Pentium III $\times \times \times EB$	256KB 全速 Cache	133

传统 P III 最主要的特点是增加 70 条三维图像处理指令、SSE (Streaming SIMD Extensions) 指令集。它不仅增强 P III 在三维图像处理与浮点运算方面的性能，而且 SSE 指令集也可以使原来支持 MMX 多媒体指令集的软件和 Web 开发程序运行得更快。P III 主频为 450~700MHz。

1999 年 10 月推出代号为 Coppermine 的 Pentium III 微处理器 (Pentium 800EB)，成为第六代微处理器的主推产品，其总线频率为 133MHz，主频可达 800~1000MHz；半导体工艺由 $0.25\mu\text{m}$ 转为 $0.18\mu\text{m}$ 。它将传统 P III 的外置 L_2 Cache (256KB) 直接集成到 CPU 核心内，即“On-die L_2 Cache”；并对 L_2 Cache 采用了两点优化：一是高速缓存机制 ATC (Advanced Transfer Cache)，使 L_2 Cache 到 CPU 提供一条直接的 256 位直接通道，使得 L_2 Cache 拥有与 L_1 Cache 几乎相同的与 CPU 直接匹配的速度。二是采用高级系统缓存机制 (Advanced System Buffering)，优化了 L_2 Cache 到系统总线的传送机构。将数据缓存区增加到 6 个，总线队列增加到 8 个，回写式缓存区增加到 4 个。使缓存区的阻塞降低，CPU 运行速度大大提高。Coppermine 的替代产品将是 Willamette P III。

3. 新一代 IA-64

Intel IA-64 微处理器体系将标志微处理器技术进入了全新的高性能的第七代发展时期。Intel 的“X86 微处理器” (也称 IA-32 体系) 经历了 20 年的发展，由于存在以下问题而使继续提高运行速度和性能非常困难。这些问题包括：X86 指令长度可变、寄存器数目有限 (仅 8

个),内存容量 4GB 的限制、8X87 的内部寄存器栈的限制、内核尺寸的限制等。

90 年代末, Intel 公司与 HP 公司合作推出真正的 64 位微处理器体系结构 IA-64, 被称为“显示并行指令计算 EPIC (Explicitly Parallel Instruction Computing)”。其第一代产品(代号 Merced)采用 0.18 μm 半导体工艺、指令长度固定、采用 64 位寄存器阵列、CPU 内置三级高速缓存、超标量并行执行指令,同时采用优化的编译软件、可同时执行 8 条指令。它的内部工作频率从 800MHz 起步,使用 128 位数据通道的 SLOT 总线。第一代 IA-64 微处理器实际上是 CISC、RISC 和 EPIC 技术的结合。因而仍可向下兼容 X86 指令集,可以更高速度执行 X86 指令和运行软件。同时 IA-64 与 HP-LA 系列(HP 用于 Unix RISC 处理器系统)兼容,能更有效地运行于计算机网络环境。

在微处理器和微型机发展中,除 Intel 公司外,AMD 公司、原 Cyrix 公司、Apple 公司、IBM 公司、Motorola 等公司以及台湾的 VIA(威盛)公司都有重要产品推出。例如 AMD 公司的 K6-2/K6-3/K7 系列,尤其是 64 位的 K8 系列。K6-2 融入了高性能的三维图形处理技术——3DNOW! 此项技术大幅度地提高了三维图形的运算性能。AMD 公司在 99 年推出的 K7(代号 Athlon)是对 Intel 的 Katamai 和 Tanner 构成有力的挑战,它是性能价格比高的产品。

在与 X86 不兼容的微处理器市场,有名的产品是 Apple、IBM、Motorola 联合生产的 Power PC 系列处理器。90 年代末推出的 Power PC G4 是它的第四代产品。它采用 0.18 μm 工艺,主频达 1GHz,主要为 64 位结构。台湾 VIA 公司的 Joshua 处理器将成为世纪末的高性能低价市场的重要产品。

我们在综述了微处理器技术的发展后,再来看微型计算机组织结构的发展,主要讨论总线结构和芯片组的发展。

二、微型计算机组织结构的发展

微型计算机的核心部件是一块集成了整个系统主要硬部件及系统启动所需的“自举”程序(ROMBIOS)的系统板或称主板。主板上的核心器件是微处理器及微处理器的外围支持器件(即芯片组)、存储器以及外设的扩展插槽。主板上通过一个有层次化的总线结构将主板上各主要器件互连起来,形成了各功能模块之间的数据、地址及控制信息传送通道。

层次化总线结构主要分三个层次:微处理器总线(Host Bus)或称局部总线(Local Bus),其信号直接与 CPU 连接;第二级为系统总线(System Bus),多由 PCI 总线构成;第三级为外部扩展总线(External Bus),多由 ISA 总线构成,用于主板连接各种 I/O 设备。三个层次总线的速率不同,微处理器总线速率最高,PCI 总线离 CPU 较近,挂接高速的 I/O 设备,如磁盘、内存等;ISA 总线离 CPU 总线距离最远,连接常规低速 I/O 设备。三个层次总线不仅速率不同,通信协议也不同。在实现互连时,层和层之间必须有“桥梁”过渡。这些总线桥就是一组大规模集成专用电路,称为芯片组(chip-set)。随着微处理器性能的迅速提高、产品种类的增多,在保持微机主板组织结构不变的前提下,只改变这些芯片组的设计即可使系统适应不同微处理器的要求,对主板的功能和性能起着决定性的作用。即一块主板能支持何种处理器、内存性能、I/O 接口界面等都取决于所选的芯片组,有的厂家的主板就用芯片组来命名。所以,也称芯片组是主板的灵魂。

芯片组的主要功能部件包括:一个连接微处理器总线与 PCI 总线(系统总线)的控制芯片,一般称北桥。北桥负责系统最重要的数据传送部分,包括处理器、内存与 PCI 总线的高

速数据传送。另一个连接 PCI 系统总线与 ISA 总线(扩展外部总线)的控制芯片,称为南桥。南桥负责主板上的周边器件控制,内置 IDE 界面及外围设置如键盘、鼠标或其他外设的数据传送,它是一片超大规模集成电路接口控制器。随系统性能的不提高,芯片组中不断融入更多的功能,如对高速三维图形处理的接口标准 AGP (Accelerated Graphics Port)。Intel 公司在不断推出新类型处理器的同时也不断推出相配合的芯片组器件。早期的芯片组 430LX 适用于 Pentium 60MHz/66MHz 的微处理器主板。它由三块芯片组成:第一块芯片为 PCMC (PCI, Cache, Memory Controller),第二片芯片 LBX(局部总线加速器),第三片 SIO 为 PCI 到 ISA 总线的桥。以后推出配合 Pentium II 的 440BX/CX/ZX 等系列。其中 440BX 性能最稳定,支持 100MHz 外频,适合超频使用。其北桥采用芯片 FW 8244 3BX,南桥采用 FW 82371AB 芯片。90 年代 Intel 相继推出 800 系列的芯片组,改变了传统的“南桥 + 北桥”的结构。i810 系列是 Intel 推出的整合型芯片组,它主要内置了显示芯片(i752),音效控制器和 Modem 控制器等功能部件,适合一般用户需要。为配合 Pentium III,1999 年 9 月公布的芯片组 i820 是 440BX 的替代产品。从 Intel 800 系列开始,芯片组采用了三块芯片,改变了传统的“南桥 + 北桥”结构。这三块芯片是 MCH (Memory Controller HUB,类似原来北桥)芯片 FW82820; ICH (I/O Controller HUB,类似原南桥芯片)芯片 FW82801AA; FWH (Firm Ware HUB)芯片 FW82802AB。连接 MCH 和 ICH 二者之间的总线结构,采用了 Intel 最新的“HUB Interface”专用总线,比原来 PCI 总线速率提高一倍,达到 266MHz。i840 芯片组于 90 年代末推出。除 Intel 公司外,AMD 的 750, VIA 的 Apollo KX133 支持 AMD 的 Athlon 处理器,都是具有竞争能力的高性能芯片组。

随着计算机技术的发展,主板集成度也越来越高,甚至出现除 CPU 外,将其他功能都集成到一块芯片上的情况。但是,无论 PC 机如何发展和变化,CPU 的支持电路,例如中断控制器、总线仲裁器、DMA 控制器、定时/计数器、系统复位,实时时钟/日历和 CMOSRAM 等都作为独立功能模块提供调用和系统测试。这些功能将在本书后续章节中详细讨论。

以上介绍了微机组织结构的发展,讨论了层次化总线结构和芯片组的发展,它们决定了主机的结构,决定了主机板结构的发展趋势:集成度越来越高,功能越来越强,速度越来越快,故障率越来越低。

综合上述,可以看出微处理器技术不断发展推动了微型计算机技术以极快的速度发展。下面讨论近年来微机采用的新技术。

三、微型计算机发展的新技术

1. 指令集的发展

为增强微机在多媒体、3D 图像处理等方面的应用能力而产生了 MMX, 3DNOW!, SSE 等新的指令集。

(1) MMX 技术

MMX 采用单指令多数据技术(SIMD),可对一条指令的多个数据同时进行处理。一次可处理 64bit 任意分割的数据,且数据可按最大数取齐。若计算结果超过实际处理能力,MMX 利用所谓“饱和(Saturation)”功能,能在处理范围内自动变换和处理。MMX 主要用于整数运算,解决图形描绘、数据压缩、音频处理等问题。

(2) 3DNOW! 技术

它由 AMD 公司在 K6-2 中推出,该技术实际上指一组机器码级的扩展指令集(21 条指令)。这些指令也是以 SIMD 方式实现 3D 处理中关键的一些浮点运算、整数运算、数据预取等的功能。3DNow! 主要完成浮点运算,解决三维建模、坐标变换、效果渲染等三维运算。而且每个时钟周期可执行 4 个浮点运算。3DNow! 是功能很强的三维图像处理工具,使“虚拟现实”更为生动。

(3) SSE 指令

它可以是 Intel 的 MMX 与 AMD 的 3DNow! 技术相结合的产物。SSE 指令兼容所有 MMX 指令,而且保证 MMX 软件执行得更快。又因为 SSE 使用了分离的指令寄存器,保证了浮点运算的并行性,再加上寄存器的位数为 128 位,PIII 又内置了 L₂Cache,从而保证了并行、快速处理三维图像。

2. 高速缓存(Cache)技术的发展

从 80486 以来,微处理器通常采用两级 Cache 结构,内置于 CPU 的 Cache 称 L₁Cache,而 L₂Cache 可以外置于主板(速度只有 CPU 的一半),也可内置于 CPU(与 CPU 同速,如 PII,赛扬 A 系列)。L₂Cache 的容量可达 256KB,512KB,1MB,2MB 等。AMD 的 K6-3 处理器采用三级高速缓存,它包括一个全速 64KBL₁Cache,一个内置全速 256KBL₂Cache,还有一个安装在主板、可运行在 100MHz 外频的 L₃Cache。这种 Cache 结构不仅扩大了 Cache 的容量,而且提高了总线的带宽、信息传输的速率,极大地发挥了 CPU 的处理能力。

3. 深亚米半导体工艺

90 年代末,微处理器通常采用 0.25 μ m 铝工艺芯片,2000 年将全部转向 0.18 μ m 工艺。这样,将使集成度更高,CPU 的速度也将超过 1GHz。预计在 2000 年下半年将实现 0.13 μ m 铜工艺芯片。这意味着体积更小、集成度更高、耗电更少、可靠性更高。

4. 流水线、分支预测及乱序执行技术

流水线是将指令执行分成若干步,让各步操作重叠,从而实现几条指令并行处理的技术。例如,Pentium 指令执行可分五步:PF 预取指令、D1 指令译码、D2 地址生成、EX 执行——ALU 和高速缓存存取、WB 回写,并让各步操作重叠、从而实现几条指令并行处理。Pentium 处理器中有两条流水线,U 流水线能执行 2 条指令的超标量处理单元。两条五步骤的流水线并行操作如下:

指令步骤 \ 时钟周期	时钟周期									
	1	2	3	4	5	6	7	8	9	10
PF	L ₁	L ₃	L ₅	L ₇						
	L ₂	L ₄	L ₆	L ₈						
D1		L ₁	L ₃	L ₅	L ₇					
		L ₂	L ₄	L ₆	L ₈					
D2			L ₁	L ₃	L ₅	L ₇				
			L ₂	L ₄	L ₆	L ₈				
EX				L ₁	L ₃	L ₅	L ₇			
				L ₂	L ₄	L ₆	L ₈			
WB					L ₁	L ₃	L ₅	L ₇		
					L ₂	L ₄	L ₆	L ₈		

并行发出两条指令的过程称为“配对”过程,U流水线可执行 Intel 体系结构中任何指令,而 V 流水线只能执行指令配对规则所定义的简单指令。在指令配对时,发给 V 流水线的指令总是发给 U 流水线的那条指令之后的下一条顺序的指令。此外,Intel 高档微处理器中还设立了尽可能多的执行部件,为并行执行微操作的指令提供条件。这种具有多重执行部件的结构称为超标量(Superscalar)结构。

分支预测技术用来优化处理器的流水线。即在执行分支指令前,预取分支指令的目的地指令,以减少取指的延迟。这样,在执行分支指令时,一般就不是串行执行指令,加快了指令的执行(详见有关章节)。

为进一步提高微处理器速度,Intel 推出了乱序执行技术以支持其超标量、超流水线设计。

所谓乱序执行技术,就是打破指令的顺序执行。它是在微处理器的微体系结构中建立特殊的指令缓存池来实现的。指令缓存池分为重排序缓存器和保留站缓存器。通过对指令分析,把那些已形成操作数的指令先行送到流水线执行,打破指令的顺序执行。把不能立即执行的指令搁置在一边,而把能立即执行的后续指令提前处理。每执行一条指令后,剩下指令又重新组合为适当的序列。这样就可克服在执行一些可引起延时的指令时,可能会造成的流水线工作停顿的问题,从而强化了内部操作的并行性。

最后,讨论一下当前微机发展的主流方向。

由于微机设计技术和制造工艺的飞速进步,现代微机系统的整体性能有了大幅度的提高。单机系统的 CPU 速度提高及可升级性、存储和外设能力的增加、总线及局部总线结构的改良、显示系统高速及高精度处理的发展使微型计算机系统的综合指标日益接近中、小型机的水平;在此基础上,图形软件技术、多窗口图形操作环境、图文扫描与传真、数据通信、语音合成、视听综合处理等技术获得空前的发展,使得多媒体技术蓬勃兴起。

80 年代兴起的计算机网络技术是计算机技术和通信技术高度发展、相互结合的产物。经过 20 年的发展,网络技术更加成熟,目前以用户/服务器、用户/浏览器方式为核心的微机网络计算和 Internet 网络技术也已成为信息社会的基础——“网络即计算机”时代已到来。这使得原来的单机系统体系结构、运算逻辑、处理对象(数据或多媒体)、操作系统、编译器、编程语言都在经历着从单机系统向网络计算的转变。

计算机技术发展如此之快,使得新的产品、新的软件层出不穷。如何保证用户以往的软件、硬件投资及工作成果不会因为购置新的设备或配置新的系统而被“抛弃”,而且还能享受技术飞速进步带来的好处,这就提出了开放体系结构的问题。一个开放系统在系统之间(指异种机和异种网)应具有可移植性、可操作性、可伸缩性和互兼容性。因此,开放性系统技术是微型计算机发展的又一个重要方向。

微机发展的第四个主流趋势是缩微技术。它包含两个方面,一是指微型机性能小型机化,即利用新一代高档微机的优良性能并结合由网络技术所提供的共享软、硬件资源,使微型机在某些范围内取代中、小型机;二是指微机性能不变,体积不断缩小。从桌上型到便携式,从膝上型到笔记本型,直到手持式 PC(HPC)、个人数字处理器(PDA)等移动性强、能处理

多媒体信息、具有强大通信能力的高智能设备。

如上所述,多媒体技术(Multimedia)、网络计算(Network Computing)、开放系统(Open System)、缩微技术(Downsizing)标志着微机当前的主流发展方向。

第二章 Intel 80X86 系列微处理器

本章主要讨论 Intel 80X86 系列微处理器:8088/8086/80286/80386/80486/Pentium 的主要功能结构、内部寄存器阵列、数据组织等内容;简要介绍浮点运算器 80X87 的功能结构。

8086/8088CPU 虽然是 80X86 系列的原始型,但 X86 汇编语言及高档微处理器均以 8086/8088 为基础发展起来,同时与本课程相配套的接口实验硬件平台也是以 8086/8088 为主 CPU 加上中断控制器 Intel 8259A、DMA 控制器 Intel 8237A、定时计数器 8253 以及并行串行接口芯片等构成。因此有必要首先讲清楚 Intel 8086/8088 的功能结构,为 X86 汇编语言的学习和高档微处理器的学习打下基础

第一节 Intel 8088/8086 CPU 及其系统

8086 和 8088 均为 16 位微处理器芯片,它们具有相同的指令系统,相同的 CPU 内部结构。二者主要差别是数据宽度不同,8086 的内部数据是 16 位,外部数据总线的宽度也是 16 位,而 8088 的内部数据是 16 位,但外部数据宽度为 8 位,所以也称做准 16 位微处理器。

8088CPU 是 IBM-PC/XT 微机系统板的核心,在微型机的发展史上起过重要的作用。而且它的指令流水线,存储器的分段等概念在以后的 80X86 微处理器系列中一直被沿用和发展着。下面主要介绍 8088,最后简述 IBM PC/XT 的主板结构。8088CPU 的主要功能如下:

(1) 内部 16 位的数据宽度,对外为 8 位数据总线接口。8088 既可处理 8 位(字节)数据,也可以处理 16 位(字)数据,它的数据存取按字节进行。

(2) 20 位地址线,寻址范围可达 1M 存储器空间。

(3) CPU 内部设置了 14 个 16 位通用寄存器。

(4) 指令系统功能强,既可执行 8 位又可进行 16 位的算术、逻辑运算;具有乘法指令和字符串的操作指令。

(5) 中断处理功能强,可处理 256 级中断源请求。

(6) 可接入协(从)处理器,组成多处理器系统。

这里首先介绍 CPU 内部的寄存器阵列。CPU 内部寄存器的数目、字长和种类不仅关系到 CPU 的功能和运算速度,而且与用户编写程序密切相关。

一、8088 的寄存器

8088 内部有 14 个 16 位的寄存器,可供程序直接使用,这些寄存器按功能可分三组:通用寄存器组、控制寄存器组和段寄存器组,如图 2-1 所示。

(一) 通用寄存器

8088 有 8 个通用寄存器。这 8 个通用寄存器又分成两类:数据寄存器和指示、变址寄存器。以下分别介绍它们的功能:

1. 数据寄存器

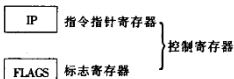
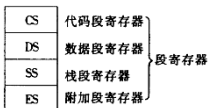
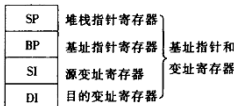
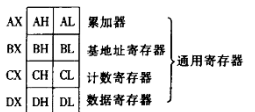


图 2-1 8088 寄存器

包括 4 个 16 位寄存器,SP(堆栈指针)、BP(基址指针)、SI(源变址寄存器)、DI(目的变址寄存器)。

(1) SP, BP 是专门对堆栈进行操作的指针寄存器。

SP——栈指针,自动指示栈顶位置。执行压入堆栈指令和弹出堆栈指令(POP)的操作,必须使用 SP 栈指针。

BP——基址指针,作为附加栈指针,可访问非栈顶单元的堆栈元素。BP 指针对栈区元素的访问提供方便、灵活的寻址方法,又称广义栈指针。

(2) SI, DI 变址寄存器用于访问内存中数据区的信息,例如,访问数组中的元素,字符串中的元素等。

SI——源变址寄存器,在字符串操作中指示源字符串地址。

DI——目的变址寄存器,在字符串操作中指示目的字符串地址。

通用寄存器组的特殊功能见表 2-1 所示。

(二) 控制寄存器

控制寄存器包括 IP(指令指针寄存器)和 FR(状态标志寄存器)。

1. 指令指针 IP(Instruction Pointer)

为了取指令,8088 内部设置了一个 16 位的指令指示器 IP,它指向要取出的下一条指令的地址(实际是 16 位的逻辑地址)。每当取出一个指令字节后,IP 自动完成加 1 操作。用户

数据寄存器包括了 4 个 16 位寄存器:AX(累加器)、BX(基址寄存器)、CX(计数寄存器)和 DX(数据寄存器)。这些寄存器每个又可分成高 8 位、低 8 位分别寻址而构成 8 个 8 位寄存器,即 AH, AL, BH, BL, CH, CL, DH, DL。

数据寄存器通常被指令系统用来完成 16 位或 8 位的算术运算或逻辑运算。它们除了主要用来存取操作数或中间结果外,不同的寄存器还分别规定了特殊的用途,以便使程序设计规范化。这些寄存器的特定用法是:

AX——主累加器。在所有的输入、输出操作中,数据传送都必须经过累加器 AX(字传送)或 AL(字节传送);乘除运算时提供隐含操作数和保留结果;完成字符串操作等。

BX——基址寄存器。在计算内存地址时,提供一个偏移地址,扩大寻址能力。

CX——计数寄存器,一般称计数器。在字符串操作时,用它来控制循环操作的次数。CL 作为移位操作计数器。

DX——数据寄存器。除了用于 16 位乘、除法运算,在输入/输出操作中提供 I/O 端口地址。

2. 指针和变址寄存器

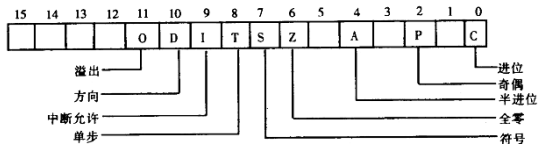
一般不能对它直接操作(但在 DEBUG 程序中可以设置 IP 的值,以控制程序的执行)。

表 2-1 通用寄存器的特定用法

寄存器名	功 能
AX	16 位乘法、除法运算、输入/输出字传送
AL	8 位乘法、除法运算、输入/输出字节传送、十进制数的运算
AH	8 位乘法、除法运算
BX	间接寻址时作为基址寄存器、查表转换指令中提供转换表的基地址
CX	在循环和字符串操作中作循环次数计数器
CL	在移位操作中作移位计数器
DX	16 位乘、除法运算、输入/输出操作时提供 I/O 端口地址
BP	栈操作的附加指针,可对非栈顶单元进行操作
SP	指向栈顶的栈指针
SI	间接寻址时作为变址寄存器,字符串操作时作为源变址寄存器
DI	间接寻址时作为变址寄存器,字符串操作时作为目的变址寄存器

2. 状态标志寄存器 FR (Flag Register)

状态标志寄存器与汇编语言程序设计有密切的关系,它的内容通常称做处理器状态字 PSW(Processor Status Word)。状态寄存器可记录算术/逻辑等运算后的结果特征,提供程序转移的测试条件以及控制 CPU 运行的状态条件。FR 也是一个 16 位寄存器,但它只设置了 9 位标志,其中 3 位是控制状态,可直接控制 CPU 的运行状态,6 位是状态标志,反映 CPU 操作的结果,剩下 7 位未用,为 286,386 等的扩充。各标志位的安排如下:



各标志位如下:

CF——进位标志(Carry Flag)。若 CF = 1,表示算术运算时产生进位或借位,否则 CF = 0。移位指令会影响 CF。

PF——奇偶标志(Parity Flag)。若 PF = 1,表示操作结果中“1”的个数为偶数,否则 PF = 0。这个标志位主要用于检查数据传送过程中的错误。

AF——辅助进位(Auxiliary Carry Flag)。若 AF = 1 表示字节运算产生低半字节向高半字节的进位或借位,否则 AF = 0。辅助进位也称半进位标志,主要用于 BCD 码运算的十进制调整。

ZF——全零标志(Zero Flag)。若 ZF = 1,表示操作结果为全零,否则 ZF = 0。

SF——符号标志(Sign Flag)。SF = 1,表示符号数运算后的结果为负数,否则 SF = 0。

OF——溢出标志(Overflow Flag)。若 OF = 1,表示当进行算术运算时,结果超过了最大范围,否则 OF = 0。当执行中断指令 INTO 时,若 OF 为 1,则产生溢出中断。

以上 6 位标志为状态标志位,以下为 3 个控制标志位。

IF——中断允许标志(Interrupt Enable Flag)。若 IF = 1,则 CPU 可以响应外部可屏蔽中断的中断请求;若 IF = 0,则 CPU 不允许响应中断请求。IF 对非屏蔽中断请求 NMI 无影响。IF 的状态可由中断指令设置,指令 STI 使 IF = 1,CLI 使 IF = 0。

DF——方向标志(Direction Flag)。DF = 1,表示执行字符串操作时按着从高地址向低地址方向进行(即按减址方向进行);否则 DF = 0(即按增址方向进行)。DF 位可由指令控制,指令 STD 使 DF = 1,CLD 使 DF = 0。

TF——单步标志(Trace Flag),又称跟踪标志。该标志位在调试程序时可直接控制 CPU 的工作状态。当 TF = 1 时为单步操作,CPU 每执行一条指令就进入内部的单步中断处理,以便对指令的执行情况进行检查;若 TF = 0,则 CPU 连续执行程序。TF 的状态不能用指令直接设置,但在 DEBUG 程序下可用 T 命令控制。状态标志位的符号见表 2-2。

表 2-2 状态标志位的符号表示

标志位	标志为 1	标志为 0	标志位	标志为 1	标志为 0
CF 进位(有/否)	CY	NC	SF 符号(负/正)	NG	PL
PF 奇偶(偶/奇)	PE	PO	IF 中断(允许/禁止)	EI	DI
AF 半进位(有/否)	AC	NA	DF 方向(减量/增量)	DN	UP
ZF 全零(是/否)	ZR	NZ	OF 溢出(是/否)	OV	NV

(三) 段寄存器

段寄存器 CS,DS,SS 和 ES 是 4 个 16 位的寄存器,用来寄存存储器各分段的基地址。段寄存器在确定内存单元地址时起重要的作用。

8088 对 1M 字节的内存空间采用分段管理的方法,按所存储信息的性质划分为代码段、数据段、堆栈段和附加段。每一分段最大不超过 64K 字节。这 4 个段在地址空间上可以是分离开的或连续的,甚至可以是部分重叠的或完全重叠的,其在内存的位置取决于相应的段寄存器的内容,如图 2-2 所示。

CS——代码段寄存器(Code Segment Register)。标识当前代码段。一切指令都是从此段取出的。

DS——数据段寄存器(Data Segment Register)。标识当前数据段。执行程序的数据操作(常量、变量等)需访问该数据段。

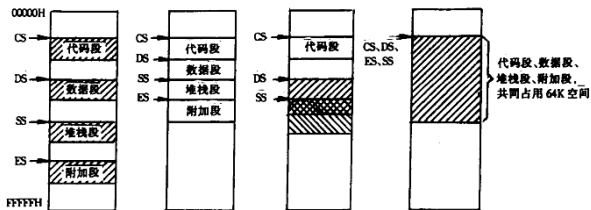


图 2-2 存储器的分段示意图

SS——堆栈段寄存器(Stack Segment Register)。标识堆栈段,这是一个先进后出的数据区。凡是以压栈、弹出操作来存取数据都在此段内进行。通常用来保存动态临时信息如子程序、中断服务程序的返回地址、传送的参数等。

ES——附加数据段寄存器(Extra Segment Register)。它指向当前附加数据段,该段为内存的第二个数据区。目的串等特殊数据的处理指定在该段进行。

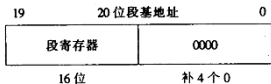
二、8088 存储器组织

(一) 存储器的分段管理

8088 有 20 位地址线,可直接寻址的内存空间是 1MB(地址范围 00000H ~ FFFFFH),但 8088 内部寄存器长度及传送、处理的数据宽度均为 16 位。要用 16 位的 CPU 内部机制表示 20 位的地址信息,8088 要把存储器空间分成若干段,每一段用一个段寄存器来标识。段寄存器的内容就确定了相应段的起始位置,称作段的基地址。段的基地址是由段寄存器的内容(也称为段值)左移 4 位构成,即:

$$\text{段的起始地址(段基地址)} = (\text{段寄存器的内容}) * 2^4 = \text{段值} * 10\text{H}$$

如下所示:



只要改变段寄存器的内容,那么,该段就可以在内存中重新定位。因此,同一个程序段可用指令初始化段寄存器,该段就可以装到内存的不同位置,因此,程序在内存是浮动的,称为程序段的重定位(relocate),图 2-3 说明程序段的重定位。这样一个程序在不同时间装入不同段仍能正常运行,而无需修改软件;这样可以简化程序设计,使

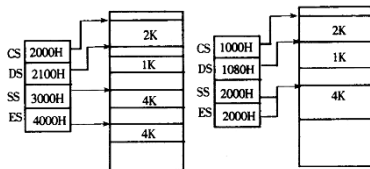


图 2-3 存储器的重定位

程序结构性强。

CPU 对内存进行读写操作时的 20 位地址码称作物理地址,而段寄存器的内容(段值)以及相对段基址的偏移量称逻辑地址。存储器的分段管理和程序段的重定位,使用户编写程序时只涉及逻辑地址,从而大大简化了程序的设计方法和对内存空间的动态管理。

(二) 物理地址的形成

8088 系统中,每一个存储单元都认为有两类地址:逻辑地址和物理地址。

由于 8088 具有 20 根地址线,存储器的物理地址是一个 20 位的二进制数值(从 00000H 到 FFFFFH),它与 1M 字节存储空间中每一个存储单元是一一对应的。

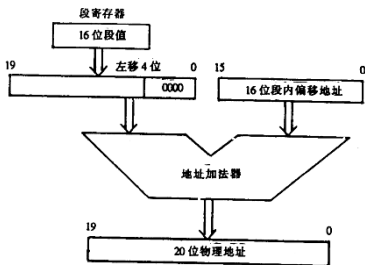


图 2-4 物理地址的形成

程序中所涉及到的地址都是逻辑地址。逻辑地址通常有两类:段值和段内偏移地址。8088 某一存储单元的逻辑地址可表示为“段值:偏移”的形式。

在逻辑地址中无论是段值还是偏移地址,其值都是 16 位的二进制数。CPU 内部形成 20 位物理地址是 CPU 根据操作的性质和要求选择某一个段寄存器,将段寄存器的内容左移 4 位(右边补 4 个零)形成 20 位的段起始地址,再加上 16 位的段内偏移地址而形成的,如图 2-4 所示。

例如,DS 的内容为 2700H,偏移地

址为 0020H,相应的物理地址为:

$$\begin{array}{r}
 2700\text{H} \times 10\text{H} = 27000\text{H} \text{--- 段基址} \\
 + \quad \quad \quad 0020\text{H} \text{--- 偏 址} \\
 \hline
 27020\text{H} \text{--- 物理地址}
 \end{array}$$

8088 确定存储单元地址时,段寄存器和偏移量有着对应的关系,这是 CPU 的隐含约定。例如,在取指令时,总是使用 CS 和 IP;堆栈操作时使用 SS 和 SP;取数据时通常使用 DS 段寄存器和通过一定的寻址方式确定的有效偏移地址 EA 等等。CPU 寻址时段寄存器和偏移量的对应关系见表 2-3。

表 2-3 段寄存器与偏移量的对应关系

存储器操作类型	约定的段寄存器	可替换的段寄存器	偏移地址
取指令	CS	无	IP
堆栈操作	SS	无	SP
一般读/写数据	DS	CS, ES, SS	有效地址 EA
BP 做为基地址	SS	CS, DS, ES	有效地址 EA
源字符串操作	DS	CS, ES, SS	SI
目的字符串操作	ES	无	DI

对照表 2-3,各段的物理地址如下:

(1) 取指令时

$$\text{指令物理地址} = (\text{CS}) * 10\text{H} + (\text{IP})$$

例

$$(\text{CS}) = 2000\text{H}$$

$$(\text{IP}) = 0010\text{H}$$

$$\text{指令物理地址} = 2000\text{H} * 10\text{H} + 0010\text{H} = 20010\text{H}$$

(2) 堆栈操作

$$\text{栈顶单元物理地址} = (\text{SS}) * 10\text{H} + (\text{SP})$$

$$\text{栈区单元物理地址} = (\text{SS}) * 10\text{H} + (\text{BP})$$

(3) 操作数寻址

$$\text{操作数物理地址} = (\text{DS}) * 10\text{H} + \text{EA}$$

$$= (\text{ES}) * 10\text{H} + \text{EA}$$

有效地址 EA 由具体的寻址方式决定。

以上三种对应关系如图 2-5 所示。

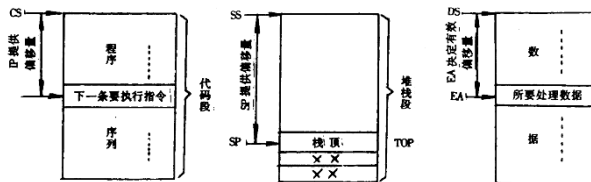


图 2-5 物理地址与逻辑地址的关系

(三) PC/XT 的内存空间分配

PC/XT 的 1MB 存储空间划分成三个区域,即 RAM 区;保留区;ROM 区。如图 2-6 所示。

1. RAM 区

存储器空间的低地址区 (00000H ~ 9FFFFH) 0 ~ 640KB 的存储器区域是 PC/XT 的读写存储器 (RAM) 区。该区中最低的 1K 空间是 8088 的 256 级中断源的中断入口地址表。

2. 保留区

128KB 存储空间是系统保留区 (A0000H ~ BFFFFH), 用作字符/图形显示缓冲区的区域。对于不同的显示适配器,实际使用的存储器区域各不相同。IBM 单色字符显示适配器使用的缓冲区容量是 4KB, 地址为 B0000H ~ B0FFFFH, 彩色字符图形显示适配器使用的缓冲区容量是 16KB, 地址为 B8000H ~ BFFFFH, 如果使用高分

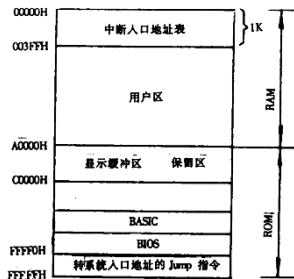


图 2-6 存储器空间的分配

分辨率的显示适配器,则显示缓冲区要使用更大的存储区域。

3. ROM 区

存储空间最后 256KB 是系统 ROM 区(C0000H ~ FFFFFH)。这个区域里安装的存储器都是只读存储器(ROM)。PC/XT 系统板上安装了 40KB 的基本 ROM,其中包括 8KB 的基本输入输出系统 BIOS 和 32KB 的 ROM BASIC。

在系统板上安装的存储器通常有 RAM 128KB ~ 256KB 和系统基本 ROM 40KB,其他存储器都出现在 I/O 通道中的扩展板上。

三、8088 内部的功能结构

8088 由两个独立的功能部件构成:一个是执行部件 EU (Execution Unit);另一个是总线接口部件 BIU (BUS Interface Unit),如图 2-7 所示。

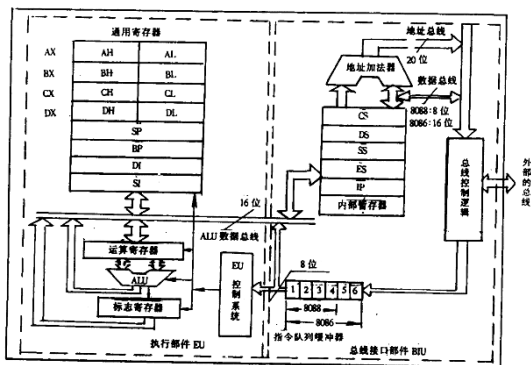


图 2-7 8088/8086 CPU 内部结构

(一) 执行部件 EU

EU 由运算部件(ALU)、8 个 16 位的通用寄存器、标志寄存器(FR)和控制部件组成。其功能是执行所有的指令;向总线接口部件(BIU)提供指令执行结果的数据和偏移地址,并对通用寄存器和标志寄存器进行管理。

EU 从 BIU 的指令队列取出指令操作码,经过译码分析发出相应控制信号。如果是运算操作,操作数经暂存器送入 ALU,运算结果经内部 ALU 总线送到相应的寄存器,同时,根据运算结果设置状态标志位 FR。如果执行指令时需要从存储器或 I/O 设备取数据,则 EU 向 BIU 发出请求,由 BIU 通过 8088 外部总线访问存储器或 I/O 设备,取回的数据通过 BIU 的内部通信寄存器和 ALU 总线送到 ALU 或通用寄存器。每当 EU 准备好执行新的指令时,就从 BIU 的指令队列取一个字节指令操作码,然后加以执行。若此时指令队列是空白的,EU 就处于等待指令状态,一旦指令队列出现指令,EU 立即取出并执行。EU 除了几条控制线