

数字逻辑设计基础

下册

罗朝杰编著



数字逻辑设计基础

下 册

罗朝杰 编著

王蔚亢 校

人民邮电出版社

内 容 提 要

本书系统地介绍了硬件逻辑设计的基础理论和设计方法。全书分上下两册。上册包括一至五章，主要讨论逻辑代数和各种组合逻辑电路，内容有：逻辑代数基础，算术运算基础，门电路，组合逻辑设计基础，组合逻辑单元电路设计。下册包括六至十章，主要讨论开关理论和各种时序逻辑电路，内容有：触发器设计，时序逻辑设计基础，时序逻辑部件设计，半导体存储器，数字系统设计。

本书重点介绍利用中小规模集成电路进行逻辑设计的原理和方法，关于大规模集成电路（如RAM和ROM）的应用也有所介绍。

本书可供从事数字技术的工程技术人员及大专院校有关专业师生参考。

数 字 逻 辑 设 计 基 础

下 册

罗朝杰 编著

王蔚亢 校

人民邮电出版社出版

北京东长安街27号

河北省邮电印刷厂印刷

新华书店北京发行所发行

各地新华书店经售

开本：787×1092 1/16 1983年4月 第一版

印张：22 12/16 页数：182 1983年4月河北第一次印刷

字数：573千字 印数：1—10,600册

统一书号：15045·总2642—有5268

定价：2.95元

目 录

第六章 触发器逻辑设计	(1)
第一节 时序逻辑电路的基本概念	(1)
一、组合逻辑电路和时序逻辑电路.....	(1)
二、时序逻辑电路的结构和基本概念.....	(8)
三、状态表和状态图.....	(7)
四、基本触发器设计.....	(9)
五、三态触发器设计.....	(11)
第二节 功能触发器设计	(12)
一、概述.....	(12)
二、RS触发器设计.....	(13)
三、D型触发器设计.....	(19)
四、T型触发器设计.....	(21)
五、JK触发器设计.....	(24)
六、简单触发器存在的问题.....	(28)
第三节 边沿操作型触发器设计	(31)
一、概述.....	(31)
二、维持逻辑和阻塞逻辑.....	(32)
三、维持阻塞触发器设计.....	(34)
四、主从结构的工作原理.....	(39)
五、主从触发器.....	(41)
六、可靠性问题.....	(41)
第四节 集成单元触发器	(44)
一、概述.....	(44)
二、集成单元D型触发器.....	(45)
三、集成单元JK触发器.....	(46)
四、集成单元JK引导器.....	(48)
五、触发器之间的相互转换.....	(49)
思考题和习题	(52)
第七章 时序逻辑设计基础	(55)
第一节 建立原始状态表	(55)
一、时序系统的设计过程.....	(55)
二、建立原始状态图.....	(56)
三、建立原始状态表.....	(60)
第二节 状态化简	(63)
一、概述.....	(63)
二、完全描述系统的状态化简(隐含表法).....	(64)
三、完全描述系统的状态化简(输出分类法).....	(69)

四、非完全描述系统的状态化简	(72)
第三节 状态分配	(83)
一、概述	(83)
二、状态分配的基本分析方法	(85)
三、利用相邻性的状态分配	(89)
四、降低相关性的状态分配	(92)
第四节 状态函数化简	(99)
一、动态卡诺图	(99)
二、状态函数化简	(103)
三、输出函数化简	(110)
四、同步时序系统设计举例	(113)
第五节 异步时序系统	(117)
一、异步时序系统分析	(117)
二、竞争和冒险	(120)
三、异步时序系统的状态化简	(123)
四、异步时序系统的状态分配	(126)
五、异步时序电路设计举例	(131)
思考题和习题	(135)
第八章 常用时序逻辑部件设计	(143)
第一节 同步计数器设计	(143)
一、概述	(143)
二、二进制同步计数器设计	(145)
三、十进制同步计数器设计	(147)
四、特殊功能同步计数器设计	(150)
五、任意进制同步计数器设计	(157)
六、多余状态分析	(165)
第二节 串行计数器设计	(167)
一、概述	(167)
二、二进制串行计数器设计	(167)
三、时钟覆盖设计法	(169)
四、组合计数器设计	(177)
五、计数器中的冒险现象—译码脉冲	(181)
六、计数器的最高工作频率	(182)
第三节 移位型时序逻辑部件设计	(183)
一、寄存器	(183)
二、移位寄存器设计	(18)
三、环形计数器设计	(188)
四、扭形计数器设计	(189)
五、移位计数器设计	(192)
六、脉冲分配器设计	(195)
七、序列滤波器设计	(196)
八、序列发生器设计	(202)
九、伪随机序列发生器设计	(206)

第四节 数字运算电路设计	(212)
一、概述	(212)
二、二进制加法器设计	(212)
三、十进制加法器设计	(215)
四、减法器和加/减器设计	(219)
五、乘法器设计	(223)
六、除法器设计	(225)
第五节 中规模集成时序部件	(226)
一、概述	(226)
二、MSI串行计数器	(227)
三、MSI同步计数器	(229)
四、MSI移位寄存器	(234)
思考题和习题	(236)
第九章 半导体存储器	(239)
第一节 概述	(239)
一、存储器的分类	(239)
二、存储器的主要指标	(240)
三、存储器的一般框图	(241)
四、单向译码存储矩阵	(241)
五、双向译码存储矩阵	(242)
六、页面结构	(243)
第二节 双极型随机存储器(RAM)	(245)
一、TTL射极读写随机存储器	(245)
二、TTL集电极读写随机存储器	(250)
三、TTL位片存储器实例	(252)
四、 I^2L 随机存储器	(254)
五、ECL随机存储器	(255)
第三节 MOS随机存储器	(256)
一、MOS动态移位单元	(256)
二、CMOS动态移位单元	(259)
三、MOS静态移位单元	(260)
四、MOS静态存储单元	(261)
五、MOS动态存储单元	(261)
六、顺序存取存储器	(263)
七、大规模集成MOS动态存储器	(265)
第四节 只读存储器(ROM)	(268)
一、DTL只读存储器(DTL-ROM)	(268)
二、TTL只读存储器(TTL-ROM)	(269)
三、 I^2L 只读存储器(I^2L -ROM)	(271)
四、MOS只读存储器(MOS-ROM)	(272)
五、可编程只读存储器(PROM)	(273)
六、只读存储器应用举例	(274)
第五节 可编程序逻辑阵列(PLA)	(279)

一、可编程序逻辑阵列的结构	(279)
二、组合型PLA	(280)
三、时序型PLA	(281)
第六节 电荷控制器件(CCD)	(284)
一、CCD器件的结构	(284)
二、电荷存贮	(285)
三、电荷转移	(286)
四、输入输出结构	(287)
五、CCD存贮器	(288)
思考题和习题	(288)
第十章 数字系统设计	(291)
第一节 数字系统概述	(291)
一、一般数字系统	(291)
二、数字计算系统	(292)
三、通用计算机的结构	(293)
四、系统模拟	(296)
第二节 小型数字系统设计	(297)
一、控制器概述	(297)
二、移位型控制器设计	(298)
三、计数型控制器设计	(301)
四、用中规模集成组件设计控制器	(304)
五、微程序控制器设计	(305)
第三节 用时序流程图设计数字系统	(309)
一、降维卡诺图	(310)
二、时序流程图	(313)
三、状态函数化简	(315)
四、设计举例	(319)
第四节 寄存器传送语言	(324)
一、概述	(324)
二、基本符号	(325)
三、基本语句	(329)
四、硬件程序	(335)
五、程序流程图	(337)
六、寄存器传送的实现	(338)
七、控制器设计	(343)
八、应用举例	(348)
思考题和习题	(352)
主要参考文献	(357)

第六章 触发器逻辑设计

从这一章开始，我们将进入时序逻辑的范畴，并讨论与之有关的设计理论和工程问题。时序逻辑的问题与组合逻辑的问题有着本质的区别，分析方法也不尽相同。

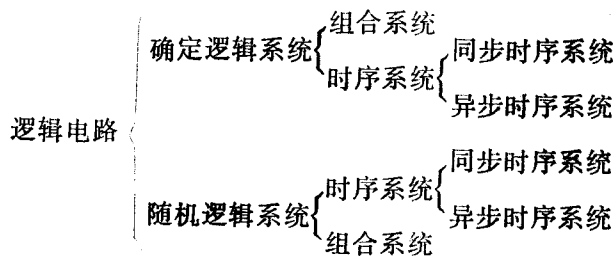
触发器是最简单的时序电路，它具有两个不同的状态(0态和1态)，可以用来表示一个逻辑变量的两种逻辑值0和1；同时，触发器还有自锁能力，能够长期保持它的状态，是存放一位二进制数的理想器件。正因为如此，触发器在时序逻辑领域内占有相当重要的地位，它被作为基本记忆元件广泛用于各种时序系统中。在这一章里，我们将专门讨论各种触发器的逻辑功能、设计原理、性能指标和实际使用问题，并初步建立一些关于时序逻辑的基本概念，为以后几章的讨论奠定基础。

第一节 时序逻辑电路的基本概念

一、组合逻辑电路和时序逻辑电路

1. 逻辑电路的分类

从系统性能来考虑时，逻辑电路可按下列方式来分类：



随着数字技术的发展，逻辑电路形成了两个分支，即确定逻辑系统和随机逻辑系统。以必然事件为研究对象的数字系统，称为确定逻辑系统。确定逻辑系统的特点是，输入为确定的逻辑变量，输出是输入的确定函数，输入和输出都是决定性的现象，要么必然发生(取值为逻辑1)，要么不可能发生(取值逻辑0)。以偶然事件为研究对象的数字系统，称为随机逻辑系统，又叫概率逻辑系统。随机逻辑系统中至少包含一个随机信号源(random source)，这些随机变量的存在，使系统的输出响应变得“模糊”，输出成了输入的随机函数。更为特别的是，输入与输出的关系不再一一对应，而呈现出多值性。

无论是确定逻辑系统还是随机逻辑系统，它们都包括组合逻辑系统和时序逻辑系统，时序系统又有同步操作和异步操作之分。目前，在计算技术和自动控制等方面大量使用的数字电路均属于确定逻辑系统，本书也仅限于讨论这方面的问题。为了叙述简便起见，以后一律将“确定”一词略去。

2. 组合逻辑电路的特点

前几章中讨论过的各种组合逻辑电路，都可以用图6-1所示的一般框图来加以概括，它是具有 n 个输入 (I_1, I_2, \dots, I_n) 和 m 个输出 (F_1, F_2, \dots, F_m) 的逻辑问题，其逻辑功能由它的内部电路结构而定。



图 6-1 组合逻辑电路示意图

组合逻辑电路的特点之一是，任何时刻的输出值仅取决于该时刻的各输入值的组合，即

$$F_1 = f_1(I_1, I_2, \dots, I_n)$$

$$F_2 = f_2(I_1, I_2, \dots, I_n)$$

$$F_m = f_m(I_1, I_2, \dots, I_n)$$

虽然任何物理量（如 I_i 和 F_i ）毫无疑问都是时间的函数，但是，组合电路的逻辑功能不会随时间而变化。例如一个半加器，不管输入信号随时间怎样变化，任何时候去考察它的输入与输出的关系，它都是执行的半加逻辑。由此可见，组合逻辑电路与时间因素无关。

另一方面，组合电路执行的是一种实时控制，一旦输入条件发生变化，希望电路的输出函数能够立即响应，并不要求它记住变化前的状况。这就是说，这种逻辑电路没有记忆能力，不需要使用记忆元件。不过，由于门电路总是存在着附加迟延，使输出端不能立即响应输入端的变化，原有状况会在输出端滞留一小会。这种短暂的记忆作用，虽然会引起冒险现象，使电路固有的逻辑功能受到短暂的破坏，但是，这种过渡过程结束之后，电路总归可以达到新的输出值。

从电路结构的观点来看，在组合逻辑电路中，输入信号总是单向传输的，不存在任何反馈支路。正因为如此，输出与输入之间的函数关系总是表现为单值性的。

综上所述，组合逻辑电路具有下列特点：

- (1) 逻辑功能与时间因素无关；
- (2) 电路中不包含任何记忆元件，没有记忆能力；
- (3) 电路中不存在任何反馈支路，输出为输入的单值函数。

3. 时序逻辑电路的特点

时序逻辑电路是这样一种电路，它的输出值不但取决于当前的输入值，而且还取决于过去的输入值。换句话说，任何时刻来考察这种电路的现状时，都不能割断它的历史联系。显然，这种过去和现在或现在和将来的联系，用时间因素来表示是再方便不过了。因此，时序逻辑电路的第一个特点是与时间有关，“时序”一词正是由此而来的。

图6-2是时序电路的示意图，它有 n 个外部输入 (I_1, I_2, \dots, I_n)， k 个表示过去历史的内部输入 (Q_1, Q_2, \dots, Q_k)， m 个输出 (F_1, F_2, \dots, F_m)。显然， I_i 、 Q_i 和 F_i 都是时间的函数，对数字电路来说，通常只考虑离散时间函数，这使我们有可能用间接的方法来表示时间因素，并不直接将时间 t 放进变量与函数中。

从图6-2可写出输入与输出之间的函数关系：

$$F_1 = f_1(I_1, I_2, \dots, I_n; Q_1, Q_2, \dots, Q_k)$$

$$F_2 = f_2(I_1, I_2, \dots, I_n; Q_1, Q_2, \dots, Q_k)$$

$$F_m = f_m(I_1, I_2, \dots, I_n; Q_1, Q_2, \dots, Q_k)$$

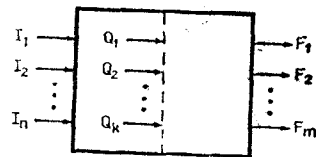


图 6-2 时序逻辑电路示意图

特别值得指出的是，函数 F_i 对外部输入 I_i 来说，可能呈现多值性，但对全部输入(I_i 和 Q_i)来说， F_i 还是单值的。这一事实告诉我们，时序电路是一个多稳态系统，最简单的时序电路至少有两个稳定状态，仅有一个稳定状态的系统不属于时序电路的范畴*。

既然过去的输入值要参与决定当前的输出值，电路中必须包含记忆元件，以便将过去的输入值记录下来。另外，记录下来的过去输入值还必须送回到电路的输入端，故从电路结构的观点来看，时序电路必然存在反馈支路。

综上所述，时序电路具有下列特点：

- (1)系统的操作与时间因素有关，预定的操作是按时间顺序逐个进行的。
- (2)系统中至少包含一个记忆元件，有记忆能力。
- (3)系统中至少有一条反馈支路，提供内部输入信号。

二、时序逻辑电路的结构和基本概念

1. 一般框图

时序电路的一般框图如图6-3所示，它由两部分组成，图的上部分为纯组合电路，下部分为迟延电路或存贮器件。

图中各种符号的含义说明如下：

- (I_1, I_2, \dots, I_n)——外部输入变量；
- (Q_1, Q_2, \dots, Q_k)——内部状态变量；
- (F_1, F_2, \dots, F_m)——外部输出函数；
- (Q'_1, Q'_2, \dots, Q'_k)——下一状态函数；
- ($\tau_1, \tau_2, \dots, \tau_k$)——迟延时间。

组合电路部分的作用，是接收外部输入信号（数据或信息）和内部状态变量，并产生时序操作所需的输出函数和状态函数。迟延电路的作用，是记录过去的输入，并通过它构成反馈支路。对状态函数来说，如果将组合电路的附加迟延归并到迟延元件 τ_i 中，则可将组合电路作为理想的组合电路来处理。

系统中存在着两种函数关系：

输出函数： $F_i = f_i(I_1, \dots, I_n; Q_1, \dots, Q_k)$

状态函数： $Q'_i = g_i(I_1, \dots, I_n; Q_1, \dots, Q_k)$

设计任务是，根据系统确定的逻辑功能求出上述两种函数关系，并用逻辑电路实现该系统。输出函数 f_i 送至其他系统或执行部件，以便完成规定的时序操作；状态函数 g_i 是建立系统下一状态所必须的，它是构成时序系统最重要的函数关系。

2. 输入变量

在组合电路中，只须考虑某个输入变量的当前值就够了，也就是说，将它当成并行输入信号来对待，并不影响问题的真实性。然而在时序电路中，则应把变量当作串行输入信号，不仅关心它的当前值，有时还要知道它各个时期的值。为此，我们引入“序列”(Sequence)

*更明确地说，靠电容充放电来定时的电路一般都是模拟电路而不是数字电路。

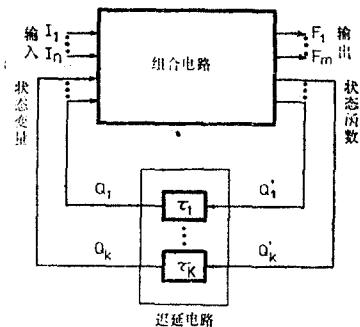


图 6-3 时序电路的一般框图

这一概念。所谓输入序列，是指某个变量的一连串输入值，序列的长度用串行信号的位数来表示。如说“长度为8位的某已知输入序列”，意即 $I=10110011$ ，低位先行（右边为最低位）。

输入分电平输入和脉冲输入两种，大多数情况下，电平输入表示数据和信息，脉冲输入作定时信号（时钟）。

3. 状态和状态变量

在时序电路中，与其用时间作参变量来说明问题，不如用“状态”（state）来说明问题更为直观明了。使用状态的概念，允许我们将输入和输出中的参变量“时间”因素去掉，直接用逻辑表示式来说明系统的性能。

状态分内部状态和总状态两种。如图6-3所示，每一条加到组合电路的反馈线，称为一个状态变量。所谓内部状态，是指所有状态变量的各种取值的组合，如有 k 个状态变量，则有 2^k 个内部状态。每个内部状态都是系统前一时期状况的记录，它将参与决定系统的新状态。所谓总状态，是指全部输入变量和状态变量的取值组合，设有 n 个输入变量和 k 个状态变量，则有 2^{n+k} 个总状态。由于绝大多数时序系统中 n 和 k 都是有限数，故称之为有限状态时序系统。在以后的讨论中，“总状态”这个术语用处不大，“内部状态”这个术语则经常使用，为了方便起见，今后一律将内部状态简称为状态。

必须注意区分状态和状态变量这两个概念，状态变量即反馈线的名称，状态是所有状态变量的取值组合。例如，系统中若存在三条反馈线 A 、 B 和 C ，变量 A 、 B 和 C 就是状态变量，而系统共有八种状态，它们是 000 ， 001 ， 010 ，……， 111 。在尚未对这些状态进行编码之前，也可用字母或数字来表示这些状态，如 a ， b ， c ，……；或 q_1 ， q_2 ，……等等。

状态变量的数目由系统所需的状态数来决定，设状态数为 N ，状态变量数为 n ，它们之间存在下列关系：

$$n \geq \lg_2 N$$

若 $\lg_2 N$ 为整数，则上式取等号，否则 n 取大于 $\lg_2 N$ 的最小整数。

4. 反馈与存贮

任何时序系统必须具备记忆能力，它能记住已经过去的上一个系统状态，以便用来确定系统的目前状态。这种记忆能力是由反馈环路提供的。由弛张振荡理论得知，较强的正反馈可以产生自锁现象，用自锁现象来记忆一个状态是可能的，触发器就是一个简单例子。由此可见，

时序系统中必须具有反馈支路，反馈极性应为正反馈*。分析表明，每个正反馈环路提供一个存贮单元，代表一个状态变量，所需的状态变量越多，反馈支路也越多。状态存贮与反馈结构的关系如图6-4所示，图中未画出输入和输出部分。

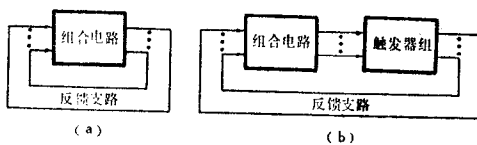


图 6-4 反馈与存贮

反馈支路有两种基本形式，一种是直接反馈，另一种是通过存贮器件获得反馈。直接将组合电路的输出信号反馈到它的输入端（见图6-4a），就能构成时序电路，大多数异步时序电路就是这样构成的。这时可把组合电路的附加延迟折算到反馈支路中去，如图6-3所示。这

*时序系统中也常存在负反馈，但它并不是时序系统所必须的，同时还会带来不良影响。

种电路的缺点是无法进行同步控制。为了实现同步操作，总是将同步触发器（存储元件）接入反馈支路中，如图6-4(b)所示。大多数同步时序系统都采用这种结构，以便用系统时钟源对它进行定时操作。这种反馈支路不是任何时候都畅通，一个时钟周期只接通一小会，其他时间均被切断，存储器件提供反馈信号。

5. 定时和时钟

相邻两次状态变化之间的时间称为状态时间，用 Δt 表示。各个状态的状态时间可以相等，也可以不相等。

从一个状态变到另一个状态，称为状态迁移 (State Transition)。通常情况下，状态迁移过程是极短暂的，可以认为是在某一时刻发生的。一次次状态的变化将时间轴划分成若干间隔，称为离散时间轴。在状态时间内，系统总是稳定的，因此，我们对状态时间的绝对值不感兴趣，主要关心的是它们的前后顺序。为此，我们略去状态时间 Δt ，用自然数对各个状态时间进行编号，并把各个状态时间叫做操作节拍时间，或简称节拍。

确定状态迁移的时刻，称为定时。由于定时的方式不同，时序系统分异步时序系统和同步时序系统。

由系统内元件本身的固有延迟和输入信号的每一次变化来定时的系统，称为异步时序系统。异步系统的状态分稳定状态和不稳定状态，稳定状态靠外部输入的变化来定时，不稳定状态靠固有延迟来定时。显然，各个反馈环路呈现的总延迟是不一样的，故各个状态时间必然不相等，这是异步操作的主要特点。由此而产生的“竞争”和“冒险”，是这种系统的根本缺点，使它的应用远不如同步系统那样广泛。

用外部的时钟信号来定时并实现“等状态时间”的系统，称为同步时序系统。使用时钟信号可以实现整个系统的同步操作，这在复杂系统中是极重要的；用时钟脉冲还可实现采样输入以达到系统隔离的目的；用时钟脉冲控制反馈环路，使之在一个节拍内只接通一小会，因而根除了“竞争”和“冒险”这一缺点。总之，同步时序系统具有许多优点，这是它获得广泛应用的原因。

时钟脉冲 (Clock Pulse) 简称CP脉冲或CP，如图6-5所示。常用的是脉冲型时钟，也有方波型时钟。如图所示，利用时钟的跳变沿（正跳沿或负跳沿）分割时间坐标，得到等间隔的离散时间轴。从这点来说，脉冲时钟和方波时钟的效果是一样的。

时钟脉冲的周期就是系统的状态时间，为了获得较理想的等状态时间，对时钟源的频率稳定度就有较高的要求。因此，时钟振荡器一般都采用石英晶体或音叉来实现稳频。在高速数字设备里，对时钟脉

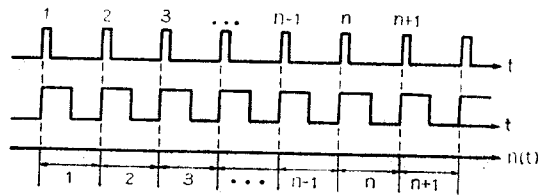


图 6-5 时钟脉冲和定时

冲的参数还有要求，如前沿时间要小，脉冲宽度要稳定等。在某些场合还用多相时钟，如双相时钟和四相时钟，它们都来自同一时钟源，彼此之间有着固定的相位差。

6. 状态函数

时序电路的一个重要研究方法是考查相邻两个节拍的状态，我们把正在讨论的状态称为“目前状态”，把将要发生的状态称为“下一状态”。这里约定，用不带下标的符号 Q 表示

目前状态，用带有节拍下标的符号 Q_n 表示下一状态*。

我们把用来描述下一状态与目前输入及目前状态的函数关系，称为状态函数或状态方程。这就是说，如果已知系统的状态函数结构，那末，把任何一个目前总状态的值（即输入值和内部状态值）代入状态函数，便能确定出它的下一状态值。一个时序系统的主要特征是由它的状态函数给出的，因此，状态函数在时序逻辑设计中是十分重要的。

对于象图6-6(a)所示的时序系统来说，因为迟延器件相当于传输线的逻辑功能，即 $Q_n = Q'$ ，所以把组合电路输出的组合函数 Q' 称为状态函数 Q_n 是可以的，不会引起概念上的混乱。

但是，象图6-6(b)那种用触发器做存储器件的系统，由于触发器输入输出之间还必须满足触发器特征方程所规定的函数关系，因此组合函数 Q' 只是触发器的控制函数(又叫输入函数或激励方程)， Q_n 的布尔代数式才是真正的下一状态函数，它必须把触发器的特征方程包括进去。在这种情况下，状态函数与控制函数在概念上是有区别的，不能混淆起来。它们之间是通过特征方程联系起来的，一旦触发器的类型给定以后，特征方程是已知的，固定的，因此有时用求解控制函数来代替求解状态函数。

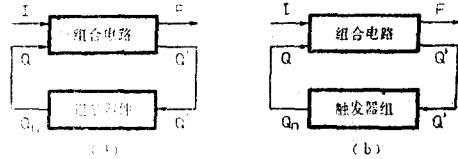


图 6-6 两种记忆器件

7. 输出方式

在分析时序系统时通常采用两种模型，即米里时序机 (Mealy Sequential Machine**)模型和莫尔时序机 (Moore Sequential Machine)

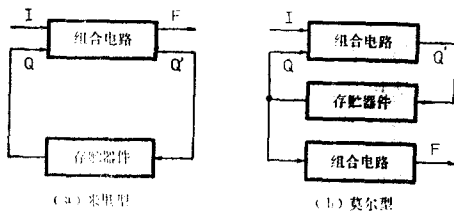


图 6-7 时序电路的输出方式

模型。这两种模型如图6-7所示，其中米里模型较为常用。

米里模型与莫尔模型的差别是输出方式不同。对于米里模型(见图6-7a)来说，输出是外部输入和状态变量的函数，输出与输入有直接关系。米里型输出表示如下：

$$F = f(I, Q)$$

莫尔模型(见图6-7b)则不一样，输出仅与状态变量有关而与外部输入无关。莫尔输出表示如下：

$$F = f(Q)$$

米里模型和莫尔模型可以相互转换。

在组合电路里，输出函数的结构说明电路的全部逻辑功能。在时序电路里，输出函数仅是问题的一部分，更重要的部分是状态函数。不过，若从系统的外部特征来说，输出函数则是描述系统唯一的依据。有时输出也用序列形式来表示，称为输出序列。

*也可用 Q_n 表示目前状态而用 Q_{n+1} 表示下一状态，但书写起来比较麻烦。

**Machine一词并非指某个时序机器的实体，而是泛指一切时序系统的抽象模型。

三、状态表和状态图

1. 状态表

众所周知，最详尽地描述组合逻辑问题的逻辑工具是真值表。由于时序电路的函数值不仅取决于目前的输入，同时也取决于过去的输入，两者不是发生在同一时刻，故用简单的真值表来描述时序问题就不适合了。

最详尽地描述时序问题的逻辑工具叫状态迁移表，简称状态表。状态表不但能说明输入与输出之间的数值关系，同时还表明了状态的转移规律。从本质上讲，状态表就是真值表，只是它把过去的输入值换一种形式（用系统状态值）来表明罢了。

状态表的样式很多，可以分成两种类型，一种是未编码的状态表，另一种是已编码的状态表。

表6-1 矩阵式状态表的格式

	输入条件	输出条件
目前状态
	下一状态	输出函数

表6-2 矩 式状态表

Q \ $I_1 I_2$	00 01 11 10	00 01 11 10
A	A B B C	0 0 1 0
B	B B A A	0 1 0 1
C	C A C B	0 0 0 0

表6-1是未编码状态表的格式，它是一种 m 行和 n 列的矩阵。多少个状态就有多少行（水平方向），将全部目前状态列于表的左边；多少种输入组合就有多少列，并将输入组合标注在表的上方。状态表的内容有两部分，一部分是“下一状态”矩阵（注意：并非状态函数），另一部分是“输出函数”矩阵。利用状态表，从给定的目前状态所在的行和当前输入组合所在的列，就能确定出当前的输出值和下一状态的符号（如表6-2所示）。这种状态表充分地描述了时序问题的功能，但它并未给出状态函数，还不能直接用来设计时序电路。

有时，系统的状态已经编码（即用二进制数码表示），状态表中的状态一律用它的代码来填写，如表6-3所示。表6-3仍然是表6-1的形式，只是没有列出输出函数部分。表6-3中 A 和 B 是两个状态变量， A_n 和 B_n 是下一节拍的状态变量。

状态表也可以作成表6-4那样的真值表样式，这时，由外部输入参与决定的是目前总状态，

表6-4 组合式状态表

目前总状态			下一状态	输出
I	A	B	A_n B_n	F
0	0	0	1 1	1
0	0	1	0 0	0
0	1	0	0 1	0
0	1	1	1 0	0
1	0	0	0 1	0
1	0	1	1 0	0
1	1	0	1 1	0
1	1	1	0 0	1

表6-3 已编码的状态表

目前状态	下一状态	$A_n B_n$
A B	$I = 0$	$I = 1$
0 0	1 1	0 1
0 1	0 0	1 0
1 0	0 1	1 1
1 1	1 0	0 0

它作为状态表的变量，仍按8421码的规律写出所有可能的状态。“下一状态”和“输出”作为函数出现在表中。象图6-8那样的直接反馈时序电路，使用表6-4这样的状态表是很合适的。如图6-8所示，因为 A 和 A_n 不是发生在同一时刻，故设想将反馈线（虚线）拿掉并不影响问题的正确性。然而这样一来，就把问题转换成了组合电路的问题，则可沿用已有的方法。要注意的是，表6-4中列出的是下一状态 A_n 和 B_n 而不是状态函数 A' 和 B' ，但因使用的记忆元件是延迟电路，允许将它们当作一回事。

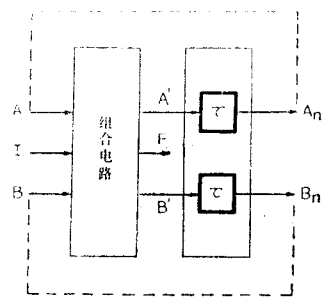


图 6-8 延迟型时序电路

实际应用中还有其他形式的状态表，都是矩阵式或组合式状态表的变形，不再一一列举。

2. 状态图

描述时序系统工作情况的另一种逻辑工具，叫做状态迁移图(State Transition Diagram)，

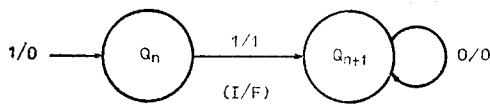


图 6-9 状态图图例

简称状态图。状态图的优点是直观形象，使设计者对被设计对象能够做到一目了然。状态图在命题分析中也是有用的，借助它较易得到正确的状态表。

状态图的图例如图6-9所示，图中圆圈内填写系统的状态，状态迁移用箭头线表示，箭头线的起点表示上一状态，箭头线的终点表示下一状态。状态迁移的条件和当前的输出用分式符号表示，分子表示外部输入 I 的逻辑值，分母表示输出函数值。若箭头线起止于同一个状态，说明在这种输入条件下该状态保持不变。

状态图能说明下列问题：

- (1) 它指出每一个状态在各种输入条件下的转移方向，简称转向。
- (2) 它指出在指定的两个状态之间转移时所必备的条件和给出的输出值。
- (3) 它指出全部状态之间的关系以及系统运行起来时的状态迁移规律，这是了解系统全貌所必须的。

状态表和状态图是对应的，并能相互转换。例如表6-4所示的状态表，可以转换为图6-10所示的状态图。完成这种转换时要注意，填入所有圆圈的是系统的内部状态而不是总状态，表6-4中只有四个内部状态，故图6-10中只有四个圆圈。图6-10指出，这是一个四进位可逆计数时序，当 $I = 1$ 时，所有顺时针方向的箭头组成加法计数，当 $I = 0$ 时，所有逆时针方向的箭头组成减法计数。

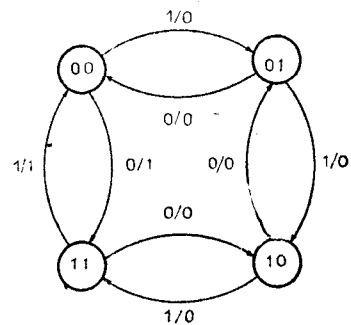


图 6-10 表6-4问题的状态图

状态表和状态图是描述时序系统逻辑功能的两种基本工具，在时序系统的分析和设计中是十分有用的。任何具体的组合逻辑问题，只要能抽象为真值表，就能设计出来；同样，任何具体的时序逻辑问题，只要能抽象为状态表或状态图，也总能将它设计出来。

四、基本触发器设计

基本触发器是组成各种功能触发器和实用触发器的基本部分。在讨论各种类型的触发器之前，我们先来剖析这个核心部分的逻辑功能，为深入讨论触发器做好准备。

1. 功能描述

基本触发器是具有两个稳定状态的异步时序电路。它有两个输出端 Q_n 和 \bar{Q}_n ， Q_n 叫原码输出端， \bar{Q}_n 叫反码输出端。虽然两条输出线可能有四种组合，即00、01、10和11，但是逻辑功能要求触发器正常运用时，两条输出线应保持互补关系。这就是说，只能选择01或10作为基本触发器的两个状态。由于两个输出端并不是独立的，一般选用原码端 Q_n 来代表触发器， $Q_n=0$ 时称为复位(reset)状态， $Q_n=1$ 时称为置位(set)状态。为了使基本触发器能在两个稳定状态之间来回转换，设置了两个控制输入端 S_D 和 R_D ， S_D 叫做直接置位端(direct set)， R_D 叫做直接复位端(direct reset)，触发器将根据这两个输入条件来决定自己的状态。这样，基本触发器可以用图6-11(a)的逻辑符号来表示，又因异步时序电路是直接反馈结构，若略去电路的附加延迟，则得到图6-11(b)那样的框图。它只有一个状态变量 Q ，故只需一条反馈线，而且，它设有单独的输出线，由状态函数 Q_n 端输出。

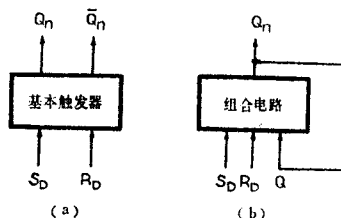


图 6-11 基本触发器的框图

基本触发器一般设计成低电平或负脉冲激励方式，触发器的输出只对加到一个输入端的低电平产生响应，若两个输入端皆为高电平，则触发器保持原状态。这种触发器的功能可详细描述如下：

- (1) 当 $S_D = R_D = 1$ 时，触发器的状态不变，即 $Q_n = Q$ ；
- (2) 当 $S_D = 0$ ， $R_D = 1$ 时，触发器处于置位状态，即 $Q_n = 1$ ；
- (3) 当 $S_D = 1$ ， $R_D = 0$ 时，触发器处于复位状态，即 $Q_n = 0$ ；
- (4) 当 $S_D = R_D = 0$ 时，触发器失效， $Q_n = \bar{Q}_n = 1$ 。这种输入条件消失后，触发器的状态变得不确定，即 $Q_n = X$ 。

上述逻辑功能可用表6-5所示的功能表来表示。这种功能表不同于正规的状态表，它是文字描述的初步概括，易于理解但不便于设计。在“目前输入”一栏内填写外部输入的各种组合，逻辑功能体现在“下一状态”一栏的内容里，表内共有四行，与上述四条功能一一对应。第一行的输入条件使触发器失效，这是正常操作时应当避免的情况。

表6-5 基本触发器功能表

目前输入		下一状态	
S_D	R_D	Q_n	说明
0	0	X	失效
0	1	1	置位
1	0	0	复位
1	1	Q	复原态

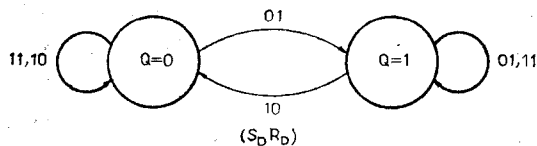


图 6-12 基本触发器的状态图

图6-12是基本触发器的状态图，它形象地描述出基本触发器的操作概况。它共有两个稳定状态，0态和1态。当 $Q=0$ 时，输入 $SR=11$ 或 10 使它仍保持0态，唯有 $SR=01$ 才使之

迁移到1态。当 $Q = 1$ 时，输入 $SR = 11$ 或 01 使它保持1态，唯有 $SR = 10$ 才使之迁移到0态。

2. 基本触发器的电路设计

表6-5所示的功能表之所以不便于用来进行设计，是因为状态函数一栏中并非全都是逻辑值0、1和 \times ，还有状态变量 Q 。现在将表6-5中的变量 Q 放在输入变量一栏中，则得到表6-6所示的组合式状态表。由于多了一个变量，表6-6的行数增加了一倍。表中第4、8两行就是由表6-5中第4行变换来的，仍有 $Q_n = Q$ 的关系，意思是 Q_n 在这两行的真值与 Q 的取值相同。其他各行是表6-5的重复，全部由外部输入条件决定 Q_n 的值。

表6-6 基本触发器状态表

目前总状态			下一状态
Q	S_D	R_D	Q_n
0	0	0	\times
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	\times
1	0	1	1
1	1	0	0
1	1	1	1

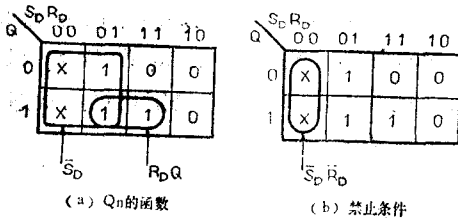


图 6-13 基本触发器的卡诺图

组合式状态表的优点是可以象真值表那样用卡诺图来化简状态函数。基本触发器的卡诺图如图6-13所示，从图6-13(a)得到的状态函数如下：

$$Q_n = \overline{S_D} + R_D Q$$

在用与非门来设计基本触发器时，上述函数还应化为与非逻辑形式，原式右边二次取反则得

$$Q_n = \overline{\overline{\overline{S_D} + R_D Q}}$$

按此式画出的电路如图6-14(a)所示，它由两级与非门带一条反馈线组成，图中 Q_n 和 Q

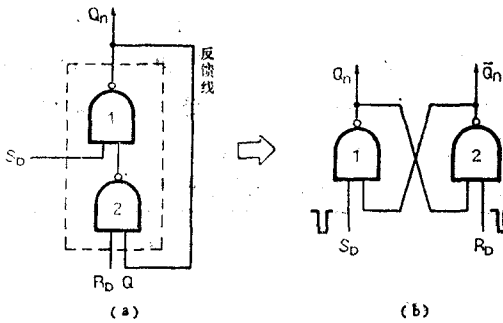


图 6-14 基本触发器电路

代表同一条线上前后两个节拍的信号。将图6-14(a)整理成图(b)的形式，可以看出，基本触发器是由交叉耦合的两个与非门组成。

原则上说，凡是两个具有倒相功能的逻辑门（与非门、或非门或倒相器）都可以用交叉耦合的方式构成基本触发器。这种仅用两个门构成的基本触发器，有时又叫做直接置位复位触发器或自锁电路(latch)。由于它结构简单，不能实现时钟控制，一般不把它作为功能触发器来看待。

3. 基本触发器的工作限制

当我们用图6-13(a)的卡诺图化简函数时，利用过两个无关项。这就给基本触发器的工作带来某种限制，使之不能在任何条件下都正常工作。换句话说，为使基本触发器能够正常