

80386 硬件参考手册

王 英 斌 等译
陈 平 校

北 京 科 海 培 训 中 心

一九八八年四月

80386 参考手册

80386 硬件参考手册

王英斌 等译

陈 平 校

北京科海培训中心

1988.4

69x5

6元6角0分

编辑：科海培训中心教材部
发行：科海培训中心资料组
地址：北京2725信箱 科海培训中心
资料组

(北京海淀路332路黄庄站旁)

印刷：河北省蔚县印刷厂

前 言

Intel 80386是一种高性能32位微处理器。本手册为80386系统设计提供了完整的硬件参考材料。它的撰写对象是那些通晓微处理器和微机系统操作原则的系统工程师和硬件设计人员。读者在阅读本手册之前应该先熟悉《80386介绍》一书(Intel出版序号231252)。

有关出版物

本手册是从硬件角度描述80386的。下面所列的有关出版物包括软件结构、指令集和80386编程的信息。

- 80386程序员参考手册, 序号230985
- 80386系统软件人员指南, 序号231499
- 80386数据表, 序号231630

80386数据表包含了80386器件说明。请经常查阅最新出版的这些出版物以获得详细的80386参数值。

上述出版物和《80386硬件参考手册》共同为80386系统的硬件设计人员、软件工程师和所有用户们提供了对80386系统的完整描述。

本手册的组织

本手册划分成12章和3个附录。手册首先描述80386微处理器, 然后为实现80386系统设计讨论了硬件设计信息。

- 第一章, “系统概况”。本章提供了80386及其支持器件的概貌。
- 第二章, “内部结构”。本章描述了80386的内部结构。
- 第三章, “局部总线接口”。本章讨论80386局部总线接口, 包括80386信号描述、存储器和I/O组织, 以及局部总线接口指南。
- 第四章, “性能考虑”。本章探讨了影响80386系统性能的因素。
- 第五章, “协处理器硬件接口”。本章描述了80386与80287和80387数值协处理器之间的接口。这两种协处理器都扩展了80386的浮点数值处理能力。
- 第六章, “存储器接口”。本章讨论了设计80386存储器子系统的技术。
- 第七章, “高速缓存子系统”。本章描述了高速缓存子系统, 它以相对较低的价格提供了较高的性能。
- 第八章, “I/O接口”, 本章讨论了将I/O设备连接到80386系统的技术。
- 第九章, “MULTIBUS[®] I和80386”。本章描述了80386系统和Intel MULTIBUS I多主系统总线的接口。
- 第十章, “MULTIBUS[®] II和80386”。本章描述了80386系统和Intel MULTIBUS II多主系统总线的接口。
- 第十一章, “物理设计和调试”。本章包括建造和调试80386系统的建议。
- 第十二章, “测试能力”。本章包含80386测试过程。
- 附录A包括第六章中基本存储器接口的元件描述
- 附录B包括第五章中80387仿真器的元件描述的描述。
- 附录C包括第六章中动态RAM子系统的元件描述

目 录

第一章 系统总论	(1)
1.1 微处理器	(1)
1.2 协处理器	(3)
1.3 中断控制器	(3)
1.4 时钟发生器	(3)
1.5 DMA控制器	(4)
第二章 内部结构	(5)
2.1 总线接口单元	(6)
2.2 代码预取单元	(6)
2.3 指令译码单元	(6)
2.4 执行单元	(7)
2.5 段管理单元	(7)
2.6 页管理单元	(7)
第三章 局部总线接口	(8)
3.1 总线操作	(10)
3.1.1 总线状态	(11)
3.1.2 地址流水线方法	(15)
3.1.3 32位数据总线传输和参数对齐	(15)
3.1.4 读周期	(18)
3.1.5 写周期	(20)
3.1.6 流水地址周期	(20)
3.1.7 中断响应周期	(23)
3.1.8 停止 / 停机周期	(24)
3.1.9 BS16周期	(24)
3.1.10 16位字节选通和参数对齐	(25)
3.2 总线定时	(28)
3.2.1 读周期定时	(29)
3.2.2 写周期定时	(30)
3.2.3 READY#信号定时	(30)
3.3 时钟发生器	(31)
3.3.1 82384时钟发生器	(31)
3.3.2 时钟定时	(32)
3.4 中断	(32)
3.4.1 不可屏蔽中断 (NMI)	(33)

3.4.2 可屏蔽中断 (INTR)	(33)
3.4.3 中断等待时间	(34)
3.5 总线锁定	(34)
3.5.1 锁定周期的建立	(35)
3.5.2 锁定周期定时	(35)
3.5.3 LOCK# 信号保持时间	(36)
3.6 HOLD/HLDA (HOLD 确认)	(26)
3.6.1 HOLD/HLDA 定时	(36)
3.6.2 HOLD 信号延迟	(37)
3.6.3 HOLD 状态引脚的情况	(39)
3.7 复位 (RESET)	(39)
3.7.1 RESET 定时	(39)
3.7.2 80386 内部状态	(41)
3.7.3 80386 外部状态	(41)
第四章 性能考虑	(42)
4.1 等待状态和流水操作	(42)
第五章 协处理器硬件接口	(44)
5.1 80287 数值协处理器接口	(44)
5.1.1 80287 的连接	(44)
5.1.2 80287 总线周期	(46)
5.1.3 80287 时钟输入	(46)
5.2 80387 数值协处理器接口	(46)
5.2.1 80387 的连接	(46)
5.2.2 80387 总线周期	(48)
5.2.3 80387 时钟输入	(48)
5.3 与 80287/80387 连接的局部总线的活动	(49)
5.4 设计一个可升级的 80386 系统	(49)
5.4.1 80287/80387 的识别	(49)
5.4.2 80387 仿真器	(52)
第六章 存储器接口	(53)
6.1 存储器速度与性能和价格的关系	(53)
6.2 基本的存储器接口	(53)
6.2.1 PAL 器件	(53)
6.2.2 地址锁存器	(55)
6.2.3 地址译码器	(56)
6.2.4 数据收发器	(56)
6.2.5 总线控制逻辑	(56)
6.2.6 EPROM 接口	(59)
6.2.7 SRAM 接口	(62)

6.2.8 16位接口	(64)
6.3 动态RAM (DRAM) 接口	(65)
6.3.1 多体交叉存储器	(65)
6.3.2 DRAM存储器的性能	(65)
6.3.3 DRAM控制器	(66)
6.3.3.1 3-CLK DRAM控制器	(65)
6.3.3.2 2-CLK DRAM控制器	(70)
6.3.4 DRAM设计变动	(70)
6.3.5 刷新周期	(73)
6.3.5.1 分布刷新	(74)
6.3.5.2 突发刷新	(74)
6.3.5.3 DMA刷新	(74)
6.3.6 初始化	(75)
6.3.7 时序关系分析	(75)
第七章 高速缓存/子系统	(76)
7.1 高速缓存/简介	(77)
7.1.1 程序的局部性	(77)
7.1.2 块提取	(77)
7.2 高速缓存/组织	(78)
7.2.1 全相联高速缓存	(78)
7.2.2 直接映象高速缓存	(79)
7.2.3 组相联高速缓存	(81)
7.3 高速缓存更新	(82)
7.3.1 通写系统	(82)
7.3.2 经过缓冲的通写系统	(82)
7.3.3 回写系统	(83)
7.3.4 高速缓存的一致性	(83)
7.4 系统结构和性能	(84)
7.5 通过高速缓存的DMA	(85)
7.6 高速缓存举例	(86)
7.6.1 示例的设计	(86)
7.6.2 示例高速缓存的组织	(86)
7.6.3 示例高速缓存的实现	(89)
第八章 I/O接口	(90)
8.1 I/O映象和存储器映象	(90)
8.2 8位、16位和32位I/O接口	(90)
8.2.1 地址译码	(90)
8.2.2 8位I/O	(91)
8.2.3 16位I/O	(91)

8.2.4	32位I/O	(91)
8.2.5	线性片选	(91)
8.3	基本I/O接口	(93)
8.3.1	地址锁存器	(94)
8.3.2	地址译码器	(91)
8.3.3	数据收发器	(95)
8.3.4	总线控制逻辑	(95)
8.4	I/O操作的时间分析	(96)
8.5	基本I/O举例	(101)
8.5.1	8274串行控制器	(101)
8.5.2	8259A中断控制器	(102)
8.5.2.1	单个中断控制器	(102)
8.5.2.2	级联中断控制器	(102)
8.5.2.3	处理多于64个中断	(103)
8.6	80286兼容的总线周期	(103)
8.6.1	$\Lambda 0/A1$ 产生器	(107)
8.6.2	$S0\#/S1\#$ 产生器	(107)
8.6.3	等待状态产生器	(107)
8.6.4	总线控制器和总线仲裁器	(108)
8.6.5	82258 ADMA控制器	(108)
8.6.5.1	82258作为总线主控器	(109)
8.6.5.2	82258作为外部设备	(110)
8.6.6	82586局部网络协处理器	(110)
8.6.6.1	专用CPU	(112)
8.6.6.2	无耦合双端口存储器	(112)
8.6.6.3	耦合双端口存储器	(113)
8.6.6.4	共享总线	(113)
第九章	MULTIBUS [®] I和0310	(114)
9.1	MULTIBUS [®] I (IEEE 796)	(114)
9.2	MULTIBUS [®] I接口例子	(114)
9.2.1	地址锁存和数据传送	(116)
9.2.2	地址译码	(117)
9.2.3	等待状态产生器	(117)
9.2.4	总线控制器和总线仲裁器	(119)
9.3	MULTIBUS I接口的时序分析	(119)
9.4	82289总线仲裁器	(119)
9.4.1	优先级判决办法	(122)
9.4.2	82289操作模式	(124)
9.4.3	MULTIBUS [®] I锁定周期	(125)

9.5	MULTIBUS [®] I的其它设计考虑	(125)
9.5.1	MULTIBUS [®] I的中断响应	(125)
9.5.2	MULTIBUS [®] I字节传送时的字节交换	(127)
9.5.3	MULTIBUS [®] I访问的总线超时功能	(127)
9.5.4	MULTIBUS [®] I掉电处理	(127)
9.6	iLBX [™] 总线扩充	(129)
9.7	MULTIBUS [®] I的双端口RAM	(130)
9.7.1	避免双端口RAM的死锁	(130)
第十章	MULTIBUS[®]I和80386	(131)
10.1	MULTIBUS [®] II标准	(131)
10.2	并行系统总线 (iPSB)	(131)
10.2.1	iPSB接口	(133)
10.2.1.1	BAC信号	(134)
10.2.1.2	MIC信号	(135)
10.3	局部总线扩充 (iLBX [™] II)	(135)
10.4	串行系统总线 (iSSB)	(136)
第十一章	物理设计和查错	(137)
11.1	电源和地的要求	(137)
11.1.1	电源和接地极板	(137)
11.1.2	去耦电容	(138)
11.2	高频设计考虑	(139)
11.2.1	线路终端	(139)
11.2.2	干扰	(140)
11.2.3	锁定	(141)
11.3	时钟分布和终端	(142)
11.4	热特性	(142)
11.5	查错考虑	(144)
11.5.1	硬件查错特点	(144)
11.5.2	总线接口	(145)
11.5.3	最简单的诊断程序	(145)
11.5.4	步进式地建立和查错一个系统	(146)
11.5.5	其它简单的诊断软件	(148)
11.5.6	查错线索	(149)
第十二章	测试能力	(151)
12.1	内部测试	(151)
12.1.1	自动的自测试	(151)
12.1.2	转换旁视缓冲器测试	(152)
12.2	板线测试	(154)
附录A	局部总线控制PAL描述	(154)

PAL-1功能	(154)
PAL-2功能	(155)
PAL方程	(155)
附录B 80387仿真器PAL描述	(173)
附录C DRAM PAL描述	(174)
DRAM状态PAL	(174)
DRAM控制PAL	(190)
刷新闻隔计数器PAL	(195)
刷新地址计数器PAL	(198)
定时器参数	(200)

第一章 系统总论

80386是新一代32位微处理器，通过它可以建立高性能的32位系统。80386把许多功能结合到一块芯片上，这些功能包括：多任务支持、内存管理、流水线结构、地址转换高速缓存和高速度总线接口。这些功能的综合加快了指令执行速度，减少了系统的总芯片数。80386中可任选页面调度方式或动态数据总线长度方式，这使得80386适合于各种系统设计和用户应用。

80386提供了比前几代微处理器强得多的性能，但是也考虑了微处理器间的兼容性。在软件上，提供了目标代码级的兼容性，这样可以保护已有的8086和80286上的软件投资。新的软件也可在已有的子程序上开发，以缩短新产品投放市场的时间。硬件兼容通过动态总线长度来实现。

80386系统主要块和它们的特性如（图1.1）和（表1.1）。

表 1-1 80386系统块

功 能 块	描 述
80386微处理器	高性能32位微处理器，包括内存管理和保护
80287或80387数字协处理器	与80386并行地完成数字指令，扩展了指令集
82384时钟发生器	产生系统时钟和复位信号
8259A可编程中断控制器	提供中断控制和管理
82258高级DMA	完成直接内存存取控制（DMA）

1.1 微处理机

80386提供了空前的性能。主频16兆赫时，80386的持续执行速度达到3~4百万条指令/秒，可与大多数超级小型机相比拟。这些性能通过先进的设计达到，包括：内部流水线结构、地址转换高速缓存和高性能总线。

80386具有宽度为32位的外部 and 内部数据通路。它的指令集支持8位、16位、32位等数据类型。处理器直接地输出32位物理地址，支持四千兆字节的物理内存空间。80386具有分开的32位数据通路和地址通路。一次32位的内存存取操作可在两个时钟周期内完成，这使得总线可维持每秒32兆字节的吞吐量（在主频16兆赫时）。高速总线的设计实现了微处理器、内存、外设间的快速传输，这就保证了处理器的高性能在系统中得到发挥。

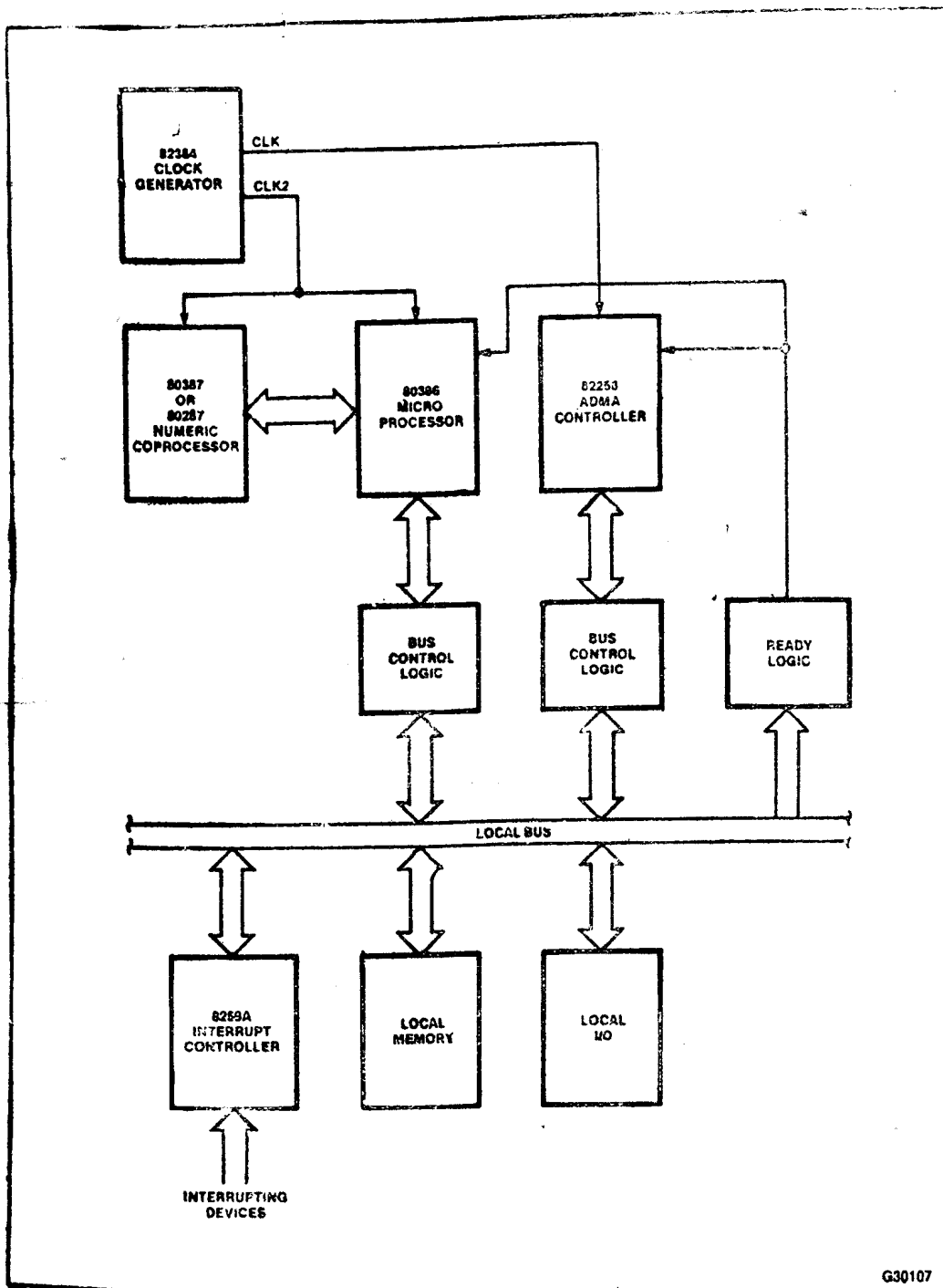


Figure 1-1. 80386 System Block Diagram

图 1.1 80386系统模块图

流水线结构使得80386可以并行地完成指令的读取、译码、执行和内存管理等各功能。在第二章将详细地介绍流水线的6个独立功能块。由于80386预取指令并使这些指令进行内部排队等待，这样取指令时间和译码时间就可在流水线中省略；处理器极少需要等待指令的执行。

现在的微处理器中应用流水线是常见的，可是把内存管理功能块和流水线做在同一块芯片内却是80386所独具的。由于80386的内存管理功能与别的功能一起在同一芯片内实现，80386消除了多芯片方式中常见的严重的延迟。这不仅提高了性能，而且降低了对内存存取时间的要求，因而降低了系统成本。

一体化的内存管理和保护机制把逻辑地址翻译成物理地址，并实施一些保护规则，这些规则保证多用户环境下各任务的完整性。页面调度功能提供了一个对内存物理结构进行管理的统一机制，因而简化了操作系统的交换算法。

任务切换 (Task switching) 经常出现在多任务或多用户实时系统中。为了有效地实现任务切换，80386采用了特别的高速硬件。80386完成一个完整的任务切换动作只需一条指令或一次中断。一个16兆赫的80386可以把某个任务的状态（所有寄存器）保存起来，把另一任务状态调进来（所有寄存器。如果需要，甚至可以是段寄存器和页面寄存器），并且恢复执行完成这些动作最多花16微秒时间（主频16兆赫）。对于不太重要的任务或中断处理，等待时间可少于3.5微秒（主频16兆赫）。

1.2 协处理器

使用特别的协处理器可以提高大多数应用程序的性能。协处理器用硬件完成一些原来用软件实现的功能。协处理器也扩展了80386的指令集。

80386中具有数字协处理器接口，支持下述处理器的一种：80387或80287。对于需要高精度整数和浮点数运算的应用程序，协处理器完全支持IEEE浮点操作标准。80387和80287与早先的数字协处理器8087在软件上是兼容的。当主频16兆赫时，80387的操作速度比5兆赫的80287快8倍。可是，80287在许多应用程序中已经足够快了，而且从成本上考虑它更经济一些。因此，80386为系统设计者提供了两种可选的方案：低成本协处理器或高性能协处理器。

1.3 中断控制器

8259A可编程中断控制器管理80386系统的中断。一个8259A可接受8个外部中断源的中断申请；如把几个8259A芯片级联起来，可接受64个申请。8259A从各中断请求中选一个优先级最高的请求，然后中断处理器并传送一个代码到处理器，以标识中断源。8259A可编程的特性使得它有各种不同的用法，以适合于特定系统的中断要求。

1.4 时钟发生器

80384时钟发生器为80386及其支持的部件提供时钟信号。82384提供两种时钟信号：80386时钟 (CLK2) 和半频时钟 (CLK)，分别驱动80386设备和80286兼容器件，系统中可能同时具有这两种器件。82384也可作为80386和其它器件产生复位 (RESET) 信号。CLK2和CLK在本手册各部分用于对执行时间的描述。

1.5 DMA控制器

DMA（直接内存存取）控制器完成主存和I/O设备间的传输，这里典型的外设是硬盘、软盘或通信通道。在DMA方式下，可将数据块从一处复制到另一处而不必由CPU干预。

82258高级DMA（ADMA）控制器提供四个通道，并提供所有DMA传输需要的信号。82258的别的特性如下：

- 命令链接，完成多个命令；
- 数据链接，分发数据到内存不同位置（例：不同页），从内存不同位置收集数据；
- 从16位内存到8位I/O（或相反）之间自动装配或拆卸。
- 比较、翻译和核对功能。
- 有一种选择可将4个高速通道变成最多达32个的低速多路通道。

第二章 内部结构

80386的内部结构中有六个并行的功能部件。几条指令的读取、译码、执行、内存管理、总线访问可同时地进行。这种并行操作称为流水线结构操作。流水线中，每个指令分多级完成，几条指令的不同级的处理可以在时间上重叠，（如图2.1）。80386六级流水线结构产生的高性能，比非流水线处理器的吞吐率要高许多。

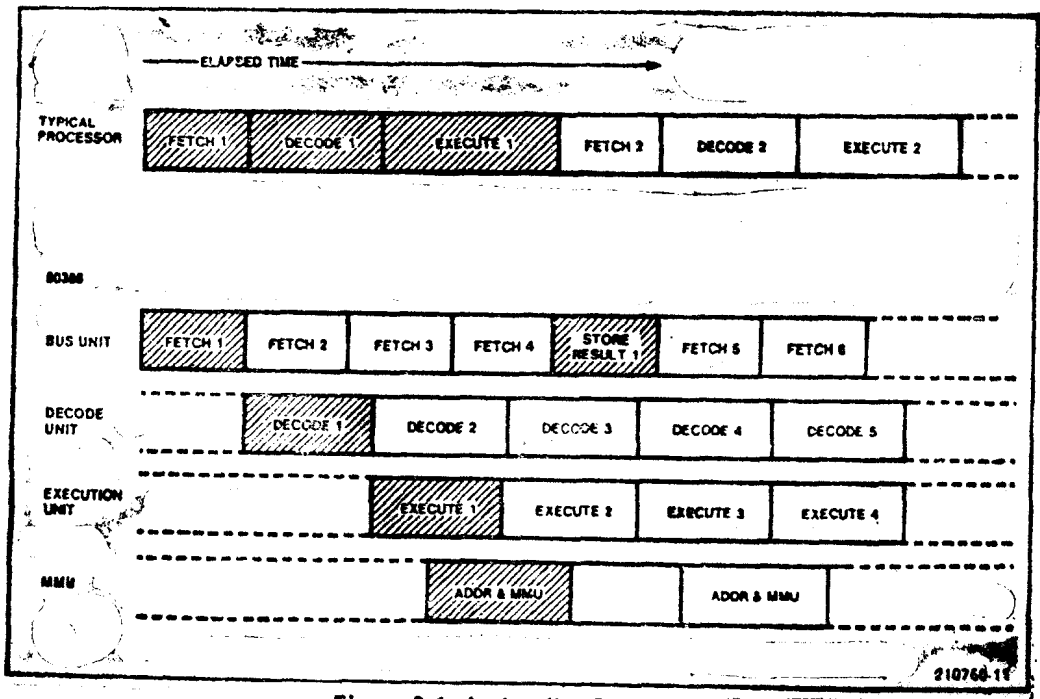


Figure 2-1. Instruction Pipelining

图 2.1 指令流水线

80386有如下六个单元：

- 总线接口单元
- 代码预取单元
- 指令译码单元
- 执行单元
- 段单元
- 页管理单元

其中执行单元又由三个子单元组成：

- 控制单元
- 数据单元
- 保护测试单元

（图2.2）表示各单元的构成。本章介绍每个单元及各单元间的联系。

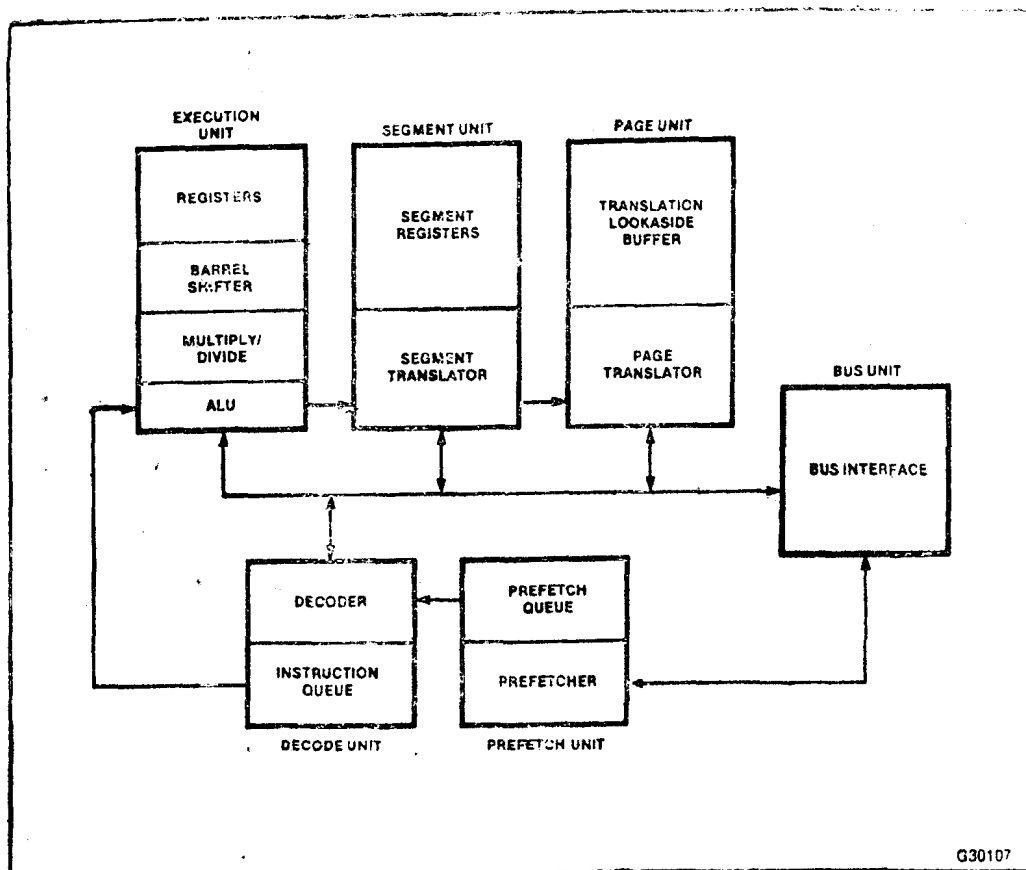


Figure 2-2. 80386 Functional Units

图 2.2 80386功能单元

2.1 总线接口单元

总线接口单元为80386及其环境之间提供接口。它接收各种内部请求,如代码读取(从代码预取单元)和数据传输(从执行单元)等请求,并对这些请求赋以优先级。同时,它产生或处理信号来完成当前总线周期。这些信号包括:地址、数据,访问外存或I/O用的控制输出。总线接口单元也控制外部总线主控器和协处理器的接口。

2.2 代码预取单元

代码预取单元完成80386的程序前扫描功能。当总线接口单元不处于执行指令的总线周期中间时,代码预取单元使用总线接口单元去读取后续指令流。这些预取的指令存贮于16位的代码队列中,等待指令译码单元的处理。

与数据传输相比,代码预取只被赋予较低的优先级;如果是零等待状态的内存访问,预取操作永远不会耽搁指令的执行。另外,如果没有数据传输请求,预取操作就会使用总线周期,否则总线周期就会空闲。指令预指工作几乎把处理器等待下一条指令的时间减少为零。

2.3 指令译码单元

指令译码单元从预取代码队列中取出指令字节,并把它们翻译成微代码。已译码的指

令存贮于三级深的指令队列中（先进先出），等待执行单元处理。立即数或操作码的位移也从预取队列中读出来。

2.4 执行单元

执行单元执行从指令队列来的指令，与别的单元协作完成指令。它的三个子单元的功能如下：

- 控制单元包括微代码和特别的并行硬件，完成高速乘、除和有效的地址计算。
- 数据单元包括算术逻辑单元，一组八个32位通用寄存器，一个64位桶形移位器（barrel shifter），（它可在一个时钟周期内完成多个位的移位）。数据单元完成控制单元发生的数据操作请求。
- 保护测试单元在微代码控制下检查分段的正确性。

为了加速内存访问指令的执行，执行单元把内存访问指令的执行与以前的指令部分地在时间上加以重叠。由于内存访问指令很频繁，这样做可使性能提高百分之九。

2.5 段管理单元

在执行单元的请求下，段管理单元把逻辑地址翻译成线性地址。在同一芯片上的段描述字高速缓存（Segment Descriptor Cache）中存贮了当前使用的段描述字，这样可以加快地址翻译。在完成翻译的同时，段管理单元检查总线周期的分段正确性。（这种检查不同于保护测试单元的静态分段测试）。翻译后的线性地址送往页管理单元。

2.6 页管理单元

当80386采用页面管理机制时，页管理单元把线性地址（由段管理单元产生或由代码预取单元产生）翻译成物理地址。如不采用页管理机制，则物理地址与线性地址一致，不需要翻译。页描述字高速缓存（Page Descriptor Cache）把最近使用过的页字典和页表（Page Table）入口存贮在它的转换旁视缓冲器（TLB）中，以加快翻译速度。页管理单元把物理地址送往总线接口单元，完成内存和I/O存取访问。