

奔腾™系列用户手册 第一卷

Pentium® 处理器

数据手册

张知奋 龙 静 等译
赵东风 程钧之
唐永坚 胡传国 审校

上海科学普及出版社 电子工业出版社

intel®

One good thing

1979 - 8086 and 8088 CPU

leads to another...



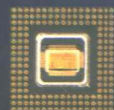
1982 - 80286 CPU

and another...



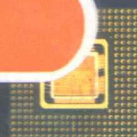
1985 - Intel386™ CPU

and another...



1989 - Intel486™ CPU

and another...



1993 - Pentium™ Processor

1994 - Pentium™ Processor
(90 & 100 MHz)



and another...and another...

奔 腾TM 系 列 用 户 手 册

第一卷 Pentium[®] 处理器 数 据 手 册

张知奋 龙 静 等译
赵东风 程钧之
唐永坚 胡传国 审校

上 海 科 学 普 及 出 版 社
电 子 工 业 出 版 社

责任编辑 龚兰方 胡名正 刘瑞莲

内 容 提 要

继 60MHz 和 66MHz 的奔腾微处理器芯片之后, Intel 公司于最近又宣布了最新版本的 90MHz、100MHz 奔腾微处理器芯片。奔腾微处理器是迄今为止最先进的微处理器, 已被许多微型机厂商采用为 CPU。这套手册共分三卷, 第一卷《数据手册》以有经验的设计工程师为对象, 讨论奔腾处理器系列(包括最新的 iCOMP 指数 815 / 100MHz 奔腾处理器和 iCOMP 指数 735 / 90MHz 奔腾处理器)的技术规范、电气、热学和机械参数, 以及器件的工作信息等。

读者对象: 微机用户, 微机设计、开发、维修人员, 大专院校计算机专业师生。

© 上海科学普及出版社、电子工业出版社 1996

© Intel 公司英文版的授权中译本。

此中译本的出版和发行获得上述英文版的一切出版和发行权的所有者——Intel 公司的许可。上海科学普及出版社、电子工业出版社拥有上述中译本在中华人民共和国(除台湾省外)的独家重印、出版、发行权。任何人不得再对上述中译本进行翻印、改编、出版和发行。

IntelTM 系列用户手册 第一卷 Pentium[®] 处理器数据手册

张知奋 龙 静 等译

赵东风 程钧之

唐永坚 胡传国 审校

上海科学普及出版社

(上海曹杨路 500 号 邮政编码 200063)

电子工业出版社

(北京海淀区普惠北里 12 号 邮政编码 100036)

北京牛山世兴印刷厂印刷

开本: 787×1092 1/16 印张: 26.75 字数: 646000

1996 年 5 月 第 1 版 1996 年 5 月 第 1 次印刷

ISBN7-5427-0961-5/TP·235

版权贸易号: 09-1996-019

定价: 80.00 元

前 言

在过去的 25 年里, Intel 公司不断发展。公司的产品覆盖了微处理器、闪存存储器、微控制器以及 PC 增强型机、网络产品、多媒体产品和大型并行超级计算机等多个领域。以 Intel386 和 Intel486 微处理器系列为代表的 Intel 的 32 位 X86 体系结构已成为现代商业计算应用中事实上的标准。

继 Intel486 微处理器之后, Intel 公司又推出了新一代的 Pentium®(奔腾™) 处理器。该处理器采用了超标量运算双流水线、高性能浮点运算、独立的代码和数据高速缓存、数据完整性功能、分支指令预测、增强的 64 位数据总线、单芯片升级、电源管理、性能监测等多项新技术, 使其达到甚至超过了高档工作站的性能。且能与现有的 IntelX86 系列微处理器以及 5 万多种应用软件相兼容。

上海科学普及出版社和电子工业出版社获 Intel 公司授权, 根据 Intel 公司的原版资料, 共同组织出版了奔腾™ 系列用户手册, 包括《Pentium® 处理器数据手册》、《82496 / 82497 高速缓存控制器和 82491 / 82492 高速缓存 SRAM 数据手册》、《Pentium® 处理器结构与程序设计》等三本书, 以适应国内用户开发、使用、维护 Pentium 微机的需要。

本书《Pentium® 处理器数据手册》详细介绍了器件的操作、总线功能、测试和调试、出错检测、电气机械规范和热特性, 以及各引脚信号的功能、操作及与其他信号的关系。

本书分两部分。第一部分为 1~16 章, 介绍与整个 Pentium 处理器系列有关的内容, 以及与 iCOMP 指数 510\60MHz 及 567\66MHz 的 Pentium 处理器有关的内容; 第二部分为 17~32 章, 专门介绍 iCOMP 指数为 735\90MHz 和 815\100MHz 的 Pentium 处理器。

在本书中, “Pentium 处理器 (510\60、567\66)” 系专指 iCOMP 指数为 510\60MHz 和 567\66MHz 的 Pentium 处理器; “Pentium 处理器 (735\90、815\100)” 系专指 iCOMP 指数为 735\90MHz 和 815\100MHz 的 Pentium 处理器; “Pentium 处理器” 则泛指整个 Pentium 处理器系列。

第一部分中的一些主要内容也适用于 Pentium 处理器 (735\90、815\100), 所以在第二部分中更多的是叙述 Pentium 处理器 (735\90、815\100) 与 Pentium 处理器 (510\60、567\66) 相比而言的一些附加特性及差异。

参加本套用户手册译校工作的有胡传国、张知奋、张纪罗、龙静、曹振羽、赵东风、周红群、夏仁霖、程钧之、丁然文、陶心立、李惠群、蒋亦涵、张兰等。

Intel 公司高级技术专员唐永坚先生和上海电子计算机厂高级工程师胡传国审校了全书。

ABD 63/08

参加本套用户手册录排、作图、校对工作的有：徐建平、李惠群、郑金宝、黄再生、赵秋萍、朱中亦、杜月琴、蔡兰芳等。

谨对以上各位的辛勤劳动表示谢意。

译者
1996 年 2 月

目 录

PENTIUM® 处理器	1
第一部分 Pentium® 处理器 (510\60, 567\66)	5
第一章 Pentium® 处理器 (510\60, 567\66) 引脚排列	5
1.1 引脚排列和引脚说明	5
1.1.1 Pentium® (奔腾™) 处理器 (510\60, 567\66) 引脚排列	5
1.2 设计须知	10
1.3 引脚快速参考表	10
1.4 引脚参照表	17
1.5 按功能的引脚分组	19
1.6 按被驱动的时间对输出引脚分组	20
第二章 微处理器体系结构综述	21
第三章 器件的操作	24
3.1 流水线及指令流	24
3.1.1 Pentium® 处理器流水线说明及改进	25
3.1.2 指令配对规则	27
3.2 分支预测	28
3.3 写缓冲器和存贮器的排序	28
3.3.1 外部事件的同步	29
3.3.2 串行化操作	29
3.3.3 行组填充和回写缓冲器	30
3.4 外部中断	31
3.5 型号专用寄存器	31
3.6 浮点部件	32
3.6.1 浮点流水线的各个阶段	32
3.6.2 发出指令	33
3.6.3 安全指令的识别	33
3.6.4 旁路	34
3.6.5 按数值条件码分支	34
3.7 在片高速缓存	35
3.7.1 高速缓存的组织	35

3.7.2 高速缓存结构	36
3.7.3 高速缓存的操作方式	37
3.7.4 页面可高速缓存性	38
3.7.5 查询周期	40
3.7.6 高速缓存清洗	40
3.7.7 数据高速缓存一致性协议 (MESI 协议)	40
第四章 微处理器的初始化和配置	45
4.1 上电规范	45
4.2 测试及配置特性 (BIST、FRC、三态测试方式)	45
4.2.1 内置自测试	46
4.2.2 三态测试方式	46
4.2.3 功能冗余检查	46
4.3 用 RESET、INIT 和 BIST 进行初始化	47
4.3.1 复位后的中断识别	49
4.3.2 RESET 期间 / RESET 之后的引脚状态	49
第五章 硬件接口	51
5.1 引脚详述	51
5.1.1 A20M [#]	52
5.1.2 A31—A3	52
5.1.3 ADS [#]	54
5.1.4 AHOLD	55
5.1.5 AP	56
5.1.6 APCHK [#]	57
5.1.7 BE7 [#] —BE0 [#]	58
5.1.8 BOFF [#]	59
5.1.9 BP[3:2], PM / BP[1:0]	60
5.1.10 BRDY [#]	61
5.1.11 BREQ	62
5.1.12 BT3—BT0	63
5.1.13 BUSCHK [#]	64
5.1.14 CACHE [#]	64
5.1.15 CLK	65
5.1.16 D / C [#]	66
5.1.17 D63—D0	67
5.1.18 DP7—DP0	8
5.1.19 EADS [#]	69
5.1.20 EWBE [#]	70

5.1.21 FERR [#]	71
5.1.22 FLUSH [#]	72
5.1.23 FRCMC [#]	73
5.1.24 HIT [#]	74
5.1.25 HITM [#]	74
5.1.26 HLDA	75
5.1.27 HOLD	76
5.1.28 IBT	77
5.1.29 IERR [#]	78
5.1.30 IGNNE [#]	79
5.1.31 INIT	79
5.1.32 INTR	80
5.1.33 INV	81
5.1.34 IU	82
5.1.35 IV	82
5.1.36 KEN [#]	83
5.1.37 LOCK [#]	84
5.1.38 M / IO [#]	85
5.1.39 NA [#]	86
5.1.40 NMI	87
5.1.41 PCD	87
5.1.42 PCHK [#]	88
5.1.43 PEN [#]	89
5.1.44 PM / BP[1:0]	90
5.1.45 PRDY	91
5.1.46 PWT	91
5.1.47 R / S [#]	92
5.1.48 RESET	93
5.1.49 SCYC	94
5.1.50 SMI [#]	95
5.1.51 SMIACT [#]	95
5.1.52 TCK	96
5.1.53 TDI	97
5.1.54 TDO	98
5.1.55 TMS	98
5.1.56 TRST [#]	99
5.1.57 W / R [#]	100
5.1.58 WB / WT [#]	100

第六章 总线功能说明	102
6.1 物理存贮器和 I/O 接口	102
6.2 数据传送机制	103
6.2.1 与 8、16、32 和 64 位存贮器的接口	105
6.3 总线周期	109
6.3.1 单次传送周期	110
6.3.2 猝发周期	111
6.3.3 锁定的操作	115
6.3.4 BOFF [#]	117
6.3.5 总线保持	121
6.3.6 中断确认	122
6.3.7 清洗 (Flush) 操作	123
6.3.8 专用总线周期	123
6.3.9 对总线出错的支持	124
6.3.10 流水线化周期	125
6.4 高速缓存一致性周期 (询问周期)	127
6.4.1 对于撤销 AHOLD 的一些限制	130
6.4.2 询问周期的速率	132
6.4.3 内部窥探	133
6.4.4 窥探的责任	133
6.5 Intel 486 微处理器和 Pentium 处理器之间的总线差异	134
6.6 总线状态定义	137
6.6.1 状态转换	138
6.6.2 停顿时钟的时序图	140
第七章 电气规范	142
7.1 电源和接地	142
7.2 去耦建议	142
7.3 连接规范	142
7.4 最大额定值	143
7.5 直流规范	143
7.6 交流规范	144
7.7 对处理过冲/负过冲的指导	155
第八章 I/O 缓冲器模型	156
8.1 输入二极管模型	158
第九章 机械规范	172
第十章 热性能规范	175

第十一章 可测试性	177
11.1 内置的自测试 (BIST)	177
11.2 三态测试方式	178
11.3 IEEE 1149.1 测试访问端口和边界扫描机制	178
11.3.1 Pentium 处理器的测试访问端口 (TAP)	178
11.3.2 边界扫描	185
第十二章 出错检测	189
12.1 内部出错检测	189
12.2 Pentium 处理器接口上的出错检测	190
12.2.1 地址奇偶性	190
12.2.2 数据奇偶性	191
12.2.3 机器检查异常	192
12.2.4 总线错	193
12.2.5 功能冗余检查	194
第十三章 执行过程的跟踪	195
13.1 测试寄存器 12	196
第十四章 Pentium® 处理器 (510\60、567\100) 的电源管理	197
14.1 系统管理中断的处理	197
14.1.1 系统管理中断 (SMI [#])	198
14.1.2 SMI 激活 (SMI [#] ACT)	199
14.2 SMM——系统设计方面的考虑	200
14.2.1 SMRAM 接口	200
14.2.2 高速缓存清洗	201
14.2.3 A20M [#] 引脚	202
14.2.4 SMM 和二级写缓冲器	204
第十五章 调试	205
15.1 在系统中设计一个调试端口	205
15.1.1 调试连接器说明	206
15.1.2 信号说明	206
15.1.3 信号质量说明	206
15.1.4 实现的例子	207
第十六章 用于 Pentium® 处理器 (510\60、567\66) 系统的 Future Pentium® OverDrive® 处理器插座规范	209
16.1 概述	209
16.1.1 升级的目标	209

16.1.2 Intel 验证计划	210
16.1.3 与 Pentium® 处理器 (510\60、567\66) 功能上的差异	210
16.2 Future Pentium® OverDrive® 处理器插座	211
16.3 插座 4 的引脚排列	211
16.4 电气规范	212
16.4.1 升级组件的绝对最大额定值	212
16.4.2 直流规范	214
16.4.3 交流规范	215
16.5 机械规范	215
16.6 热特性规范	217
16.7 可测试性	218
16.7.1 边界扫描	218
16.8 INTEL 验证计划	219
第二部分 Pentium® 处理器 (735\90、815\100)	220
第十七章 Pentium® 处理器 (735\90、815\100) 引脚排列	220
17.1 引脚排列和交叉参照表	220
17.2 设计须知	225
17.3 快速引脚参考表	225
17.4 引脚参照表	234
第十八章 微处理器体系结构概述	239
18.1 处理器目标	240
18.2 Pentium® 处理器 (735\90、815\100) 与 Pentium® 处理器 (510\60、567\66) 的区别	241
18.2.1 引脚排列和封装	241
18.2.2 CPUTYP 引脚	242
18.2.3 高达 100MHz 的内核频率	242
18.2.4 分速总线	242
18.2.5 3.3V 和 5V 的电源供电	243
18.2.6 较低的功耗	243
18.2.7 支持双处理器	243
18.2.8 本地 APIC 中断控制器	244
18.2.9 电源管理特性	244
18.2.10 断点引脚	244
18.2.11 Hi-Z TAP 指令	244
18.2.12 总线周期	245
18.2.13 HOLD 等待时间	245
18.2.14 中断优先级	245

18.3 双处理与单处理的区别摘要	245
18.3.1 锁定的周期序列	246
18.3.2 周期流水线	246
18.3.3 BOFF [#] 引起的周期排序	247
18.3.4 高速缓存行组状态	247
18.3.5 背对背周期	247
18.3.6 地址奇偶校验	247
18.3.7 同步 FLUSH [#] 和 RESET	248
18.3.8 PCHK [#] 置起	248
18.3.9 清洗周期	248
18.3.10 浮点出错处理	248
18.4 双处理器方式概述	249
18.4.1 双处理术语	250
18.4.2 新引脚 / 引脚修改	250
18.4.3 双处理概述	251
第十九章 器件操作	256
19.1 特性和区别	256
19.1.1 分速总线	256
19.1.2 可选的缓冲器尺寸	258
19.1.3 电源管理: I/O 指令重启动	259
19.1.4 电源管理: 停止时钟 (Stop Clock) 和自动停工掉电 (AutoHalt Powerdown)	259
19.1.5 APIC 中断控制器	259
19.1.6 中断优先级	260
19.1.7 CPUID 指令	260
19.1.8 总线周期和等待时间的区别	261
19.1.9 断点信号	262
19.1.10 新的 TAP 指令: Hi-Z	262
19.2 APIC 中断控制器	263
19.2.1 APIC 配置方式	264
19.2.2 装入 APIC ID	266
19.2.3 响应 HOLD	267
第二十章 微处理器初始化和配置	268
20.1 用对称的双处理配置来管理和设计	268
20.1.1 双处理器自举协议	268
20.1.2 双处理器仲裁	270
20.1.3 第二处理器高速缓存的一致性	273

20.2 对称双处理器的设计	280
20.2.1 双处理器总线接口	280
20.2.2 双处理器电源管理	284
20.2.3 其他双处理器方面的考虑	285
20.2.4 第二处理器引脚功能	287
第二十一章 硬件接口	292
21.1 详细的引脚说明	292
21.1.1 A20M [#]	292
21.1.2 ADS [#]	293
21.1.3 ADSC [#]	294
21.1.4 APCHK [#]	294
21.1.5 APICEN	295
21.1.6 BE4 [#] -BE0 [#]	296
21.1.7 BF	297
21.1.8 BP3-BP0	298
21.1.9 BRDYC [#]	299
21.1.10 CACHE [#]	299
21.1.11 CPUTYP	300
21.1.12 D/C [#]	301
21.1.13 D/P [#]	301
21.1.14 DPEN [#]	302
21.1.15 FERR [#]	303
21.1.16 FLUSH [#]	303
21.1.17 HIT [#]	304
21.1.18 HITM [#]	304
21.1.19 HLDA	305
21.1.20 IGNNE [#]	306
21.1.21 INTR	306
21.1.22 LINT1-LINT0	307
21.1.23 LOCK [#]	308
21.1.24 M/IO [#]	308
21.1.25 NMI	309
21.1.26 PBGNT [#]	310
21.1.27 PBREQ [#]	311
21.1.28 PCHK [#]	311
21.1.29 PHIT [#]	312
21.1.30 PHITM [#]	313
21.1.31 PICCLK	314

21.1.32 PICD1-PICD0	315
21.1.33 RESET	315
21.1.34 SCYC	316
21.1.35 SMIACT [#]	316
21.1.36 STPCLK [#]	317
21.1.37 V _{CC}	318
21.1.38 W/R [#]	319
第二十二章 总线功能说明	320
第二十三章 电气规范	321
23.1 Pentium 处理器 (735\90、815\100) 与 Pentium 处理器 (510\60、567\66) 之间电气特性上的差异	321
23.1.1 3.3V 电源供电	321
23.1.2 3.3V 的输入和输出	322
23.1.3 3.3V 缓冲器模型	322
23.2 绝对最大额定值	323
23.3 直流规范	323
23.4 交流规范	325
23.4.1 专用总线	325
23.4.2 电源和地	326
23.4.3 去耦方面的建议	326
23.4.4 连接规范	327
23.4.5 交流定时表	327
第二十四章 I/O 缓冲器模型	346
24.1 缓冲器模型的参数	349
24.2 信号质量规范	351
24.2.1 振铃	351
24.2.2 稳定时间	352
第二十五章 机械规范	354
第二十六章 热特性规范	356
26.1 温度值的测量	356
26.1.1 热等式和数据	357
第二十七章 可测试性	359
27.1 3.3V 时的边界扫描考虑	359
27.2 边界扫描链	359

第二十八章 出错检测	361
第二十九章 执行过程的跟踪	362
29.1 执行过程跟踪的变化	362
第三十章 电源管理	364
30.1 Pentium 处理器 (735\90、815\100) 与 Pentium 处理器 (510\60、567\66) 电源管理上的差异	364
30.2 通过 APIC 的系统管理中断	364
30.3 I/O 指令重启动	365
30.3.1 I/O 指令重启动时的 SMI [#] 同步	365
30.4 SMM 的双处理器问题	365
30.4.1 SMI [#] 递送	366
30.4.2 SMI [#] ACT	367
30.4.3 高速缓存清洗	367
30.5 时钟控制	367
30.5.1 时钟的产生	367
30.5.2 时钟的停止	368
30.5.3 “Stop Grant (准许停止)”总线周期	369
30.5.4 “准许停止”期间的引脚状态	370
第三十一章 Pentium [®] 处理器 (735\90、815\100) 的调试	375
31.1 概述	375
31.2 两级支持	375
31.2.1 等级 1 调试端口 (L1)	375
31.2.2 等级 2 调试端口 (L2)	376
31.3 调试端口连接器说明	376
31.4 信号说明	377
31.5 信号质量说明	379
31.6 实现的例子	379
31.6.1 例子 1: 单个 CPU, 系统不使用边界扫描	379
31.6.2 例子 2: 单个 CPU, 系统使用边界扫描	380
31.6.3 例子 3: 双 CPU, 系统不使用边界扫描	381
31.6.4 例子 4, 双 CPU, 系统使用边界扫描	382
31.7 实现的细节	383
31.7.1 信号布线说明	383
31.7.2 专用适配器的说明	384
第三十二章 用于 Pentium [®] 处理器 (735\90、815\100) 的 Future Pentium [®] OverDrive [®] 处理器插座规范	390

32.1 概述	390
32.1.1 升级目标	390
32.1.2 Intel 验证计划	391
32.2 Future Pentium OverDrive 处理器 (插座 5) 引脚排列	391
32.2.1 引脚图	391
32.2.2 插座 5 引脚快速参照表	393
32.3 系统设计方面的考虑	397
32.3.1 CPU 类型引脚定义	397
32.3.2 热故障保护	398
32.3.3 对单插座系统的考虑	399
32.4 对双插座系统的考虑	400
32.4.1 双插座的电源考虑	400
32.5 电气规范	402
32.5.1 V_{CC5} 引脚定义	402
32.5.2 升级器件的绝对最大额定值	402
32.5.3 直流规范	403
32.6 机械规范	404
32.7 热特性规范	405
32.7.1 热特性的有关信息	405
32.7.2 升级处理器的冷却要求	406
32.8 带插座 5 时的可升级性	409
32.8.1 简述	409
32.8.2 插座 5 的供应商	409
32.8.3 Intel 验证计划	409
附录 A 补充资料	411

PENTIUM[®] 处理器

(iCOMP[®] 指数 510\60MHz)

PENTIUM[®] 处理器

(iCOMP[®] 指数 567\66MHz)

- 与大量软件二进制兼容
 - DOS^{*}、Windows^{*}、OS/2^{*}、UNIX^{*}
- 32 位微处理器
 - 32位寻址
 - 64位数据总线
- 超标量体系结构
 - 两个流水线整数单元
 - 每条指令能在一个时钟内完成
 - 流水线浮点单元
- 独立的代码高速缓存和数据高速缓存
 - 8K代码，8K回写数据
 - 两路32字节行组大小
 - 软件透明
 - MESI高速缓存一致性协议
- 先进的设计特性
 - 分支预测
 - 虚拟方式扩充
- 273 引脚网格阵列封装
- BiCMOS 硅工艺
- 页面大小可递增
 - 可递增到4M，以提高TLB命中率
- 多处理器支持
 - 多处理器指令
 - 支持第二级高速缓存
- 内部出错检测
 - 功能冗余检验