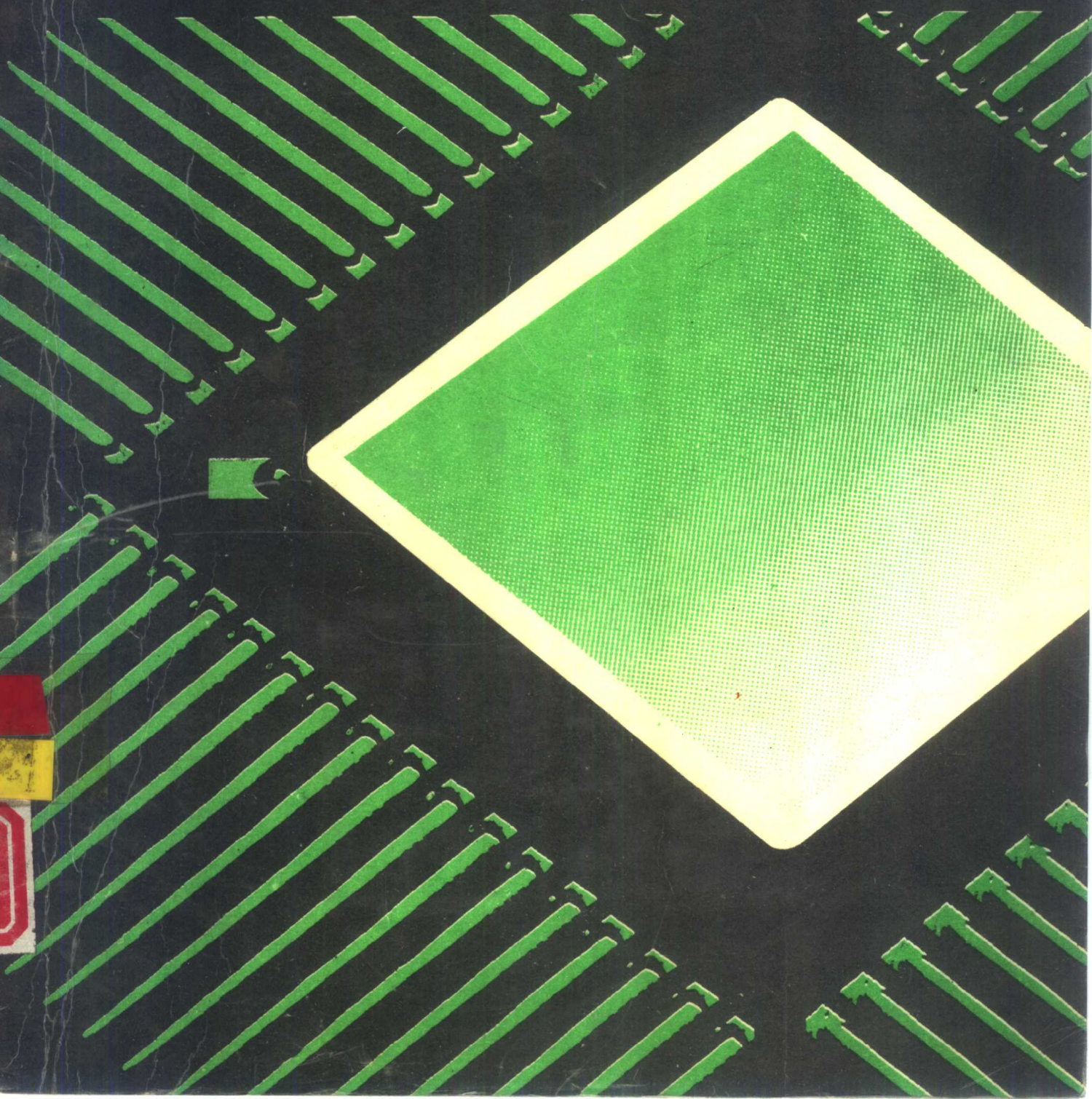


单片微型计算机 DSG-51 系列仿真器监控程序 分析与应用

范寿康 张湫波

东南大学出版社



单片微型计算机DSG-51系列仿真器 监控程序分析与应用

范寿康 张浣波

东南大学出版社

(苏)新登字第012号

内 容 简 介

本书全面地介绍单片微型计算机DSG-51系列仿真器监控程序。

在介绍DSG-51-Ⅱ型、DSG-51-5 A型仿真器硬件电路的基础上,分析监控程序结构,并按用户程序的编辑、运行、调试、与计算机的联机分类,对监控程序中各功能模块进行详细介绍,给出各模块详细程序流程方框图和监控程序总清单,最后还对原监控程序中的错误和不足之处作了分析和修正。

本书适合广大从事单片机开发和应用的科技人员、工人阅读,也可作为大专院校单片机原理与应用课程的教学参考书。

单片微型计算机DSG-51系列仿真器

监控程序分析与应用

范寿康 张湫波

东南大学出版社出版

南京四牌楼2号

江苏省新华书店发行 南京人民印刷厂印刷

开本787×1092毫米 1/16 印张15.125 字数349.5千字

1992年1月第1版

1992年1月第1次印刷

印数: 1—3000册

ISBN 7-81023-422-6

TP·31

定价:9.75元

前 言

当前,单片微型计算机的应用正处在一个蓬勃发展的阶段,越来越多的人对它产生了浓厚的兴趣,渴望尽快地掌握这个有力工具,以便在学习完“单片微型计算机原理及应用”之后,能够具有开发应用单片机的能力;有的同志在实际动手开发了一两个项目之后,希望能够在理论上加以总结提高,从而能在更高水平上开发单片计算机。为了达到这个目的,我们认为可以在两方面加以努力:第一,从理论上学习在开发应用单片机时有些什么步骤,应遵循什么原则,并实际剖析一两个完整的应用实例,从中得到启发;第二,认真剖析一台单片计算机仿真器的监控程序,从而对单片计算机、单片机仿真器的了解更深入。监控程序是一个与硬件电路紧密结合、经过多人精心设计、反复优化的软件,在程序结构和编程技巧上都很有讲究,在一定程度上可以作为汇编语言程序设计的范例,认真地剖析一个具体的监控程序可以学到许多编程方法和编程技巧。

带着这个目的,笔者从1987年开始就仔细地阅读、分析DSG-51系列单片机仿真器的监控程序。笔者认为,尽管目前我国MCS-51系列单片机的仿真器的种类和型号很多,但由复旦大学计算机系开发,国营江苏启东电子仪器厂等厂家生产的DSG-51系列仿真开发器,在社会的拥有量最大,并形成由DSG-51-II型、5型、5A型和6型(启东无线电厂生产)的系列化产品,因此我们一开始就选定了DSG-51-II型仿真器的监控程序进行阅读分析,从中受益匪浅,进而我们又分析、研究了DSG-51系列的5型、5A型乃至6型的仿真器监控程序,对各种型号的监控程序进行比较、归纳,并对监控程序存在部分问题和错误问题提出自己的意见和看法,把它整理成一份资料在我院部分学员中试用,深得学员们的欢迎。

1990年5月全国单片计算机学术交流会在北京召开,在会议论文集的前言中,全国单片机学会指出:

“单片机技术应用推广工作与其开发工具有着十分密切的关系,要想更加普及单片机技术,使其得到更加广泛的应用,首先要抓好单片机的开发工具……。

然而国内销售的开发工具的资源还向用户保密,透明度很差,仅一般讲述操作使用方法,连其监控程序都向用户保密,致使有用的资源得不到充分利用,其配用的软件也十分匮乏,不利于开发工作,解决办法是优选一批全国各地涌现出的开发工具、组织一部分力量完善其监控,改善其性能,增加子程序库,并整理汇编资料,公开出版,便于用户使用……”。

得到这样的信息,使我们倍受鼓舞,我们认为,过去所作的工作是十分有意义的,我们应响应全国单片机学会号召,把自己写出的资料整理出版,为单片机在我国深入广泛应用贡献自己的力量,我们的想法得到了我院各级领导的大力支持和鼓励。使我们能在较短的时间内把资料整理成书出版。

编著这本书还有一个目的是使没学过系统软件的读者对系统软件能够有某一侧面的

了解，如果读者通过学习本书，多少知道一些监控程序作为裸机与用户之间的界面是如何工作的，那对我们将是一个很大的安慰，如果有部分读者读完本书后，能够着手研制新的专用监控程序，那正是笔者的希望。

本书适用于广大具有高中以上文化程度的工人、工程技术人员、科研工作者阅读，特别适合于拥有DSG-51系列（Ⅱ型、5型、5A型以及6型）仿真器的用户和国营江苏启东计算机厂生产的DVCC系列仿真器的用户阅读。对拥有其它系列仿真开发器的用户也有很大的参考价值，本书也可作为高等院校“单片机原理”等课程的教学参考书。

我院韦文初教授、王元坤教授、蔡剑铭教授、关肇华教授、王蕴芳副教授等对本书的编写出版给予热情的关怀和帮助，王宁同志作了大量的绘图、抄写、整理工作，在此向上述同志表示衷心地感谢。

由于编著者水平有限，书中难免存在不少缺点和不足之处，恳请广大读者批评指正。

编著者

1990年10月于南京通信工程学院

目 录

第一章 DSG-51系列仿真器硬件电路介绍

- § 1.1 DSG-51-II型仿真器硬件电路介绍 1
- § 1.2 DSG-51-5A型仿真器硬件电路的改进 5

第二章 DSG-51系列仿真器监控程序结构

- § 2.1 单片机内部RAM的映象寄存器 12
- § 2.2 监控程序用标志位与标志字 13
- § 2.3 监控程序的结构 15

第三章 监控程序中的重要子程序

- § 3.1 概述 18
- § 3.2 显示子程序 18
- § 3.3 等键、求键值子程序 21
- § 3.4 发送子程序 25
- § 3.5 接收子程序 26
- § 3.6 可变延时显示子程序 26
- § 3.7 DSG-51系列仿真器所有子程序清单 27
- § 3.8 将监控程序调入仿真器RAM的方法 30

第四章 用户程序的编辑

- § 4.1 多功能键F 1键和F 2键以及MON键 31
- § 4.2 用户程序的键入, 检查与修改 33
- § 4.3 用户程序的移动 46
- § 4.4 用户程序的比较 49
- § 4.5 用户程序的固化 51

第五章 用户程序的运行与调试

- § 5.1 概述 56
- § 5.2 全速连续运行(EXE) 56
- § 5.3 全速断点运行(RBK) 61
- § 5.4 单步运行(SBK) 67
- § 5.5 非全速断点运行(SBK) 78

第六章 仿真器与计算机联机

§ 6.1 仿真器与主机的通信	80
§ 6.2 仿真器与主机的联机	82
§ 6.3 仿真器与主机的联机编辑	85
§ 6.4 仿真器与主机的联机调试	98
§ 6.5 仿真器与主机联机监控程序命令一览表	104

第七章 DSG-51-5A型仿真器监控程序中存在的问题

§ 7.1 概述	106
§ 7.2 5 A型仿真器监控程序中的笔误	106
§ 7.3 用复位打断RBK运行时三个机器码恢复问题	108
§ 7.4 RBK运行与单步运行中断状态标志的衔接问题	112
§ 7.5 单步处理程序中存在的问题	112
§ 7.6 定时器时间常数修正问题	116
§ 7.7 其它错误	121

附录1 DSG-51-5A型仿真器监控程序清单

附录2 DSG-51-II型仿真器监控程序简介

A·2-1 II型仿真器监控用标志字与标志位	225
A·2-2 单片机内部RAM、SFR与映象寄存器的对应关系	225
A·2-3 II型仿真器子程序清单	226
A·2-4 II型仿真器监控程序各功能模块的入口地址	227
A·2-5 将II型仿真器监控程序调入仿真器RAM的方法	223
A·2-6 II型仿真器监控程序存在的问题	228

附录3 DSG-51-5型、QWDSG-51-6型仿真器监控程序简介

A·3-1 5型(6型)仿真器监控用标志字与标志位	230
A·3-2 单片机内部RAM、SFR与映象寄存器的对应关系	231
A·3-3 5型(6型)仿真器子程序清单	232
A·3-4 5型(6型)仿真器监控程序各功能模块入口地址	234

附录4 5A型仿真器监控程序最新版本的改动

第一章 DSG-51系列仿真器硬件电路介绍

DSG-51系列仿真器的监控程序是与仿真器硬件电路结合紧密的软件,因此,要对监控程序进行系统地分析,首先必须对仿真器硬件电路有所了解。DSG-51系列仿真器的硬件电路为用户提供了大量非常有用的实用接口电路,可作为用户设计任何单片机应用系统时的参考,熟悉本章内容对分析解剖其它类型仿真开发系统也有很大参考价值。

本章将着重介绍DSG-51-II型仿真器硬件电路结构和DSG-51-5A型仿真器在硬件电路上的改进以及5A型仿真器所用GAL芯片的等效电路,另外还将介绍部分单元电路,为后述有关监控程序分析的各章作一些准备。

§ 1.1 DSG-51-II型仿真器硬件电路介绍

一个理想的仿真器,在调试用户程序时应该尽可能不占用单片机的资源,也就是说单片机的所有数据存储器空间(RAM空间)和程序存储器空间(ROM空间)以及单片机片内RAM和特殊功能寄存器(SFR),各中断源等都应全部给用户享用。在实际仿真器中要做到这一点是极其困难的,DSG-51系列仿真器作为一种普及型的51系列单片机仿真器还是占用了一部分资源的,例如DSG-51-II型仿真器占用了整个64kRAM空间的最后一个单元,即FFFFH单元;另外这种仿真器的监控程序以及仿真器的I/O扩展电路接口占用了从0000H开始的前32kROM空间,仅把从8000H开始的后32kROM空间让用户使用;在这种仿真器电路设计上,只给出了从8000H起到AFFFH止的12kRAM作为用户的程序寄存器。一般说来,对工业控制,智能仪表等单片机广泛应用场合,12k程序存储器空间是足够了。另外,DSG-51系列仿真器在调试用户程序时,还要占用用户堆栈顶部的几个单元。

§ 1.1-1 DSG-51-II型仿真器硬件结构

DSG-51-II型仿真器的硬件结构图如图1.1-1所示,8031单片机外围芯片主要有以下部分:

1. 两片2732EPROM,地址为0000H~0FFFH(MON₁)和1000H~1FFFH(MON₂),存放了本机约5k多字节的监控程序,第一片监控程序(MON₁)主要存放显示与键盘操作管理程序,第二片监控程序(MON₂)主要存放与个人计算机(这里指的是IBM-PC机及其兼容机)联机调试程序,因此在不插入MON₂时,仍然可以在键盘上操作开发用户应用系统。

2. 六片6116,共12k字节静态RAM,地址为8000H~AFFFH。它主要用于存放用户程序,当仿真器处于仿真状态时,这12kRAM将出借给用户,作为用户的程序寄存器;

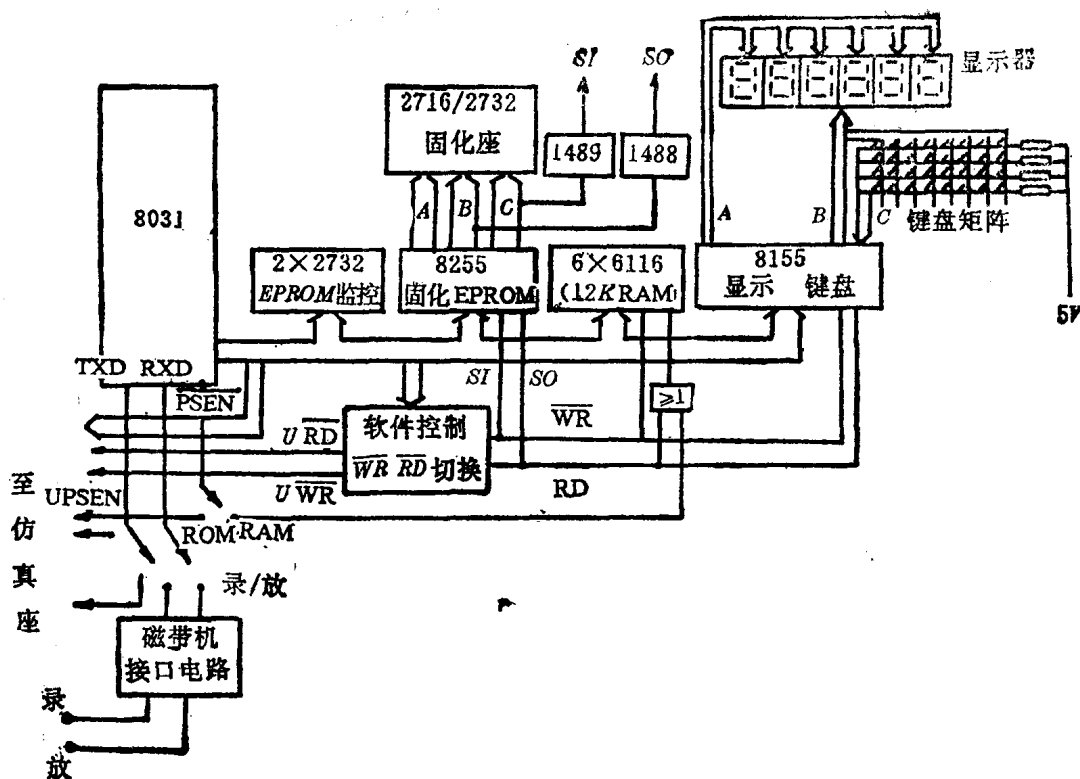


图1.1-1 DSG-51-II型仿真器硬件结构图

当仿真器处于单板机应用时，这12kRAM同时可作为数据存储器。

3. 8255并行接口，地址为3FFCH~3FFFH(分别对应A口，B口，C口和命令口)主要用于EPROM固化，其中PB.7兼作为输出串行口SO，PC.7用于输入串行口SI，与IBM-PC机联机时交换信息。

4. 8155并行接口，8155内部RAM，地址为4E00H~4EFFH，8155芯片命令口，A口，B口和C口为4F00H~4F03H，8155的三个并行口接显示器和键盘矩阵，8155的RAM作为8031内部RAM的映像寄存器以及监控程序用标志位及标志字寄存器。

5. $\overline{WR}$ 、 $\overline{RD}$ 控制线的软件切换开关。

6. 由P3.0(RXD)和P3.1(TXD)组成的录音机接口电路。

§ 1.1-2 $\overline{WR}$ 、 $\overline{RD}$ 信号的软件控制切换开关

从上面介绍已经看到，仿真器占用了相当多的RAM地址空间，为解决仿真器与用户应用系统对RAM空间的占用，采用分分享用RAM空间，也就是说仿真器在执行监控程序时， $\overline{WR}$ 、 $\overline{RD}$ 线对仿真器内部电路有效，由仿真器占用RAM空间，而在执行用户程序时， $\overline{WR}$ 、 $\overline{RD}$ 线对用户应用系统有效，让用户应用系统占用整个RAM空间，这就需要有一个受软件控制的开关对 $\overline{WR}$ 、 $\overline{RD}$ 作双向切换，DSG-51-II型仿真器的软件切换开关如图1.1-2所示。

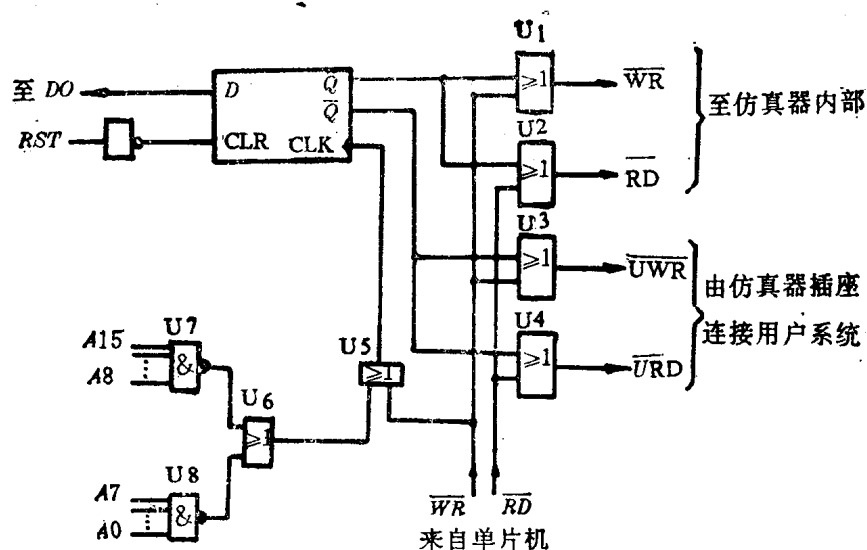


图 1.1-2 $\overline{WR}$ 、 $\overline{RD}$ 信号软件控制切换开关电路

由图1.1-2看出，切换开关是由一个D触发器和四个或门($U_1 \sim U_4$)以及FFFF译码电路组成，当D触发器处于“0”状态时， $Q = “0”$ ， $\overline{Q} = “1”$ ， $\overline{Q}$ 端的高电平将或门 U_3 、 U_4 封闭，而Q端低电平将或门 U_1 、 U_2 打开使 $\overline{WR}$ 、 $\overline{RD}$ 信号对仿真器内部有效。反过来，当D触发器处于“1”状态时， $Q = 1$ ， $\overline{Q} = 0$ ，Q端的高电平将或门 U_1 、 U_2 封闭，而 $\overline{Q}$ 端的低电平使 U_3 、 U_4 打开，而将 $\overline{WR}$ 、 $\overline{RD}$ 线引向用户应用系统。 $\overline{UWR}$ 与 $\overline{URD}$ 分别连到仿真插座，然后由仿真线联接用户应用系统。

D触发器由8031的复位信号复位，因此当仿真系统复位时，Q端为低电平， $\overline{WR}$ 、 $\overline{RD}$ 信号对仿真器内部有效，这时8031执行监控程序，占用仿真器显示、键盘以及RAM等资源。

D触发器状态的切换可以通过给FFFFH RAM单元写一个数来完成，从图1.1-2看出，只有在向FFFFH单元执行“写”操作时，输入与非门 U_7 、 U_8 才同时输出低电平， U_6 也输出低电平，这时 $\overline{WR}$ 有效，也为低电平，通过 U_5 在D触发器的时钟输入端出现一个负脉冲，这个负脉冲的后沿(上升沿)将D0的数据送入Q端输出，因此执行如下程序后， $\overline{WR}$ 、 $\overline{RD}$ 信号对用户系统有效：

```
MOV DPTR, #0FFFFH
MOV A, #01H
MOVX @DPTR, A
```

而执行如下程序后， $\overline{WR}$ 、 $\overline{RD}$ 信号对仿真器本身有效

```
MOV DPTR, #0FFFFH
MOV A, #00H
MOVX @DPTR, A
```

用户程序和监控程序都可以使用这两段程序对 $\overline{WR}$ 、 $\overline{RD}$ 信号进行切换。

这样的硬件电路使得仿真器在仿真用户应用系统时能将除FFFFH单元外的所有RAM地址空间让给用户，即仿真器只占用64kRAM空间中的一个单元，一般来说这是无

关紧要的。

§ 1.1-3 仿真器RAM的硬件电路

图1.1-3绘出了仿真器RAM的CS、WR、RD的连接，CS是由一片74LS138译码器提供的，地址为8000H~AFFFH。仿真器设计者将整个64kROM空间分成两半，前32k空间(0000H~7FFFH)由监控程序占用，后32k(8000H~FFFFH)空间作为用户程序空间，因此将仿真器RAM(即用户程序寄存器)排在8000H开始的地址，这样的硬件设计要求用户系统8031的最高位地址线A15不参加译码，只有这样才能使处于8000H开始的用户程序，等价于用户系统从0000H开始的程序，用户在使用DSG-51-II型仿真器时，必须牢记这一点。另外相应的中断入口地址变成8003H(INT0中断入口地址)，800BH(T0中断入口地址)，801BH(INT1中断入口地址)，801BH(T1中断入口地址)，8023H(串行口中断入口地址)。

这样ROM地址安排给用户施加了一定限制，因此在以后DSG-51系列的几种机型中，对此作了较大改进。

仿真器RAM是作为用户程序寄存器出借给用户的，因此RAM的RD线应该与8031的PSEN线相连，但是为了使仿真器在单板机状态下也能将RAM作为数据寄存器访问，因此将8031的PSEN线和RD线相与后加至RAM的RD线上。

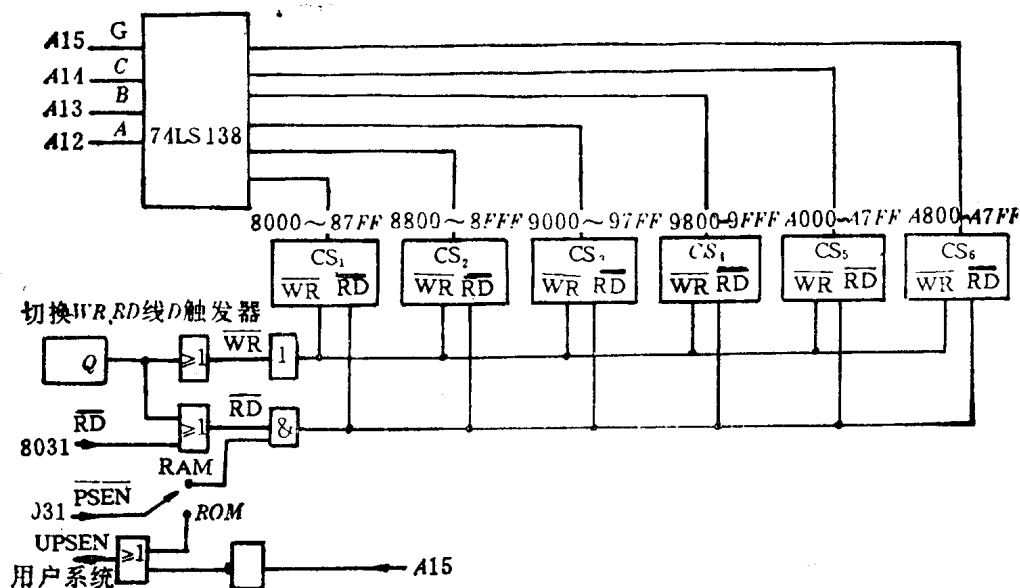


图 1.1-3 仿真器CS、WR、RD的硬件电路

8031的PSEN线通过一个ROM/RAM选择开关分别加至与门或者UPSEN上，如果开关拨向ROM一方，PSEN线对用户系统有效，8031执行的是用户系统ROM中的程序（其中A15的控制保证用户只能执行8000H以上的用户程序，执行0000H的监控时，UPSEN无效）；如果开关拨向RAM一方，则PSEN线对仿真器RAM有效，8031将执行RAM中的用户程序。

§ 1.1-4 显示电路与键盘矩阵电路

显示电路与键盘矩阵电路是DSG-51系列仿真器中的重要电路,有关它们的情况将在第三章中结合监控程序的显示子程序与查键子程序时一并介绍。

§ 1.1-5 单步运行时用 $\overline{INT0}$ 中断的识别电路

当单步运行用户程序时,DSG-51-II型仿真器的监控程序是利用了优先权最高的高级 $\overline{INT0}$ 电平中断中断用户程序,每执行一条用户程序中断一次,从而实现单步运行,也就是说监控程序占用了 $\overline{INT0}$ 中断源。对于用户程序是否需要用 $\overline{INT0}$ 中断,就需要有辅助的硬件电路帮助识别。DSG-51-II型仿真器将用户 $\overline{UINT0}$ 线接到一个D触发器的CLK端,D触发器接成分频器方式,使得每一个 $\overline{INT0}$ 的上升沿使D触发器翻转一次,触发器的Q接到8155的PC4,输入到CPU再存放在8155的4E54.4位,监控程序每单步执行一条指令都检查一下当前D触发器的状态是否与8155的4E54.4位相同,如果不相同则说明发生了一次用户 $\overline{INT0}$ 中断,监控程序根据IEC,IPC的状态决定是否进入用户 $\overline{INT0}$ 中断服务程序,这部分硬件电路如图1.1-4(a)所示。

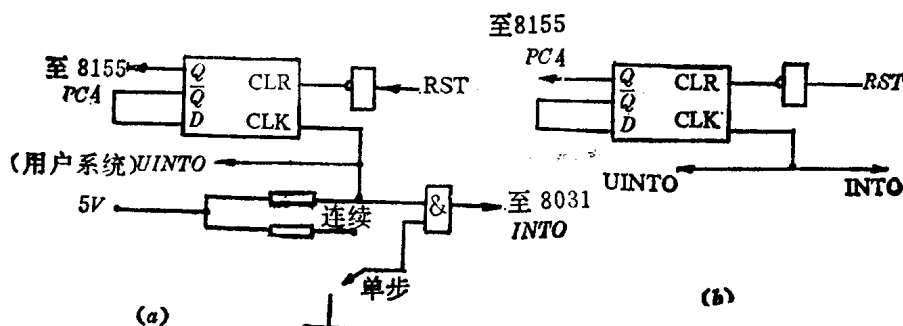


图1.1-4 用户中断识别电路

这个电路的主要缺点是只能识别用户的 $\overline{INT0}$ 边沿中断,无法识别电平中断,因为II型仿真器的单步是通过电平中断实现的。实际上这个单步开关可以取消,单步中断可以完全通过软件来实现,DSG-51-5A型仿真器已将单步开关去掉,这样不但使用方便,而且使用用户 $\overline{INT0}$ 电平中断也能被识别,其硬件电路如图1.1-4(b)所示。

§ 1.2 DSG-51-5A型仿真器硬件电路的改进

§ 1.2-1 WR、RD软件开关的改进

DSG-51-II型仿真器的软件开关占用了RAM空间的FFFFH单元,为了使仿真时能将全部RAM空间让给用户系统,DSG-51-5A型仿真器作了较大的改动,这部份硬件电路如图1.2-1所示。

电路仍用一个D触发器的输出选和Q通两对或门,达到切换 $\overline{WR}$ 、 $\overline{RD}$ 信号的目的,不同的是D触发器状态的改变方法不同,地址信号由原来的FFFFH改成由译码器输

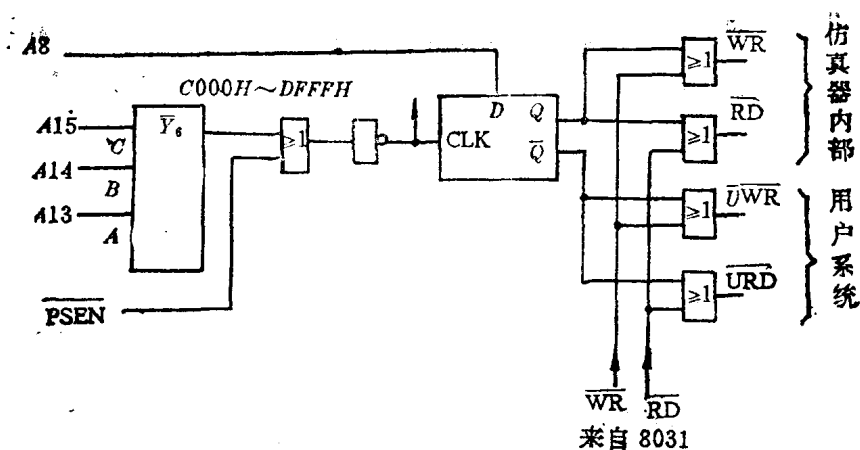


图1.2-1 5A型仿真器软件控制切换开关电路

出的C000H~DFFFH地址信号，控制信号由原来的 $\overline{WR}$ 改成 $\overline{PSEN}$ 信号，数据线由D0改成A8，这样就使软件开关的程序完全不同于DSG-51-II型仿真器了。

执行如下程序，将使 $\overline{WR}$ 、 $\overline{RD}$ 信号对仿真器本身有效

```
MOV DPTR, #0C00H, A8 = "0"
MOVC A, @A + DPTR
```

因为执行MOVC指令时， $\overline{PSEN}$ 信号在地址稳定时有效，而输出地址(A + DPTR)的A8位线为“0”，因此执行完第二条指令后，D触发器Q端为“0”， $\overline{WR}$ 、 $\overline{RD}$ 信号对仿真器本身有效。

执行如下程序，将使 $\overline{WR}$ 、 $\overline{RD}$ 对用户应用系统有效。

```
MOV DPTR, #0C100H, A8 = "1"
MOVC A, @A + DPTR
```

因为C000H, C100H处于监控程序所占的32kROM空间内，因此消除了对RAM, ROM空间的额外占用。

5A型仿真器与II型仿真器还有不同之处是，5A型仿真器在系统复位时，硬件电路并不使D触发器复位，因此系统复位以后， $\overline{WR}$ 、 $\overline{RD}$ 并不会自动对仿真器有效，而要靠软件切换。

§ 1.2-2 仿真器RAM地址改变和GAL内部电路介绍

DSG-51-II型仿真器将监控程序安排在0000H~7FFFH前32kROM空间中，而把用户程序空间，即仿真器RAM空间放在8000H~FFFFH的后32kROM空间中，如果能把这两块地址交换，即将监控程序放在后32kROM空间，将仿真器RAM放在前32k，对用户使用仿真器开发用户系统更方便，更“逼真”一些，而对用户系统硬件电路也不用施加限制。

要实现这两块ROM空间的交换需要解决两个问题：

1. 仿真器复位后如何进入8000H开始的监控程序空间，
2. 单步执行一条用户指令后，通过 $\overline{INT0}$ 中断如何进入8003H开始的单步中断服务

程序。

这两个问题对硬件电路来说实际是一个问题，即在上述两种情况发生时，如何强行将A15线拉到高电平，以选中8000H或8003H。

5A型仿真器硬件电路中运用了一片可编程逻辑电路GAL，根据分析，GAL内部电路应等效为图1.2-2的电路。

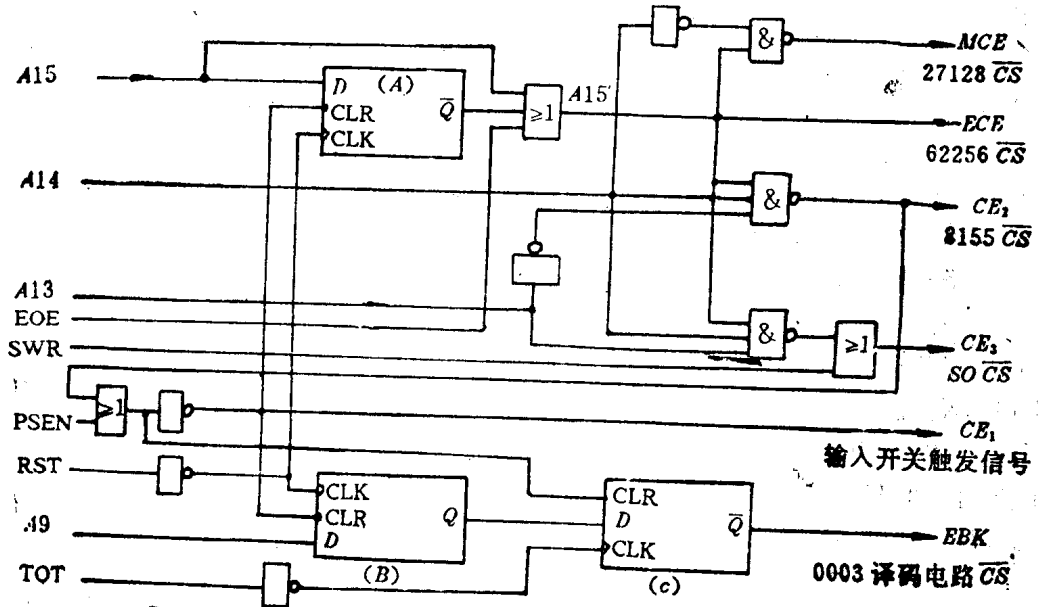


图1.2-2 GAL内部等效电路

图中MCE为监控程序寄存器27128的片选信号，其地址为8000H~BFFFH，ECE为仿真器RAM的片选信号，其地址为0000H~7FFFH，CE2为8155的片选信号，地址为C000H~DFFFH，在监控程序中选用CE00H~CEFFH为8155RAM地址，CF00H~CF03H分别为8155的命令口，A口，B口和C口地址；CE3是输出串行口SO的片选信号，地址为E000H~FFFFH，监控程序选用EFFFH，CE1是WR、RD切换开关的触发信号，如前所述，监控程序选用C000H和C100H，当执行MOVC A, @A+DPTR指令时，CE2与PSEN同时有效，CE1端输出一个正脉冲切换软件控制开关D触发器，EBK为0003译码电路的片选信号。

由图1.2-2可以看出， $A'15 = A15 + \overline{Q_A} + EOE$ 。 $\overline{Q_A}$ 和EOE是两个强拉信号。在正常情况下 $\overline{Q_A} = "0"$ ， $EOE = "0"$ 。因此， $A'15 = A15$ ，译码电路正常工作，这两强拉信号中只要有一个是高电平，那么A'15将被强拉至高电平，使A'15="1"，而不管A15是什么电平，这样将强迫译码电路选中8000H以后的ROM空间或RAM空间。

系统复位时，复位信号反相后加到D触发器A的CLR端，将D触发器A清"0"，即 $\overline{Q_A} = "1"$ ，A'15也为"1"，这是第一种强拉情况，迫使系统复位以后自动进入8000H开始监控程序，尽管单片机复位时是从0000H执行程序，当执行8000H开始的第一条指令LJMP 8006H后，PC寄存器的最高位A15="1"，因此，在这以后即使撤消 $\overline{Q_A}$ 的强拉电平，仍能继续执行监控程序。撤消强拉电平 $\overline{Q_A}$ 的方法是：执行一次§1.2-1提到的WR、RD开关切换程序。无论是将WR、RD指向仿真器RAM，还是指向用

户系统 RAM 都能撤消 $\overline{Q_A}$ 强拉电平。从硬件电路看到：软件切换开关的触发信号 CE 1 直接连到 A、B 两个 D 触发器的 CLK 端，当执行 $\text{MOV } A, @A + \text{DPTR}$ (这时 $\text{DPH} = \#C0H$ 或 $\#C1H$, $A15 = "1"$) 时 CE 2 被选中产生一个低电平， $\overline{\text{PSEN}}$ 信号也有效，也产生一个低电平，因此 CE 1 端将出现一个正脉冲。这个正脉冲除了输出到 CE 1 端去切换 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 开关外，同时触发标号为 A 的 D 触发器。因为 $A15 = "1"$ ，该 D 触发器也翻转成 "1" 状态，即 $\overline{Q_A} = "0"$ 。因此撤消了复位时产生的强拉信号。

第二种强拉发生在单步运行时，前文已经提到，DSG-51 系列仿真器是利用高级 $\overline{\text{INT0}}$ 中断，中断用户程序的运行，从而实现单步的 $\overline{\text{INT0}}$ 的中断服务程序，其入口地址是 $0003H$ 。为了使得单步中断以后能进入 $8003H$ 开始的监控单步处理程序，也必须强拉 $A'15$ 至高电平。

如图 1.2-3 所示的 0003 译码电路的输出 EOE 就是这第二种强拉信号。当 0003 译码电路片选信号 EBK 有效 (EBK 为低电平有效) 时，一旦发生单步中断，PC 指针转到 $0003H$ ，当 CPU 从 $0003H$ 单元取指令操作码时， $A0 \sim A15$ 输出 $0003H$ 地址，启动 0003 译码电路，使 EOE 输出高电平，强拉 $A'15$ 高电平，因此实际取的是

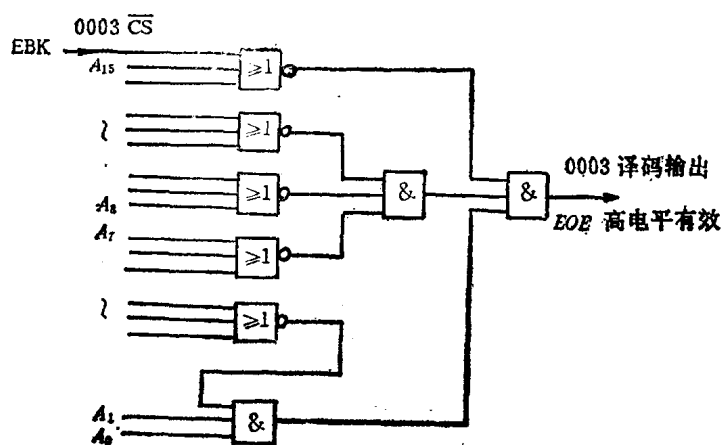


图 1.2-3 0003 译码电路

$8003H$ 监控单步中断服务程序的第一条指令 $\text{LJMP } 8030H$ 。当执行中断入口的第一条指令后，PC 变成 $8030H$ ($A15 = "1"$) 强拉也失去作用，这时就可以撤消 EOE 的强拉电平。撤消方法与撤消复位时的强拉电平一样，即执行一次 § 1.2-1 中提到的 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 开关切换程序，由 GAL 内部等效电路看到，执行 $\text{MOV } A, @\text{DPTR}$ 时， $\text{CE2} = "0"$ ， $\overline{\text{PSEN}} = "0"$ 。 $\text{CE2} + \overline{\text{PSEN}} = "0"$ ，使 D 触发器 C 复位， $\overline{Q_C} = "1"$ ，即 $\text{EBK} = "1"$ ，禁止了 0003 译码电路使 EOE 恢复成低电平。

另一个问题是如何启动 0003 译码电路，即如何在单步执行一条用户指令以前使 0003 译码电路的片选信号 EBK 为低电平。在后面介绍的监控程序的单步执行部分中我们会看到，在执行用户一条指令前要做两件事：(1) 是启动 8155 内部的计数器，延时 7 个 $\overline{\text{PSEN}}$ 周期后发一串脉冲 (T0T 信号)；(2) 使 DPTR 等于 C200H (指向仿真器) 或 C300H (指向用户系统) 再执行切换开关指令 $\text{MOV } A, @A + \text{DPTR}$ 。应注意，与平常切换开关指令的差别是 $A9 = "1"$ 。在执行这条指令后 D 触发器 B 被 $A9$ 置 "1"，即 $Q_B = "1"$ 。延时一段时间后 8155 计数器溢出，发一串 T0T 脉冲信号将 D 触发器 C 置 "1"， $\overline{Q_C} = "0"$ ，即 $\text{EBK} = "0"$ ，从而启动 0003 译码电路。

应强调的是 0003 译码电路，只有在单步执行和非全速断点执行时启动，其它全速执行用户程序时 EBK 均无效 (高电平)，以使用户程序中的 $\overline{\text{INT0}}$ 中断能进入 $0003H$ 开始的

§ 1.2-3 EPROM固化板

Figure 1 is a detailed circuit diagram of the P2 bus expansion module. It features three 2764 EPROMs (labeled 2764/27128) and three 2732 EPROMs. The 2764s are configured for reading (读) and have their $\overline{CS}$ pins connected to V_{CC} . The 2732s are also configured for reading (读) and have their $\overline{CS}$ pins connected to V_{CC} . A 373 register is used to buffer the P0 bus data. The 8255 PPI is connected to the P1.6 and P1.7 buses. The module is labeled '联接仿真器座' (Connect to simulator seat).

该固化板中8255芯片的地址为BFFCH(A口), BFFDH(B口), BFFE H(C口) BFFFH(控制口)。了解了固化板硬件电路对读懂监控程序中的有关程序段是很有帮助的。

§ 1.2-4 8751专用读写板

§ 1.2-5 串行口的改变

3

