

MCS—51系列

CHMOS 单片微型计算机

原理及应用

李 勋 李新民 王守茂 编著

北京航空航天大学出版社

MCS-51系列

CHMOS单片微型计算机

原理及应用

李 勋 李新民 王守茂 编著

北京航空航天大学出版社

内 容 提 要

本书全面系统地介绍了MCS-51系列中具有功耗低、速度高、抗干扰能力强等特点的CHMOS单片机的原理及应用技术。

本书内容新颖,可读性强,除详细论述了CHMOS单片机的硬件组织、主要资源和软件设计方法外,还列举了大量的典型应用实例。它对国内已经熟悉机型的应用将起推广深化作用,同时也将各类新型MCS-51单片机在我国的推广、开发和应用打下理论基础。

本书叙述深入浅出,条理清晰,逻辑性强,适于作从事微机应用的技术人员知识更新的资料,也可作为大专院校学生及各类中、高级培训班的教材或参考书。

MCS-51系列

CHMOS单片微型计算机原理及应用

DANPIAN, WEIXING JISUANJI YUANLI JI YINGYONG

李 勋 李新民 王守茂 编著

责任编辑 杨昌竹

北京航空航天大学出版社出版

新华书店总店科技发行所发行 各地新华书店经销

北京密云华都印刷厂印刷

*

850×1168 1/32 印张: 8.25 字数: 222千字

1991年5月第一版 1991年5月第一次印刷 印数: 15000册

ISBN 7-81012-247-9/TP·044 定价: 5.00元

前 言

CHMOS乃是Intel公司对其高速CMOS工艺过程的命名。其类似工艺在Motorola公司被称作HCMOS,即高密度CMOS。与HMOS相比,CHMOS单片机功耗低,速度高,抗干扰能力更强。近两三年来问世的MCS-51家族中的最新成员均为CHMOS型;其中有些品种已具有MCS-96的部分功能,例如,片内A/D转换,高速输入/输出,脉冲宽度调制和监视定时等。

其实,MCS-51 CHMOS单片微型计算机在我国已有应用,80C31BH早为广大用户所熟悉。但至今尚未见有此类专著出版。我们编写本书的目的在于向广大读者系统介绍MCS-51 CHMOS单片机的原理及应用,期望它对于目前国内已经熟悉的CHMOS单片机的应用起到推广、深化和提高作用,同时也为新型MCS-51单片机将在我国的应用打下理论基础。

本书共分八章。前三章详细阐述了80C51BH、80C52和8XC51FA三种机型的原理,同时也例示了主要功能部件的用法。丰富的应用实例大大增强了本书的可读性,照顾了各层次的读者。

第四、五两章为应用篇,这是对前三章的总结和升华。读过前五章,读者可全面深入地掌握上述三种单片机。

第六、七两章集中讨论了8XC51GA和8XC451两种最新芯片的原理及应用。前者内含8路8位A/D转换器;后者有七个I/O口,其P6口功能齐全,可以取代8255或Z80 PIO。

第八章介绍两个外部接口芯片——CHMOS的82C54和82C55A以及它们与CHMOS单片机的接口技术;最后分析了信箱存储系统的设计及应用。这是一项新的应用技术,它对于扩展思

维、提高单片机系统设计能力将很有帮助。

在本书的编写过程中，我们得到了天津纺织工学院计算中心主任吴翼平教授和自动化系主任李兰友教授的热情支持，在此我们深表谢意。

我们也非常感谢北京航空航天大学何立民教授及出版社杨昌竹副总编辑的鼎力相助。

卢景山老师在绘图方面做了大量工作，我们表示衷心的感谢。

对本书的意见请寄天津纺织工学院计算中心，邮政编码：300160。

编著者

1991.2

目 录

第一章 80C51BH.....	(1)
1.1 引言	(1)
1.1.1 CMOS的演化	(1)
1.1.2 CHMOS工艺	(2)
1.1.3 MCS-51系列中的CHMOS品种	(2)
1.2 CMOS和CHMOS电路的特点	(3)
1.2.1 逻辑电平和接口问题	(3)
1.2.2 抗干扰能力	(5)
1.2.3 未用引脚的处理	(7)
1.2.4 上拉电阻	(7)
1.2.5 下拉电阻	(8)
1.2.6 内部上拉器件的驱动能力	(10)
1.2.7 功耗	(11)
1.3 80C51BH的用法	(16)
1.3.1 掉电方式的用法	(16)
1.3.2 电池后备系统	(18)
1.3.3 电源切换电路	(21)
1.3.4 80C31BH配用CHMOS EPROM	(22)
1.3.5 键盘扫描	(26)
1.3.6 驱动液晶显示器	(31)
1.3.7 LCD驱动器	(33)
1.3.8 谐振传感器	(40)
1.3.9 HMOS/CHMOS的互换性	(47)
第二章 80C52	(51)

2.1	引言.....	(51)
2.2	引脚功能.....	(52)
2.3	数据存储.....	(52)
2.4	专用寄存器.....	(54)
2.5	定时器2	(54)
2.5.1	陷阱方式.....	(56)
2.5.2	自重装方式	(57)
2.5.3	波特率发生器方式	(59)
2.6	串行口.....	(61)
2.6.1	帧误检测.....	(61)
2.6.2	自动地址辨识.....	(62)
2.7	中断.....	(63)
2.8	掉电方式.....	(64)
2.9	断电标志.....	(65)
2.10	ONCE方式	(66)
第三章	8XC51FA	(67)
3.1	可编程计数阵列PCA	(67)
3.1.1	PCA定时/计数器	(68)
3.1.2	比较/陷阱模块.....	(71)
3.1.3	PCA小结	(96)
3.2	增强型的串行口.....	(97)
3.2.1	多机串行通讯	(97)
3.2.2	自动地址辨识.....	(98)
3.2.3	帧误检测.....	(100)
3.2.4	应用举例.....	(100)
3.2.5	串行口的方式设置	(103)
3.3	节电方式.....	(107)
3.3.1	闲置方式.....	(107)

3.3.2	掉电方式.....	(108)
3.3.3	方式的启动和断电标志.....	(108)
3.4	定时器2	(109)
3.5	片内RAM	(110)
3.6	端口1引脚的复用功能	(110)
3.7	中断结构.....	(112)
3.7.1	中断源.....	(112)
3.7.2	中断控制.....	(113)
3.7.3	中断优先级.....	(114)
3.7.4	中断向量.....	(115)
3.8	专用寄存器.....	(116)
第四章	小型直流马达的控制	(118)
4.1	直流马达.....	(118)
4.2	硬件要求.....	(119)
4.2.1	驱动电路.....	(119)
4.2.2	噪音问题.....	(121)
4.2.3	开环和闭环系统	(122)
4.2.4	反馈信号.....	(123)
4.3	软件设计.....	(124)
4.3.1	求反馈信号周期	(124)
4.3.2	电制动程序.....	(126)
4.3.3	直流马达的步进运行	(128)
4.3.4	延时问题.....	(129)
4.4	马达控制系统.....	(131)
第五章	软件串行口	(132)
5.1	引言.....	(132)
5.2	变量清单.....	(133)
5.2.1	接收程序变量	(133)

5.2.2	发送程序变量	(134)
5.2.3	赋值变量	(134)
5.3	初始化程序	(134)
5.4	接收程序	(135)
5.5	发送程序	(140)
5.6	软件串行口程序清单	(142)
5.6.1	接收程序	(142)
5.6.2	发送程序	(155)
第六章	8XC51GA	(162)
6.1	片内A/D转换器	(163)
6.1.1	A/D专用寄存器	(163)
6.1.2	A/D转换速度控制	(165)
6.1.3	A/D中断	(165)
6.1.4	模拟输入通道	(165)
6.2	监视定时器WDT	(166)
6.3	振荡器故障检测OFD	(167)
6.4	串行扩展口SEP	(168)
6.4.1	SEP专用寄存器	(168)
6.4.2	发送过程	(171)
6.4.3	接收过程	(171)
6.4.4	SEP中断	(172)
6.5	中断系统	(172)
6.6	节电方式	(173)
6.7	专用寄存器	(174)
6.8	引脚和端口	(176)
6.9	应用示例	(177)
6.9.1	硬件设计	(177)
6.9.2	软件设计	(179)

第七章 8XC451	(186)
7.1 端口4和端口5.....	(186)
7.2 端口6	(186)
7.2.1 控制引脚.....	(187)
7.2.2 控制状态寄存器CSR	(188)
7.3 引脚排列和端口6结构	(192)
7.4 端口6的应用	(194)
7.4.1 用作标准I/O口	(195)
7.4.2 用作选通I/O口	(198)
第八章 硬件接口技术	(203)
8.1 82C54可编程定时/计数器	(203)
8.1.1 功能概述.....	(203)
8.1.2 内部结构.....	(206)
8.1.3 编程和操作	(209)
8.1.4 82C54的运行方式.....	(215)
8.1.5 80C31BH与82C54的接口	(226)
8.2 82C55A可编程外设接口	(229)
8.2.1 结构和功能	(230)
8.2.2 运行方式	(231)
8.2.3 单片机与82C55A的接口	(242)
8.3 信箱存储系统	(245)
8.3.1 原理及设计思想	(245)
8.3.2 信箱中的数据传送	(248)
8.3.3 协议控制逻辑	(249)

第一章 80C51BH

1.1 引言

在讨论本章主题之前,我们首先简要介绍一下CMOS和CH-MOS的基本知识。

1.1.1 CMOS的演化

最初的CMOS逻辑电路有4000和74C两个系列。后者与相应编号的74系列TTL电路功能相同,但具有CMOS逻辑电平,同时也保留了CMOS逻辑电路其他众所周知的特性——低功耗、低速度以及较高的抗干扰能力。

低功耗为CMOS电路本身所固有。抗干扰能力部分归功于CMOS逻辑电平,部分归功于电路的慢速性。至于低速度,那是由于CMOS电路晶体管的制造工艺所致。此种工艺称作金属栅CMOS,这是因为晶体管栅极系通过金属沉积而成。更重要的是,栅极要在漏极和源极区确立后形成,并且必须与源极和漏极稍有重叠以照顾到排列公差。这种重叠再加晶体管本身尺寸较大等因素,就导致了极间电容值偏高的后果,这正是限制电路速度的因素。

随着自排列硅栅工艺的发展,高速CMOS电路的制造已变得切实可行了。在此工艺过程中,多硅栅于源和漏区确立之前先行沉积,然后再通过离子注入法生成源和漏区,而栅极本身则作为注入时的掩膜。这就消除了大部分电极重叠电容。此外,该工艺过程可使晶体管做得更小,结果大大提高了电路的工作速度。

74HC系列的CMOS电路即以此工艺为基础，故其速度可与LS TTL电路相媲美。后者的速度约为74C电路之十倍。

尺寸的减小提高了速度，同时也要求降低其最大供电电压值。高速CMOS通常以6V为限。

1.1.2 CHMOS工艺

CHMOS乃是Intel公司对其高速CMOS工艺过程的命名。CHMOS工艺过程有两种——其一基于n井结构；其二基于p井结构。在前者中，n型井扩散入p型衬底，而后在衬底中形成n沟道晶体管（nFET），在n井中形成pFET。第二种工艺过程把p型井扩散到n型衬底里去，然后在p型井中构成nFET，在衬底中生成pFET。两种工艺各有千秋。

p井结构比n井结构更易于降低其操作电压，但用p井结构难于做成和HMOS EPROM脚对脚兼容的EPROM芯片。另一方面，n井结构可以成熟的HMOS工艺过程（在p衬底中建造nFET）为基础。这就意味着CHMOS芯片中多半晶体管可通过已经很成熟的工艺过程制造。

目前Intel公司生产的CHMOS微控制器和存储器均系n井器件；而CHMOS微处理器则为p井器件。

1.1.3 MCS-51系列中的CHMOS品种

MCS-51系列早期的CHMOS型器件只有一个子系列，它包括：

- 80C51BH，其主要功能相当于8051；
- 80C31BH，这是无片内ROM的80C51BH，相当于8031；
- 87C51，这是CHMOS型的8751。

就体系结构而言，这些CHMOS器件与其HMOS型之相应品种基本等价，只是它们又多具备了两个特点——闲置和掉电运行方式。

在大多数情况下,80C51BH可以从现有的应用场合中直接取代8051。它能以与8051相同的速度执行相同的指令,接受8051可接受的信号;驱动8051所驱动的负载。然而80C51BH的速度范围更宽;能向CMOS负载输出CMOS逻辑电平;所吸收的电流约为8051所吸收电流的十分之一,且在掉电方式下,吸收电流更小。HMOS和CHMOS器件的互换性将在本章最后一节中详细讨论。

应当指出,80C51BH的CPU不是静态的。这就是说,若时钟频率太低,CPU就可能忘记它刚刚在做的工作。这是因为在电路中应用了一系列所谓动态节点,即利用寄生电容暂存信息。利用动态节点就可以减少晶体管总数,从而减小芯片尺寸,于是可生产出更经济的器件。

但这并不是说,CHMOS微控制器内部RAM是动态的,不是这样。只有CPU是动态的,这正是对时钟频率施加限制的因素。

1988年以后公布的有如下几个子系列:

- 8XC152——通用通讯控制器;
- 8XC51FA (8XC252) ——增强型8XC51BH,具有8096的某些功能;
- 8XC51GA——增强型8XC51BH,具有片内A/D转换器;
- 8XC451——多端口8XC51BH。

最后三种芯片将在本书后续章节中详细介绍。

1.2 CMOS和CHMOS电路的特点

1.2.1 逻辑电平和接口问题

CMOS逻辑电平在下述两方面有别于TTL电平:

在供电电压相等的情况下,CMOS给出或要求比TTL更高的逻辑1电平;

CMOS逻辑电平与 V_{cc} 有关,而所保证的TTL逻辑电平在

V_{CC} 符合TTL规范的情况下是固定的。

74HC标准逻辑电平如下：

$$V_{IH\text{MIN}} = 70\% V_{CC}$$

$$V_{IL\text{MAX}} = 20\% V_{CC}$$

$$V_{OH\text{MIN}} = V_{CC} - 0.1V, |I_{OH}| \leq 20\mu A$$

$$V_{OL\text{MAX}} = 0.1V, |I_{OL}| \leq 20\mu A$$

表 1-1 中 列 出 了 $V_{CC} = 5V$ 时, 74HC、LS TTL 和 74HCT 逻辑电平与 HMOS 8051 及 CMOS 80C51BH 逻辑电平的对比情况。

表 1-1 逻辑电平对照表

逻辑状态	$V_{CC} = 5V$				
	74HC	74HCT	LS TTL	8051	80C51BH
V_{IH}	3.5V	2.0V	2.0V	2.0V	1.9V
V_{IL}	1.0V	0.8V	0.8V	0.8V	0.9V
V_{OH}	4.9V	4.9V	2.7V	2.4V	4.5V
V_{OL}	0.1V	0.1V	0.5V	0.45V	0.45V

输出逻辑电平当然取决于负载电流, 通常应给出对应于若干负载电流值的规范。此表所列之输出电平对应于最低负载。由表可见, 当 CMOS 和 TTL 电路供电电压相等时, 数据表中所保证的逻辑电平表明, CMOS 可以驱动 TTL, 但 TTL 不能驱动 CMOS。这是因为 TTL 的高电平输出 V_{OH} 太低, 不足以被 CMOS 电路辨认为有效的高电平输入 V_{IH} 。

因为 HMOS 电路与 TTL 兼容, 所以它们与 CMOS 电路接口时也有同样的问题。幸运的是, 74HCT 系列电路可以缓解这个矛盾。它们具有与 TTL 兼容的输入电平和标准 CMOS 输出电平。

80C51BH 的设计目标是既可与 TTL 联用, 又可与 CMOS 联

用。因此，其逻辑电平规格非常接近于74HCT电路。这就是说，其输入逻辑电平和TTL兼容，其输出特性颇似标准高速CMOS。

1.2.2 抗干扰能力

人们之所以对CMOS电路感兴趣，主要原因之一在于它不易受噪音干扰。如前所述，其高抗干扰能力，一是由于它的噪音容限宽，一是由于工作速度低。

所谓噪音容限，即直流抗干扰度，系对不致引起电路误动作的稳态电平变化的量度。它等于被驱动电路输入低电平 V_{IL} 与驱动电路输出低电平 V_{OL} 之差，或驱动电路输出高电平 V_{OH} 与被驱动电路输入高电平 V_{IH} 之差。若某驱动电路的 V_{OH} 为2.7V，被驱动电路的 V_{IH} 等于2.0V，则该被驱动电路有0.7V的逻辑高电平噪音容限。

表1-2给出了CMOS和LS TTL系统在 $V_{CC}=5V$ 时的噪音容限。可以看出，CMOS/CMOS和CMOS/CHMOS系统在这方面要胜过LS TTL一筹，全CMOS系统比全TTL系统有更宽的噪音容限。

表1-2 CMOS和LS TTL电路的噪音容限

接 口	$V_{CC}=5V$ 时的噪音容限	
	低电平 $V_{IL}-V_{OL}$	高电平 $V_{OH}-V_{IH}$
74HC对74HC	0.9V	1.4V
LS TTL对LS TTL	0.3V	0.7V
LS TTL对74HCT	0.3V	0.7V
LS TTL对80C51BH	0.4V	0.8V
74HC对80C51BH	0.8V	3.0V
80C51BH对74HC	0.55V	1.0V

然而,噪音容限可能令人产生误解,因为它并不说明多大能量才能在电路中感生出足以引起逻辑错误的噪音电压。这要牵涉到噪音脉冲宽度与电路响应速度的对比、电路中噪音入口与地之间的阻抗等因素。

根据上述情况我们可以得出结论,对速度较低的74C和4000系列电路来说,当供电电压为12V或15V时,在提供抗干扰的逻辑电平方面,情况确实大有好转,但是,供电电压为5V的高速CMOS和TTL相比,在这方面改善甚微。所以,高速CMOS的高抗干扰度主要来自较宽的噪音容限。

我们不应将高速CMOS较大的电源公差误认为是 V_{cc} 的抗闪变能力。电源公差系直流定额,而非闪变定额。

对于任何由时钟控制的CMOS,尤其是超大规模集成电路CMOS来说, V_{cc} 消耦是至关重要的。CMOS在时钟脉冲边沿处以尖峰形式吸收电流。这些尖峰的甚高频及超高频分量并非从电源吸收而得,而是来自消耦电容。若消耦电路的电感不太低,则在每个时钟脉冲边沿处, V_{cc} 均将发生闪变。我们建议,在最低电感布局的微控制器电路中采用 $0.1\mu\text{F}$ 的消耦电容。所谓最低电感布局,系指芯片(V_{cc} 至 V_{ss})、消耦电容以及到消耦电容的连线所构成的环状面积最小而言。印刷电路板设计人员往往忽略这一点——若消耦电容至 V_{cc} 和 V_{ss} 引脚的线路不走捷径,则消耦效果就会大部丧失。

信号线过长和环绕也是导致逻辑错误的潜在因素。这些大多可通过线路布局来控制。信号线中在需要时串入一个 100Ω 左右的电阻也会对此有所帮助。

高速CMOS所产生的毛刺电压可能会引起射电干扰问题。这类问题的严重程度大体上是印刷电路布局的函数。这并不是说所有射频干扰问题都可通过印刷电路合理布局求得解决。但线路布局确系任何电子系统中与抗干扰品质有关的重要因素,对高速CMOS系统来说更是如此。

1.2.3 未用引脚的处理

CMOS电路输入引脚不能浮空，总应被拉成某个逻辑电平。如果浮空，它们就势必会浮入0至1间的过渡区域，这时输入缓冲器中的上拉和下拉器件均会导通，从而使 I_{cc} 电流大大增加。HMOS电路中也有类似情况，只不过结果不太明显罢了。

在用80C51BH和80C31BH进行硬件设计时，P1、P2和P3口的不用引脚可不予理睬，因为它们的内部上拉器件会使相应引脚保持有效的逻辑1电平。然而，P0口则不同，它没有内部上拉器件。当然，总线操作期间例外。

当80C51BH处于复位状态时，P0口引脚处于浮动状态，除非从外部将其拉成高或低电平。若在复位状态停留很短时间，浮入过渡区域却也无大妨碍。当退出复位状态时，若不从外部将引脚拉成低或高电平，则它将停留在浮动状态。或者从内部由软件向不用的引脚写入逻辑0。总之，应从外部或内部将不用的引脚拉成固定的逻辑电平。

有关复位状态的上述考虑同样也适应于80C31BH。但当80C31BH退出复位状态时，它便开始总线操作。在此期间，P0口引脚电平总是确定的，非低即高。

现在我们来讨论80C31BH在掉电或闲置方式下的情况。这时80C31BH并不取指令，P0口引脚若不从外部被拉高或拉低，就将处于浮动状态。究竟拉高还是拉低，可以选择。通常，通过10k电阻即足可将这些引脚拉高至 V_{cc} 电平。但是，在掉电和闲置方式下，若想把电源从与总线相连的电路中撤消的话，那么，最好通过10k电阻将总线引脚拉成低电平。

关于上拉和下拉电阻阻值的选择，有如下考虑。

1.2.4 上拉电阻

如果P0口引脚外接上拉电阻，该电阻之最低值将由输出低