

MOS VLSI

分析与设计

高保嘉 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

www.phei.com.cn

MOS VLSI

分析与设计

高保嘉 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书对 MOS 数字超大规模集成电路和模拟集成电路设计的基本原理进行了系统的分析,详细讲述了实用的、典型的数字集成电路和模拟集成电路的分析方法和设计方法,介绍了目前流行的设计技术——ASIC 设计技术、CAD 技术、可测性设计技术以及可靠性设计技术。

本书适用于从事 MOS 集成电路设计、应用开发的工程技术人员,也可作为高等院校微电子专业、半导体专业教师和研究生的技术参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

MOS VLSI 分析与设计/高保嘉编著. —北京:电子工业出版社,2002.12

ISBN 7-5053-8284-5

I. M... II. 高... III. ①数字集成电路:超大规模集成电路—电路分析②数字集成电路:超大规模集成电路—电路设计③模拟集成电路:超大规模集成电路—电路分析④模拟集成电路:超大规模集成电路—电路设计 IV. TN431

中国版本图书馆 CIP 数据核字(2002)第 095661 号

责任编辑:竺南直 李 冰

印 刷:北京人卫印刷厂

出版发行:电子工业出版社 www.phei.com.cn

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:18 字数:457 千字 彩插:1 页

版 次:2002 年 12 月第 1 版 2002 年 12 月第 1 次印刷

印 数:4000 册 定价:29.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。
联系电话:(010)68279077

前 言

微电子技术无疑是信息时代的关键技术之一。它是技术进步和经济发展的重要因素,它作为计算技术、自动控制、信息和通信技术的基础技术,并为之开拓新的应用领域和市场而不断地创立新的技术平台。

近半个世纪以来,集成电路经历了中小规模、大规模和超大规模发展阶段,目前正步入片上系统集成(System On a Chip, SOC)的阶段。由于集成电路的广泛应用和新的应用领域的发展要求,集成电路的设计技能不只是为少数的专家所掌握,而是要被越来越多的电子系统设计师所了解和掌握,以促进各类电子系统的发展。

一般来讲,模拟电路和中、小规模集成电路的设计是一种面向晶体管的设计方式,设计和工艺密切相关,多由 IC 制造厂家直接完成。大规模和超大规模集成电路的设计比中小规模集成电路的设计提高了一个层次,是一种面向单元和单元库的设计方式。不少设计,特别是专用集成电路已由用户或设计公司设计。SOC 将是建立在更高的宏模块和芯核(Core)层次上的设计。由此看来,无论是哪一个层次的设计,微电子设计技术仍是芯片设计的最基本的设计技术。

集成电路的设计是一项实践性很强的技术工作,因为设计中考虑到各种因素,设计者需要根据具体情况进行设计创新和设计折中。这就要求设计者既要掌握较全面的设计知识,又要有一定的设计经验。本书力求将设计理论的讲解与实践经验融为一体,使本书既有坚实严密的理论论述又不过于抽象化,既有具体的设计方法和设计经验又不过于经验化。

全书分为三个部分,第一部分(第1章至第4章)概述了集成电路设计中的一些基础性问题。第1章介绍了 MOS 工艺技术,强调了各类工艺的特点,介绍了与设计关系甚密的工艺流程和掩模用版。第2章介绍了 MOS 晶体管的特性、小尺寸器件和模型。第3章介绍版图设计方法技巧。第4章介绍数字电路设计中的一些基础问题如电平匹配、噪声容限、速度和延迟估算以及功耗分析。

第二部分(第5章和第6章)详细讲述了常见的实用典型数字电路和模拟电路的电路形式、分析方法和设计方法。集成电路设计工程师了解掌握后,可直接应用,并可设计创新。

第三部分(第7章至第10章)介绍了当今流行的集成电路的设计技术——ASIC 设计技术、CAD 技术、可测性设计技术、可靠性设计技术。设计工程师只有真正掌握这些技术,发挥自己的聪明才智,才能设计出实用化的电路。

北京微电子技术研究所赵元富所长对本书的编写和出版给予了大力支持。在编写过程中,李宁宇、贾淑文等同志在协助绘图和审校方面做了大量工作,并提出了许多宝贵意见。本书的出版也得到了电子工业出版社的大力支持。编者对于所有给予帮助的人士表示感谢。

书中沿袭了以前的一些技术术语的用法,未按现行标准执行。由于编者水平所限,书中难免有缺点和错误,敬请读者批评指正。

编著者

2002 年 12 月

于北京微电子技术研究所

目 录

第 1 章 VLSI 工艺技术	(1)
1.1 MOS 工艺发展概况	(1)
1.2 NMOS 工艺技术	(3)
1.3 CMOS 工艺技术	(4)
第 2 章 MOS 晶体管	(10)
2.1 MOS 晶体管结构与工作原理	(10)
2.2 MOS 器件电流电压方程	(11)
2.3 MOS 晶体管器件参数	(13)
2.4 小尺寸 MOS 器件	(18)
2.5 MOS 晶体管模型	(24)
2.6 等比例缩小原理	(34)
2.7 MOS 晶体管限制	(36)
第 3 章 版图设计	(40)
3.1 设计规则	(40)
3.2 Stick 图	(43)
3.3 版图设计	(45)
3.4 版图验证	(49)
第 4 章 数字电路设计基础	(51)
4.1 MOS 反相器静态特性	(51)
4.2 MOS 反相器瞬态分析	(59)
4.3 MOS 反相器最佳设计	(64)
4.4 驱动大电容负载的最佳延迟时间	(66)
4.5 延迟模型	(67)
4.6 功耗估算	(72)
第 5 章 MOS 数字电路	(76)
5.1 NMOS 基本逻辑电路	(76)
5.2 CMOS 基本逻辑电路	(85)
5.3 VLSI CMOS 逻辑组态	(94)
5.4 加法器和乘法器	(99)
5.5 规则逻辑结构	(105)
5.6 ROM	(110)
5.7 RAM	(119)
5.8 时钟电路	(129)
5.9 CPU 电路	(135)

第 6 章 MOS 模拟集成电路	(141)
6.1 MOS 晶体管小信号模型及其等效电路	(141)
6.2 基本的 MOS 模拟电路	(144)
6.3 CMOS 运算放大器	(160)
6.4 动态模拟电路	(169)
6.5 A/D 转换器电路	(173)
6.6 开关电容滤波器	(186)
第 7 章 ASIC 设计技术	(200)
7.1 VLSI 与 ASIC	(200)
7.2 门阵列设计技术	(201)
7.3 激光门阵列技术	(209)
7.4 标准单元设计技术	(211)
7.5 积木块设计技术	(215)
7.6 可编程逻辑器件(PLD)	(218)
7.7 片上系统集成(SOC)技术	(227)
第 8 章 IC CAD 技术	(231)
8.1 VHDL 和逻辑综合	(231)
8.2 逻辑模拟和电路模拟	(233)
8.3 版图设计与验证	(237)
8.4 ASIC EDA 技术	(239)
8.5 单元库建库	(244)
第 9 章 可测性设计(DFT)技术	(247)
9.1 可测性设计的基本概念	(247)
9.2 分块测试技术	(251)
9.3 扫描测试技术	(253)
9.4 自测试技术	(256)
9.5 边界扫描技术	(260)
第 10 章 可靠性设计技术	(263)
10.1 可靠性设计物理	(263)
10.2 抗静电设计	(266)
10.3 提高电路可靠性的设计规则和设计方法	(268)
10.4 抗辐照设计技术	(270)
10.5 电路可靠性设计技术	(274)
10.6 容错设计技术	(275)

第 1 章 VLSI 工艺技术

VLSI 要求小的器件尺寸,使之在有限的芯片上能集成更多的元器件。除此以外,低功耗也是一项重要指标,只有每个门具有较低的功耗,才能在额定的功耗下,在同一芯片上放置更多的门。纵观各种器件和工艺,只有 MOS 器件具有上述两个条件,成为 VLSI 的首选工艺。

从设计目的出发,本章将讨论实现 VLSI 的 NMOS 工艺和 CMOS 工艺的工艺特征、基本流程以及一些派生工艺技术。

1.1 MOS 工艺发展概况

20 世纪 60 年代,以热生长二氧化硅膜作为绝缘栅的 MOS 场效应晶体管制作成功以后,由于初期 MOS 工艺技术水平低,工艺重复性和稳定性差,MOS 器件一直未能大量生产和应用。到了 70 年代,MOS 工艺走上了飞速发展阶段,在以后的 30 年中,经历了 PMOS、NMOS、HMOS、HCMOS 和深亚微米 CMOS 等发展阶段,并成为当代集成电路的主流工艺。

PMOS 工艺是 MOS 工艺的起步工艺。选择 PMOS 工艺不是因为其自身的优点,而是在当时的工艺技术水平下,PMOS 器件容易制作。1972 年以后,由于能生产低表面态密度,性能稳定的 SiO_2 薄膜,再加之等平面工艺技术的发明,使得具有重大优点的 NMOS 工艺技术迅速发展,长达 10 年之久。NMOS 的工艺特征是:工艺特征尺寸为 $2\sim 5\ \mu\text{m}$,离子注入技术和硅栅等平面工艺技术普遍采用,硅片大小为 4 in (1 in = 2.54 cm)。20 世纪 80 年代,当工艺特征尺寸小于 $2\ \mu\text{m}$ 后,CMOS 在速度上比 NMOS 占有优势,再加之 CMOS 电路的一些固有优点,如静态功耗低、电平变化幅度高、抗干扰能力强、电源电压变化范围大等,使得 CMOS 技术逐步取代了 NMOS,占据了统治地位。CMOS 的工艺特征是:工艺特征尺寸 $0.5\sim 1.5\ \mu\text{m}$,LDD 器件结构,薄栅氧化和浅结技术,采用金属硅化物和多层金属布线,硅片大小为 6~8 in。20 世纪 90 年代中期,随着工艺特征尺寸减少,MOS 工艺技术进入了深亚微米的发展阶段。其主要特征是:工艺特征尺寸小于 $0.5\ \mu\text{m}$,采用改进的 LDD 结构(T 型 LDD 结构,GOLD 结构等),5 层以上金属布线,并采用铜布线,硅片大小为 8~12 in。

MOS 工艺技术的发展概况如表 1.1 所示。从器件结构、沟道长度、栅氧化层厚度以及典型的器件的特性,如存储器规模和微处理器的工作速度等方面总结了 30 年来工艺技术的发展和对电路的推动。从中可以摸索出一些发展规律。

(1)集成度沿着 Moore 定律发展,每隔 3 年集成度增长 4 倍。30 年来,以存储器为代表,从 1970 年的 1kbit 增长到 2001 年的 1Gbit,集成度增长了 10^6 倍。集成度不断增加的主要原因是:工艺特征尺寸逐年减少;芯片面积增加,采用多层金属布线。

(2)产品的发展从中小规模、大规模、超大规模向甚超大规模发展;从简单的数字功能电路、复杂的部件级模块,到片上集成系统(SOC);从单一的数字电路、模拟电路到混合信号集成;从通用型电路向专用型电路和专用集成系统发展。

21 世纪仍将以尺寸不断缩微的硅 CMOS 工艺为主流,并按 Moore 定律继续发展,发展预测见表 1.2。能否继续沿着 Moore 定律发展,人们必然要想到工艺加工尺度和器件尺度的缩小有无极限的问题。工艺加工主要受到光刻技术的限制,现在看来,采用特短紫外和电子束投影曝光技术的发展不会影响芯片的进步,但器件特征尺寸的缩小可能会出现一些本质的限制,如量子力学测不准原理,统计力学热涨落等,可能会使太小的 MOS 器件不能正常工作。目前人们已经在实验室里制作了 $0.018\ \mu\text{m}$ 的 MOSFET。到底极限是多少,仍是一个值得研究的课题。

表 1.1 MOS 工艺发展概况

时 间	1969 年	1970 年	1972 年	1974 年	1977 年	1980 年	1983 年	1985 年	1987 年	1989 年	1991 年	1995 年	1997 年	2001 年
器件结构	铝栅 PMOS	硅栅 PMOS	硅栅 NMOS	硅栅 NMOS	HMOS I	HMOS II	HMOS III		HMOS IV	亚微米		深亚微米		
典型沟道 长度/ μm	20	12	6	5	3	2	1.5	1.0	0.8	0.5	0.35	0.25	0.18	0.15
栅氧化层 厚度 /nm	150	120	100	100	60	40	25	20	16	10	8	5	4	3
电源电压 /V	20	12	12	5	5	5	5	5	5	3.3	3.3	1.8	1.5	1.2
存储器规 模		1 kbit	4 kbit	16 kbit	64 kbit	256kbit		1Mbit	4Mbit	16Mbit	64Mbit	256Mbit		1Gbit
微处理器 主频/MHz					5 (86)	12 (286)		33 (386)		66 (486)		220 (P2)		700
运行速度 /MIPS (兆条指令/s)					1	2		12		40		300		2000

21 世纪的产品将以片上集成系统(SOC)为主流,由于集成电路的工艺水平和设计水平的提高,集成电路的规模越来越大,复杂度越来越高,已有可能将整个电子系统集成在同一芯片上。从原来的面向单元库的设计方法,转到面向系统、面向 IP 核的设计,这样可以把系统结构、算法、模块划分、IP 核的利用有机地结合在一起。

表 1.2 MOS 工艺发展预测

时 间	1999 年	2001 年	2003 年	2006 年	2009 年	2012 年
特征尺寸/nm	180	150	130	100	70	50
T_{ox} /nm	3~4	2~3	2~3	1.5~2	<1.5	<1
集成规模 DRAM/bit	1G		4G	16G	64G	256G
集成度(晶体管数/ cm^2)	6.2×10^6	10×10^6	18×10^6	39×10^6	84×10^6	180×10^6
最多布线层数	6~7	7	7	7~8	8~9	9
最低电源电压/V	1.5	1.2	1.2	0.9	0.6	0.5

1.2 NMOS 工艺技术

本节将讨论 NMOS 的基本工艺特征,主要工艺流程以及派生的 E-D MOS 工艺和多阈值工艺技术。

1.2.1 NMOS 基本工艺特征

MOS 晶体管有着特别简单的结构以及自隔离的特点,在集成电路中具有最高的器件密度,因此 MOS 工艺成为 VLSI 的首选工艺。20 世纪 70 年代初,硅栅等平面工艺的发明,又将 MOS 工艺推上一个新的台阶。实现源漏自对准的硅栅工艺,不但将器件尺寸缩至最小,而且改善了原铝栅工艺较大的栅源和栅漏覆盖电容带来的低速度缺点。等平面工艺有效地解决了器件的场区隔离,消除了较大的工艺台阶,进一步提高了器件密度和可靠性。离子注入技术的发明和使用,解决了掺杂浓度和杂质剖面的控制问题。为 MOS 器件的场掺杂、源漏掺杂、阈值控制提供了有效的手段。

1.2.2 E-E NMOS 的基本工艺流程

E-E NMOS 主要工艺流程如图 1.1 所示。这里仅介绍最简单的单层多晶硅、单层金属的 NMOS 主要工艺流程。

从设计观点看,弄清工艺需要几个掩模版是首要问题。从流程图不难看出对于简单的 NMOS 工艺需用以下 6 个掩模版:

- (1) 有源区版,定义器件尺寸、源漏区形状和大小。有源区以外的部分统称场区。
- (2) 埋孔版,用于多晶硅和有源区之间互连。
- (3) 多晶硅版,定义多晶硅栅的形状和多晶硅走线。多晶硅和有源区交叠的部分将形成 MOS 器件的栅或电容。
- (4) 接触孔版,用于完成电路中元器件之间的欧姆连接,接触孔一定做在多晶硅或有源区上。
- (5) 金属铝版,用于器件之间的连接以及电源线和信号线的布线。
- (6) 钝化孔版,打开封装压点,以便压焊和测试。

1.2.3 NMOS 的其他工艺

1. E-D MOS 工艺

在 E-E MOS 工艺的基础上,增加一张制作耗尽型 D 管的掩模版,利用这张版,将需要制作 D 管的地方光刻胶去掉,形成一个窗口,以注入调节 D 管阈值的杂质(通常注磷),使器件在零栅压下就导通,形成 D 管。用此方法,实现 E-D NMOS 工艺。用类似的方法,可以制作多阈值的 NMOS 器件。每增加一张掩模版,就可以得到一种特定阈值的器件。

2. 利用多晶硅制作电阻的 NMOS 工艺

多晶硅主要用于制作 MOS 晶体管的栅电极和短的布线,通常用重掺杂形成很低电阻

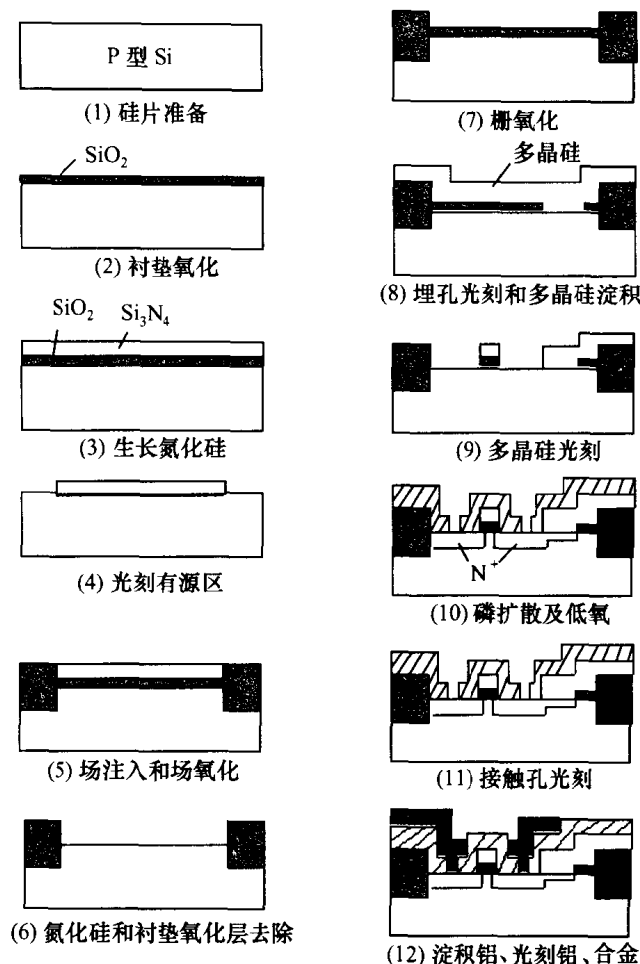


图 1.1 E-E NMOS 主要工艺流程

率的导电层。对于某些特殊的应用,如 SRAM,要求制作较高阻值的电阻。往往利用多晶硅制作,在工艺上需增加一张掩模版用以屏蔽做电阻区域的重掺杂。电阻的方块阻值可用离子注入控制掺杂浓度,从而控制阻值。

3. 制作电容

MOS 电路有时需用电容,制作电容通常有两种方法,一种方法是利用栅电容,用多晶硅和扩区之间的薄栅氧化层形成电容。但这种电容受电容极性限制,或有较大的分布电容,在应用中常常受到限制。第二种方法是利用双层多晶硅制作电容,这时需双层多晶硅工艺,并用另外一张掩模版以规定电容的面积大小。

1.3 CMOS 工艺技术

CMOS 工艺技术是当代 VLSI 工艺的主流工艺技术,它是在 NMOS 工艺基础上发展起来的。本节将介绍 CMOS 工艺的主要流派、特点以及一些派生工艺。

1.3.1 CMOS 工艺特征

CMOS 工艺是将 NMOS 器件和 PMOS 器件同时制作在同一硅衬底片上。通常有两种不同的工艺,即 P 阱 CMOS 工艺和 N 阱 CMOS 工艺。P 阱 CMOS 工艺是以 N 型单晶硅为衬底,在其上制作 P 阱,NMOS 管做在 P 阱内,PMOS 管做在 N 型衬底上。P 阱接最负电位,N 衬底接最正电位,通过反向偏置的 PN 结实现 PMOS 器件和 NMOS 器件之间的相互隔离。N 阱 CMOS 工艺正好和 P 阱 CMOS 工艺相反,早期的 CMOS 工艺,N 阱工艺和 P 阱工艺二者并存发展,但 N 阱 CMOS 工艺比 P 阱 CMOS 工艺有更多的优点,因为 N 阱 CMOS 工艺更接近于 NMOS 工艺,NMOS 管直接在 P 型硅衬底上制作,因此更有利于发挥 NMOS 器件高速的优点。

随着工艺的进步,线条尺寸不断缩小,传统的单阱工艺已不适应需要。通常特征尺寸小于 $2\text{ }\mu\text{m}$ 的工艺多采用双阱或准双阱工艺。它是在 P 型高阻衬底上,用离子注入的方法同时制作 N 阱和 P 阱。由于 N 型杂质和 P 型杂质的相互补偿作用,使得阱结位置基本在设计位置附近,其他的工艺和单阱工艺一样。双阱工艺不但提高了器件密度,而且能有效地控制寄生晶体管的影响,抑制闩锁现象发生。

CMOS 工艺经历了 CMOS I ~ IV,亚微米和深亚微米 CMOS 工艺等几个重要阶段。在几何尺寸不断缩小的过程中,等比例缩小原理是贯穿此过程的指导性原理。随着沟道长度不断缩小,纵向器件尺寸如栅氧化层及各介质层的厚度、结深等也几乎成等比例的缩小。由于电源电压未能按比例减小,使器件的横向电场和纵向电场不断加大。为了减少由于器件尺寸缩小而带来的短沟道效应及热载流子效应,人们在器件结构上进行了一些改进,如为了阻止沟道穿通,在沟道下层区域形成重掺杂结构;为防止欧姆接触区的漏电,在接触孔光刻后,增加一次 N^+ 区光刻和磷注入以增加接触孔处结深等方法,最重要的改进是采用了如图 1.2 所示的 LDD 结构。

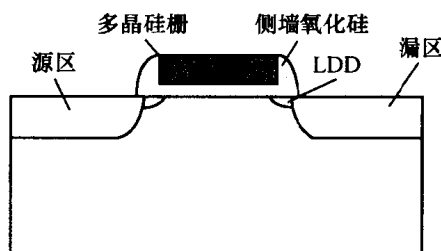


图 1.2 LDD 结构示意图

采用这种器件结构对于沟道长度大于 $0.5\text{ }\mu\text{m}$ 的器件取得了令人满意的结果,但对于 $0.5\text{ }\mu\text{m}$ 以下的深亚微米器件出现了许多问题:(1) 栅侧墙 SiO_2 多用 CVD 方法淀积形成,氧化层质量差,尽管其下的 LDD 区电场下降,但造成的热载流子退化效应未必减小。另外,用这种方法形成的侧墙,当器件尺寸减小时,侧墙厚度难以控制。(2) 用这种方法形成的 LD 区不能做得很小,特别是对沟道长度更小 ($<0.35\text{ }\mu\text{m}$) 的器件,LD 区占据面积比例太大,对提高集成度不利。(3) 由于 LD 区不能缩小,对于更短沟道的器件,源漏结深下降,LD 区电阻将严重影响器件的驱动能力。

对于深亚微米器件,采用改进的 LDD 结构,目的是降低漏区强电场,并使其最强电场向

体内移动,降低热电子注入界面的几率。Mieville^[4]提出的如图 1.3 所示的覆盖氮化物掩模刻蚀定位(FOND)结构,采用 Si_3N_4 、多晶硅、栅氧化层三层结构,先将 Si_3N_4 刻出掩蔽 LD 注入的栅条,进行 LD 注入,然后在 Si_3N_4 条两侧做侧墙,并刻出多晶硅栅,再除去氮化硅,以多晶硅栅为自对准,注入源漏。这种结构的优点是:LD 区全部在栅覆盖之下,所以是一种栅覆盖型结构(GOLD)。源漏区最强电场点将比通常的 LDD 要远离界面。另外,侧墙易控制,适于做小尺寸器件。

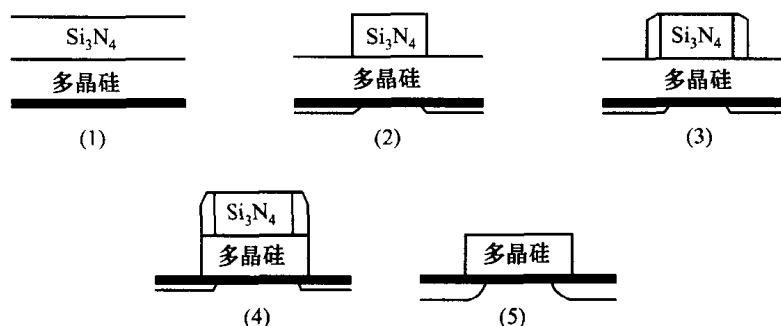


图 1.3 FOND 结构及主要工艺流程

1.3.2 CMOS 工艺主要流程

这里介绍一种典型的亚微米准双阱单层多晶硅双金属布线 CMOS 工艺,电路在 N 型高阻硅衬底上制作。主要工艺流程如下:(1)衬底制备 N^-100 单晶片;(2)衬垫氧化;(3)生长氮化硅膜;(4)光刻 P 阱(P 阱版);(5)P 阱腐蚀;(6)P 阱注入;(7)N 阱注入扩散;(8)有源区衬垫氧化;(9)生长氮化硅膜;(10)有源区光刻和腐蚀(有源区版);(11)N 管场注入光刻(N 管场注入版);(12)N 管场注入;(13)场区氧化;(14)有源区氮化硅和衬垫氧化 b 层腐蚀;(15)栅氧化;(16)阈值电压调节注入;(17)多晶硅淀积;(18)多晶硅掺杂;(19)多晶硅光刻和腐蚀(多晶硅栅版);(20)NMOS 管 LDD 光刻和注入(N^+ 版);(21)PMOS 管 LDD 光刻和注入;(22)侧墙氧化物淀积;(23)侧墙腐蚀;(24)NMOS 管 S/D N^+ 光刻(N^+ 版);(25) N^+ 注入;(26)PMOS 管 S/D P^+ 光刻(P^+ 版);(27) P^+ 注入;(28)BPSG 淀积和致密;(29)接触孔光刻(欧姆孔版);(30)接触孔腐蚀;(31) N^+ 光刻(N^+ 版);(32)注磷;(33)回流;(34)金属 1 淀积;(35)金属 1 光刻(金属 1 版);(36)金属 1 腐蚀;(37)平整化;(38)通孔光刻(VIA 版);(39)通孔腐蚀;(40)金属 2 淀积;(41)金属 2 光刻(金属 2 版);(42)金属 2 腐蚀;(43)顶层硅氧化物淀积;(44)氮化硅淀积;(45)压焊区光刻(PAD 版);(46)压焊区腐蚀;(47)合金;(48)电参数测试。

工艺流程中各主要步骤的器件剖面结构如图 1.4 所示。

从流程不难看出,完成 CMOS 最基本的工艺用版是阱版、有源区版、多晶硅版、 N^+ 版、 P^+ 版、接触孔版、通孔版和金属铝版。比 NMOS 工艺增加了阱版、 P^+ 版、 N^+ 版。阱版用于定义硅片上 P 阱的形状和大小,对于准双阱工艺,P 阱以外的区域是 N 阱区。 P^+ 版用于规定哪些扩区是 P^+ 扩区。被 P^+ 版包围的扩区都是 P^+ 扩区。不言而喻,PMOS 晶体管应全部被 P^+ 版包围。 N^+ 版可以从 P^+ 版和有源区版通过逻辑运算产生。

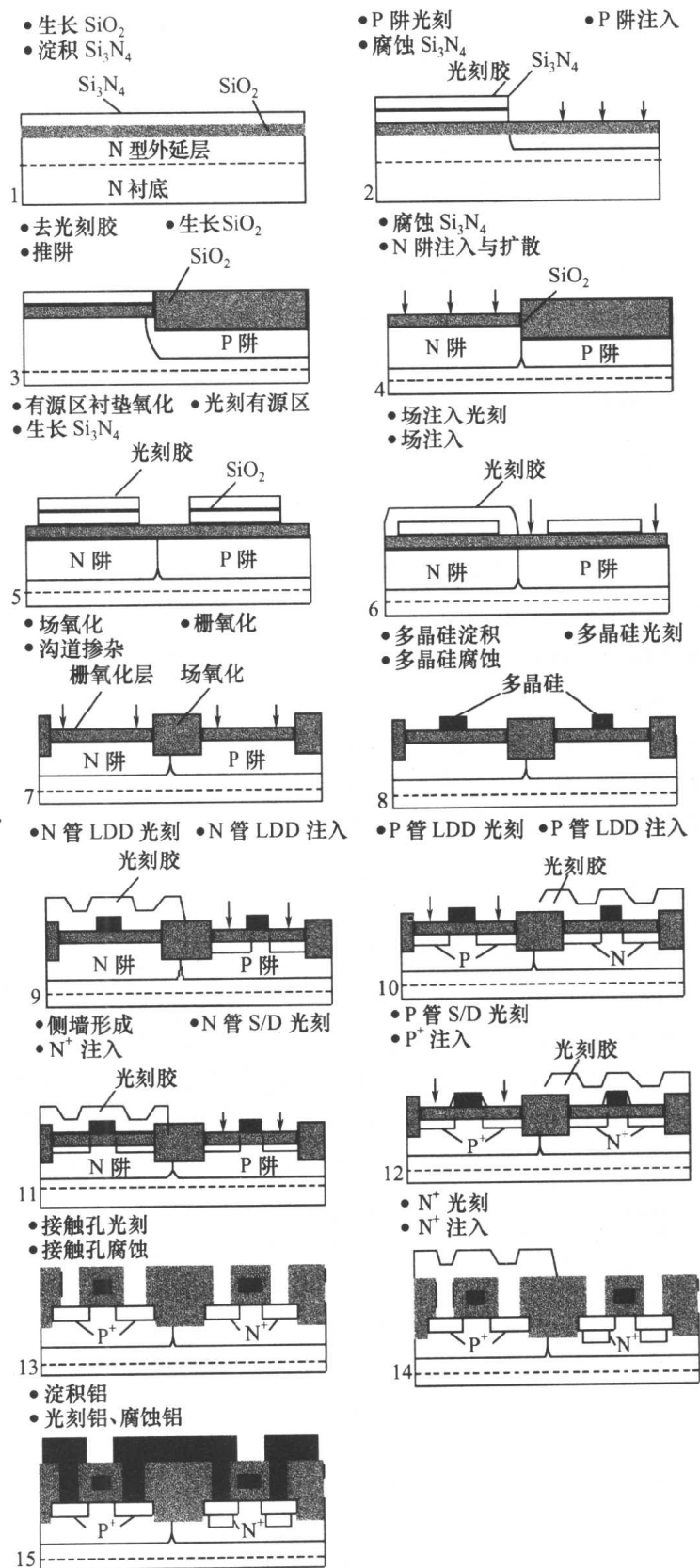


图 1.4 CMOS 工艺各主要步骤的器件结构

1.3.3 CMOS 工艺的其他工艺技术

在基本 CMOS 工艺基础上,因为器件制备的需要,增加了一些工艺,常见的有双层多晶硅、三层以上金属布线的 CMOS 工艺、高压 CMOS 工艺和 BICMOS 工艺等。

1. 双层多晶硅、三层以上金属布线的 CMOS 工艺

在有些 CMOS 工艺中,特别是 CMOS 模拟电路,有时为了制作集成电路的电容或者电阻需增加一层多晶硅,以形成电容极板或多晶电阻。对于特征尺寸小于 $0.5\ \mu\text{m}$ 的工艺,多采用三层以上的金属布线以减少布线占用的芯片面积,提高器件密度,适应高复杂性、高密度的逻辑电路发展的需求。

2. 高压 CMOS 工艺技术

一些 CMOS 电路需要在高压下工作,因此,需要耐高压的器件,以适应电路的需要。为了制作这些高压器件,在工艺上要采取一些特殊的措施。常用的方法是:(1)增加栅氧化层的厚度,以提高器件击穿电压。在低压器件和高压器件兼容的工艺中,必须有一张专门的掩模版,用于高压器件厚栅氧化层制作。(2)采用 LDD 器件结构。传统的常压 CMOS 的 LDD 工艺方法不能适应高压器件的需要,对于高压器件需有专门一次掩模,在漏区形成较宽的轻掺杂区。(3)高压器件的阈值电压也可能不同于常压器件。因此,对于高压的 NMOS 和 PMOS 器件,应分别增加一张用于阈值控制的掩模版。(4)为了提高击穿电压,场注入版要和有源区有一定的距离,也需有一张专门的掩模版。

3. BICMOS 工艺技术

BICMOS 工艺技术是将 CMOS 工艺和双极工艺结合在一起,在同一硅片上制作双极器件和 CMOS 器件。因此,BICMOS 工艺是较复杂的工艺技术,它要在 CMOS 工艺的基础上增加一些必要的双极工艺。和 MOS 集成电路工艺相比,双极集成电路工艺需要做器件间的隔离,BICMOS 工艺中的双极器件通常用 PN 结隔离,见图 1.5。在选用的 N^- 外延衬底上,P 型隔离环通过 P^+ 埋层和 P 型衬底相连,并接至最高负电位。通过隔离环在硅片上形成一个个相互隔离的 N 型硅岛区,以便在其上制作 NPN 或横向 PNP 晶体管。

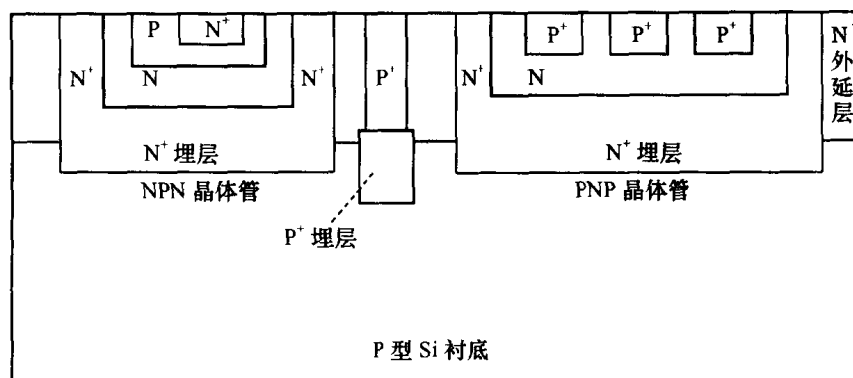


图 1.5 BICMOS 器件的剖面结构

从图 1.5 不难看出,BICMOS 工艺在 CMOS 工艺基础上需增加用于双极器件隔离的 P⁺ 埋层和深扩散 P-plug 掩模版。NPN 晶体管的集电极 N⁺ 埋层和深扩散 N-plug 以及 NPN 晶体管的基区掩模版。横向 PNP 晶体管的发射极区和集电极区与 NPN 晶体管基区用同一张掩模版。另外为了有效地调节 NPN 晶体管的 β 值,需要一张单独的 NPN 晶体管发射极掩模版。如果 BICMOS 电路中的电阻用多晶硅实现,这样,也需用一张专门的掩模版。

参 考 文 献

- 1 李志坚. 硅微电子芯片技术发展展望. 集成电路设计, 2000(1):3~5
- 2 Preliminary 0.5 μ m DPTM 5V/15V CMOS Design Rules. MOSEL VITALIC INC. MEMO
- 3 R. Izawa and E. Takead. The Impact of N-Drain Length and Gate Drain/Source Overlap on Submicrometer LDD Devices For VLSI. IEEE Electron Device Letters, ELD-8, 1987:480~482
- 4 J. P. Mieville et al. FOND(Fully Overlapped Nitride-Etch Defined Device): A New Device Architecture for High Reliability and High Performance Deep Submicron CMOS Technology. Tech. Dig. IEDM, 1994:83~86

第2章 MOS 晶体管

MOS 晶体管是构成 MOS 集成电路的基本器件,晶体管的器件参数和设计方法直接关系到集成电路的性能和可靠性。集成电路的分析与设计依赖于晶体管的工作原理、器件方程和器件模型,通常人工分析采用比较简化的器件模型,计算机分析采用的模型比较复杂,电路分析的可信度依赖于器件模型的精确程度。电路设计者了解所用器件的模型和模型的近似程度是十分重要的。因此,本章将讨论 MOS 晶体管的器件内部结构,导电过程,器件的电流电压方程和器件模型,等比例缩小原理以及器件的物理限制。这对于 MOS 集成电路的分析和设计是十分必要的。

2.1 MOS 晶体管结构与工作原理

2.1.1 器件结构及特点

NMOS 晶体管结构,表征符号及剖面图如图 2.1 所示。MOS 晶体管是由相互对称的源漏区、控制器件工作的栅区以及衬底组成。P 管和 N 管的衬底材料不同,P 管在 N 型衬底材料上制作,N 管正好相反。因此,对 CMOS 电路,需要在 N 型基片上作 P 阱,或在 P 型基片上作 N 阱,以便制造不同类型的 N 管或 P 管器件。栅电极下是一层很薄的栅氧化层和衬底材料绝缘。

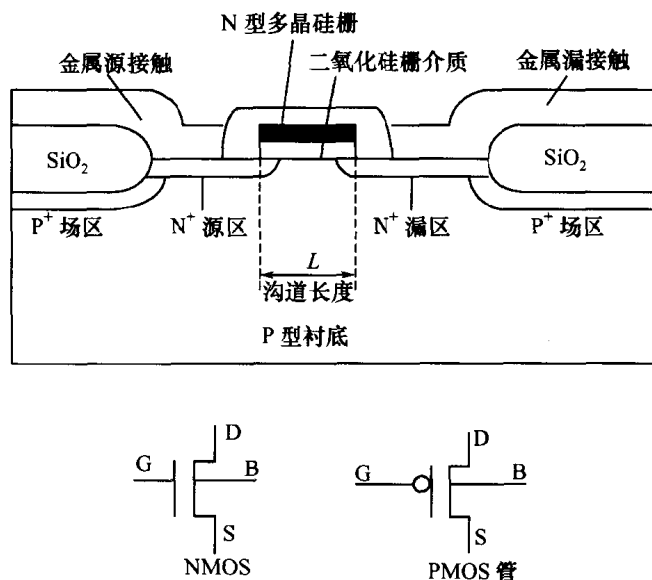


图 2.1 NMOS 器件结构

衬底材料是单晶硅片,它是开始制造器件的材料,最终起支撑的作用。衬底表面的晶体管源、栅、漏区域统称有源区,栅电极下的衬底表面区域称沟道区,特征尺寸 L 表示沟道