

110

TN79-43
Z73

数字电路实验与设计

周冰航 蔡明生 王 敏 主编

湖南大学出版社

2001年·长沙

图书在版编目(CIP)数据

数字电路实验与设计/周冰航,蔡明生,王敏主编.
—长沙:湖南大学出版社,2001.9

ISBN 7-81053-423-8

I. 数... II. ①周... ②蔡... ③王... III. ①数字电路—实验—高等学校—教材 ②数字电路—电路设计—高等学校—教材 IV. TN79

中国版本图书馆 CIP 数据核字(2001)第 065768 号

数字电路实验与设计

Shuzi Dianlu Shiyan yu Sheji

周冰航 蔡明生 王 敏 主编

-
- | | | | |
|-------------------------------|-----------------|----|--------------|
| ☐ 责任编辑 | 戴东宁 | | |
| ☐ 出版发行 | 湖南大学出版社 | | |
| | 社址 长沙市岳麓山 | 邮码 | 410082 |
| | 电话 0731-8821691 | | 0731-8821315 |
| ☐ 经 销 | 湖南省新华书店 | | |
| ☐ 印 装 | 长沙环境保护学校印刷厂印刷 | | |
-
- | | | | | | |
|-----------------------------|-------------------------|--|------|-----------------------------|-------|
| ☐ 开本 | 787×1092 1/16 开 | ☐ 印张 | 7.25 | ☐ 字数 | 186 千 |
| ☐ 版次 | 2001 年 9 月第 1 版 | ☐ 2001 年 9 月第 1 次印刷 | | | |
| ☐ 印数 | 1-4 000 册 | | | | |
| ☐ 书号 | ISBN 7-81053-423-8/TN·6 | | | | |
| ☐ 定价 | 11.00 元 | | | | |
-

(湖南大学版图书凡有印装差错,请向承印厂调换)

前 言

电子电路尤其是数字电路的发展一日千里,硬件描述语言和可编程器件已经成为数字电路设计的主流。为了适应这一形势,经过5年来实验教学改革的探索,在收集大量的反馈信息的基础上,本书对原有的实验教材进行了大规模的修改和更新,使之更符合电子信息时代的要求。

本书在编写过程中,依照最新的高校理论教材,康华光同志主编的《电子技术基础》第四版数字部分以及湖南大学最新的《电子测试实验教学大纲》,主要突出了以下几点:

1. 在保留原有的使用中、小规模集成电路进行电路设计和实验的基础上,增加了用EDA方式设计电路的内容,并且由浅入深地介绍了VHDL语言的各种基本语法;

2. 加强了实验相关理论的介绍,使读者在使用本书时,可以不依赖其它参考书;

3. 强调培养设计电路能力,并精选示例来说明怎样运用理论进行设计;本书所有示例均已运行通过。

本书由周冰航主编,负责策划以及编写全书的例题;蔡明生和王敏分别为本书EDA部分和集成电路部分的副主编。石冰和叶佳卓参加了本书附录部分以及部分章节的编写工作。本书由湖南大学电气与信息工程学院孔照荣教授审稿。

由于编者水平所限,时间仓促,书中错误和不妥之处在所难免。衷心希望使用本教材的师生和其他读者批评指正。

编者

2001年4月于湖南大学

目 次

第一部分 数字电路实验基础知识

第一章 Xilinx Foundation 使用向导

1.1 Foundation Series2.1i 简介	(2)
1.1.1 Foundation2.1i 的特点	(2)
1.1.2 Foundation Series 的运行环境	(2)
1.2 Foundation Series 的启动	(3)
1.3 用 Foundation Series 设计电路举例	(5)
1.3.1 设计内容	(5)
1.3.2 设计步骤	(6)

第二章 集成电路实验

2.1 数字集成电路简介	(19)
2.2 常用仪器介绍	(19)
2.3 实验内容	(22)
2.4 注意事项	(22)

第二部分 实验及设计

实验一 集成逻辑门的测试与连接	(24)
实验二 门电路功能测试与转换	(30)
实验三 译码器和编码器	(33)
实验四 组合逻辑和算术逻辑	(40)
实验五 触发器	(46)
实验六 计数器和分频器	(55)
实验七 单稳态触发器	(64)
实验八 时基电路多谐振荡器	(67)
实验九 综合性实验	(71)
实验十 存储器应用	(75)
实验十一 A/D 和 D/A 转换	(83)
实验十二 综合性设计	(86)

附录 1 集成芯片认读的有关常识	(91)
附录 2 集成电路命名方法	(93)
附录 3 当前数字电路系统的设计和实现	(95)
附录 4 集成芯片管脚图	(97)

第一部分 数字电路实验基础知识

以 FPGA(现场可编程器件)为主要对象的 EDA(电子设计自动化)已成为数字电路系统设计方法的主流;但在小型局部数字电路当中,以各种集成电路为主要对象的设计方法(以下简称传统方法)仍然有着广泛应用。

无论使用何种方法,和其他实验课程相比,数字电路实验具有以下特点:

1. 电路由各种规模的集成电路芯片(在 EDA 中是各种宏模块)构成,在理论应用上模块化特点突出;

2. 数字电路的输出非 0 即 1(高阻态除外)。实验结果大部分情况下是和理论完全吻合的,很少要选择分立元件的参数。

由于以上两个特点,数字电路实验很适合用来培养学生运用理论进行设计的初步能力。数字电路实验的学习应着眼于运用理论,在课前要预先设计电路,在实验中注意应用理论分析和排除在实验中遇到的问题。

EDA 和传统方法必需的设备不同。

EDA 需要微机、相关软件、FPGA 实验箱,传统方法需要数字逻辑箱。

(VHDL 语言是一种标准化的硬件描述语言,已经大量出现在各公司的电子系统设计自动化(EDA)系统中。利用 VHDL 语言,我们可以描述系统的行为,利用 EDA 工具达到自动设计的目的。相对于其它的硬件描述语言来说,VHDL 语言应用更广泛。因此在 EDA 实现部分,本书选用的是 VHDL 语言)。

第一章 Xilinx Foundation 使用向导

1.1 Foundation Series 2.1i 简介

1.1.1 Foundating 2.1i 的特点

Foundation Series 是 Xilinx 公司最新集成开发的 EDA 工具。

Foundation Series 支持的芯片有: XC3000A/L、XC3100A/L、XC4000E/L/EX/XL/XV/XLA XC5200、XC9500、XC9500XL Spartan、SpartanXL Virtex。

Foundation 采用自动化的、完整的集成设计环境。Foundation 项目管理器(Foundation Project Manager)集成了 Xilinx 实现工具。此外,Foundation 包含了强大的 Synopsys FPGA Express 综合系统,并将它完善地集成到了 Foundation Series 统一的项目管理器中,从而成为世界最强大的 EDA 设计工具之一。

包含了 Synopsys FPGA Express 的 Foundation 可提供真正的混合语言(VHDL 和 Verilog HDL)的综合和优化,从而为支持使用第三方的 IP(知识产权)核提供了有利条件,它的 JTAG 编程器支持 CPLD 和 FPGA 的下载和配置。

此外,Foundation 2.1i 版本已经将 Core 产生器工具集成进软件内。用户可以在“项目管理器”、“原理图编辑器”和“HDL 编辑器”等图形用户接口的环境下,从“Tools”的菜单中调用 Core 产生器。

在 Foundation 2.1i 版本中,各个部分的功能都有改进和提高。在原理图编辑器中由于附加的设计规则校验和校验各个设计规则时接通和断开的功能,增强了电路图完整性测试的功能;对硬件描述语言的设计进行综合时,采用具有新功能和特性的 Express3.2 版本;在设计实现部分最大程度地减少了时序驱动的布局—布线运行时间,设计转换和返回注释等程序的运行时间也加快 6~10 倍,增加了新的时序分析算法,可以方便地管理由大型设计引起的时序通道数目增加的问题。

Foundation 2.1i 版本可以自动地将 Foundation v1.5i 版本的设计项目更新为 F2.1 的设计项目,当然也可以通过选项选择,仍按 v1.5i 的格式将以前的设计项目存档。

1.1.2 Foundation Series 的运行环境

Xilinx Foundation Series 在 PC 机上运行,支持 Windows95 和 Windows NT4.0 SP3 或更高版本。下面是 Xilinx 推荐的机器配置:

- (1) Pentium、Pentium Pro 或兼容的 CPU
- (2) 内存 32MB 或 64MB(与所使用的 Xilinx 器件有关)
- (3) 48~128MB 硬盘交换区(与所使用的 Xilinx 器件有关)
- (4) 各部分安装需要硬盘容量:

△Base——100MB	△Base Express——120MB	△Standard——280MB
△Foundation Express——300MB	△所有器件——600M	

由于 XC4000X 系列及 Virex 系列的容量和高复杂性, Xilinx 推荐使用更高性能的 PC 机。编译 XC4000EX 系列需要 64MB 内存及 64MB 硬盘交换空间, 但推荐使用 128MB 内存和 128MB 硬盘交换空间。编译 Virex 系列, 推荐使用 128MB 内存。Windows 95 可以自动调整硬盘交换空间的大小, 如果使用 Windows NT, 则可能需要手动调整。

1.2 Foundation Series 的启动

Foundation 软件已安装在电脑的硬盘中, 打开电脑, 在屏幕上找到如图 1.1.1 所示的软件图标, 按下述步骤进入设计项目。

1. 双击 Xilinx Foundation Project Manager 图标(图 1.1.1)即可启动, 或从开始菜单→程序→Xilinx Foundation Series→Xilinx Foundation Project Manager, 也可启动。启动后进入图 1.1.2 所示的画面。

如果是第一次运行 Project Manager, 软件将会询问是创建一个新的工程项还是要打开一个已有的工程项。如果选择 Open an Existing Project 并单击 OK, 将打开一个已存在的工程项。如果是新设计工程项则选择 Create a new Project 并键入工程项名产生一个新的工程项(此时可选择建立图形编辑工程项或 HDL 语言工程项)。如果是已运行过的 Project Manager, 软件将会询问你希望



图 1.1.1 Xilinx Foundation Project Manager 图标

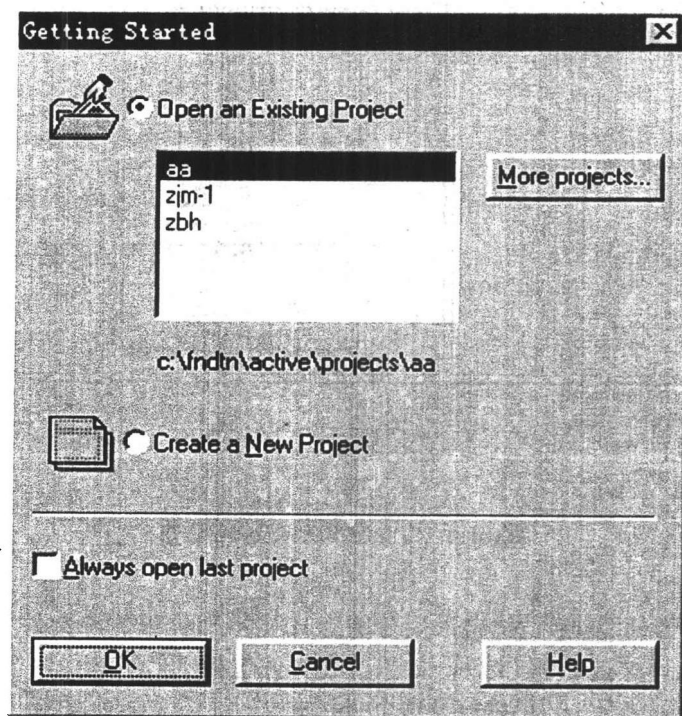


图 1.1.2 Foundation Series 启动过程

打开的工程项。用户可选择自建项或单击 More Project 以选择需要的系统工程项, 然后单击 OK。

2. 命名一个新工程项(如 SEV), Directory 路径设置自选, 器件选择栏中选择 XC9500

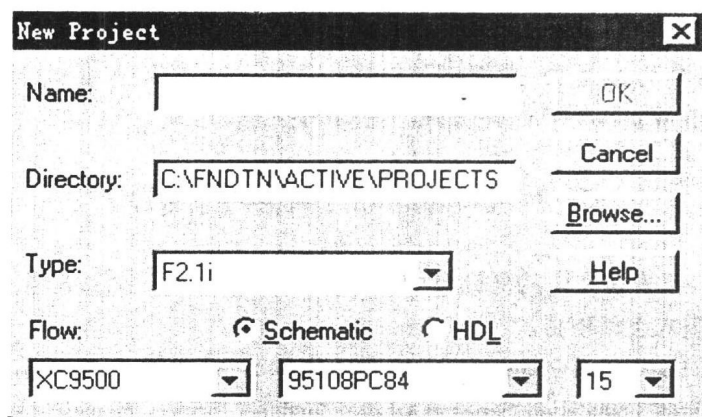


图 1.1.3 New Project 命名

95108PC84 以及 15 三项内容,如图 1.1.3 所示。点击 OK 将看到如图 1.1.4 所示画面。此画面可分为三部分,分别是分级浏览表、工程项流程图和信息框。

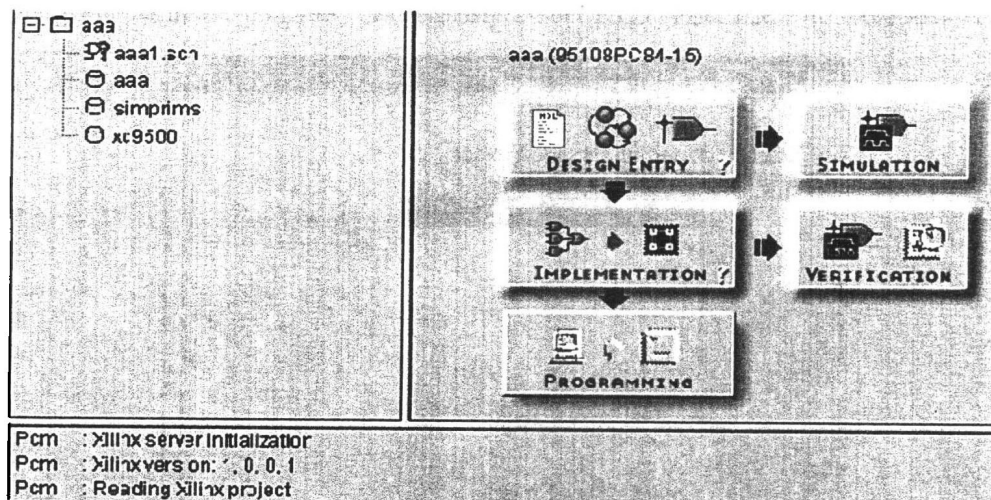


图 1.1.4 EDA 流程图标及提示信息

●分级浏览表

图中左上部分为分级浏览表,它采用分级方式显示工程项的源文件,包括原理图文件、HDL 文件、状态机、库文件、文本文件。如果这个文件包括更低级别的内容,对应图标的右下角有一个“+”符号。单击“+”可以打开这个级别的文件。双击这个图标可以编辑对应文件。分级浏览表也给出工程项的库。Project Manager 会根据所选器件设置合适的 Xilinx 库。

●工程项流程图

图 1.1.4 中,右上部分是工程项流程图。工程项流程图是一个友好的图形界面,它允许用户在其中完成设计的所有步骤,包括设计的创建、实现、仿真和下载等内容。

●信息框

在信息框中将显示错误、警告、报告等信息。错误为红色,警告为蓝色,报告为黑色。

整个电路设计过程就根据工程项流程进行。在进行实际电路设计前,简单介绍一下如图 1.1.5 所示的工程项流程图的各个环节。

(1) 输入方式选择。图 1.1.5 的左上方为输入方式选择,其中包含了三种不同输入方式的图标:HDL 语言(含 VHDL、ABEL-HDL 和 Verilog)、状态机和原理图,点击图标可分别进入不同的输入方式,如采用原理图输入,则点击原理图输入图标。

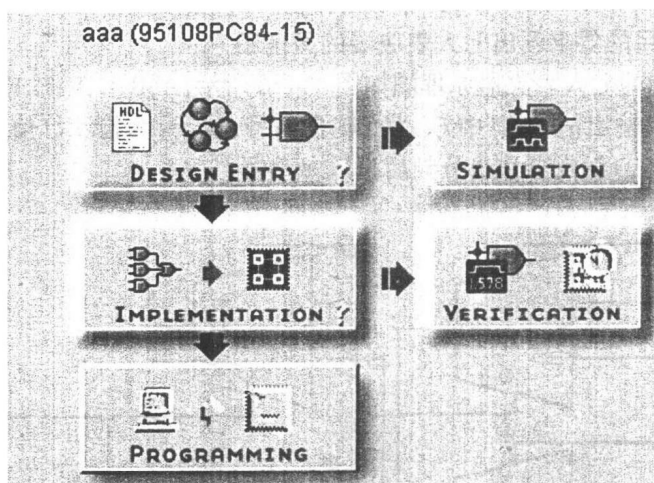


图 1.1.5 电路设计流程

(2) 功能仿真。逻辑仿真器(Logic Simulator)支持四种类型的仿真,功能仿真用来验证系统的逻辑功能是否正确。

(3) 实现到具体芯片。这一步包含一系列操作,具体顺序是转换(Translate)→映射(Map)→放置和布线(Place & Route)→时序分析(Timing)→配置(Configure)。所谓配置是将本设计编程下载到选定的芯片中,即生成可以写到芯片中的目标文件。

(4) 时序仿真。时序仿真是在将时序加到选定的芯片后的仿真验证方式。时序仿真将模拟芯片的实际运作,其仿真时间模型很严格,模型将门级延迟计算在内,可以分析出竞争和冒险。经过时序仿真验证过的设计基本上与实际电路相一致。

(5) 时序分析。时序分析是验证芯片中电路可能的工作速度的重要手段,可以分析出引脚之间及内部信号之间的时间延迟,初步确定芯片中电路的工作性能。

(6) 芯片编程。经过仿真验证后,可以将生成的目标文件写到芯片中去,对芯片进行实际配置,得到符合设计要求的专用芯片 ASIC。

1.3 用 Foundation Series 设计电路举例

1.3.1 设计内容

用可编辑逻辑器件 XC95108PC84 设计制作一个七人表决器,其功能是参加表决的七人中有四个或四个以上赞成,则表决通过,否则不通过。表决输入信号用实验平台上的开关模拟,

表决结果用实验平台上的指示灯及蜂鸣器指示,若表决通过则亮绿灯并让蜂鸣器发声,若不过则亮红灯、蜂鸣器不发声。

1.3.2 设计步骤

EDA 设计输入有原理图、状态机和 HDL 语言三种输入方式,这里以原理图输入为例进行设计。通过本例的实验过程使读者熟悉用 Foundation Series 设计电路的全过程。对于状态机和 HDL 语言只是输入方式不同,其他步骤是基本相同的。

一、根据设计题目的要求画出七人表决器的原理图

选用全加器设计的七人表决器原理图如图 1.1.6 所示,A、B、C、D、E、F、G 为七人表决输入信号,Q₁ 至 Q₃ 为表决输出信号,其中 Q₃ 为蜂鸣器信号,Q₁、Q₂ 为指示灯信号,CLK 为时钟输入信号,可选用 1kHz,经 D 触发器作 2 分频后送入蜂鸣器。

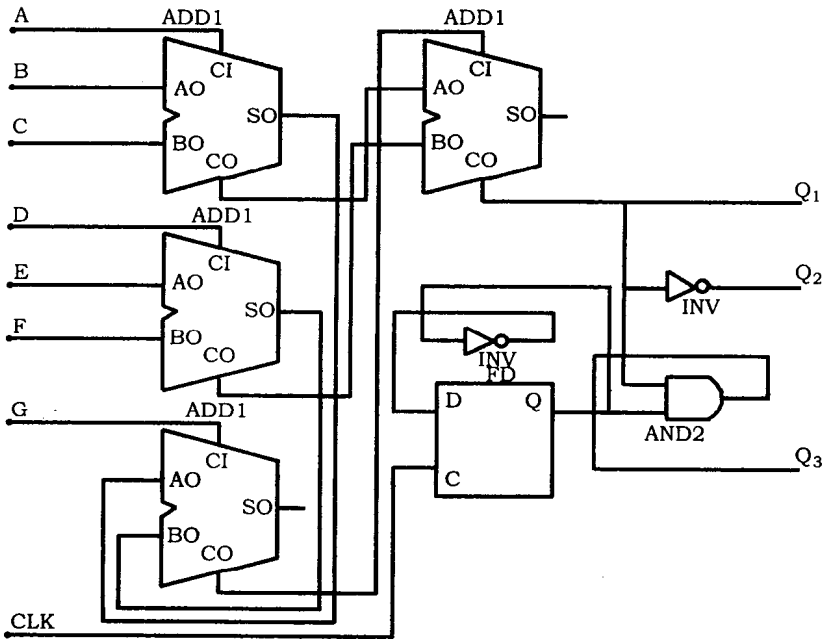


图 1.1.6 七人表决器原理图

图中主要应用了四个全加器电路,分两级,前三个全加器对输入信号进行第一级求和,(每三个信号中只有两个或两个以上为 1,进位输出才为 1),后一个全加器再对第一级的进位输出结果求和,输出从第二级全加器的 CO 得到,即表决结果。这个设计步骤也可以省去而直接在电脑上作图。

二、将设计的原理电路输入到 Foundation 中

启动 Foundation,进入主设计流程后,进入如图 1.1.5 的画面后,点击图 1.1.5 中的原理图输入图标,得到如图 1.1.7 所示的“作图板”。作图板的上方为编辑工具图标,左边为作图工具条,在作图板上绘制原理图时需要利用这些工具。

左边工具条中各按钮图标的意义如下(按照从上到下的顺序):

- ① Hieracrchy Push \ pop 查看高级器件的组成,如一个宏单元的内部组成。

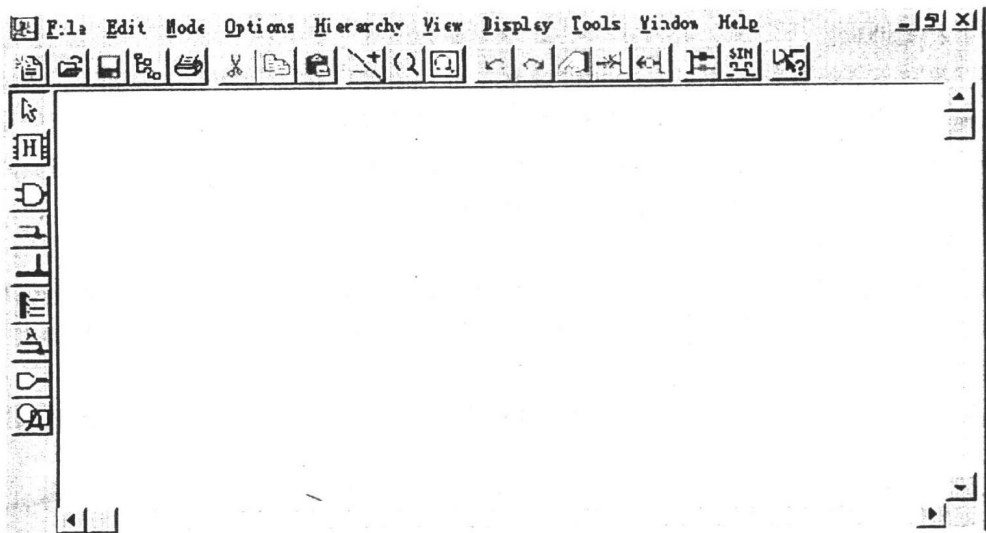


图 1.1.7 原理图输入作图板

- ② Symbols toolbox 元器件库,提供作原理图的各种元器件。
- ③ Draw wires 画网线,网线连接各基本元件、各宏单元的单信号引脚。
- ④ Draw buses 画总线,拖动鼠标实现管脚间的总线连接,在结束点双击左键进行总线标记。
- ⑤ Draw buses taps 画总线抽头,实现总线和单线的连接,进入该模式后点击分支线,但总线和分支线名字要对应。
- ⑥ Add net or bus name 引线,连接命名。
- ⑦ Hierarchy Connector 层次连接器,层次连接分输入、输出、双向、反馈几种。
- ⑧ Graphic toolbox 添加数字及任意图形。
- 工具条中各按钮的进入方式是用左键点击按钮图标,也可以按鼠标右键进入菜单后,选择相应的功能。

●需退出各按钮功能可按键盘上的 ESC 键。

弄清各按钮功能后,就可以在作图板上输入、编辑原理图了。

1. 放置元件

点击 Symbols toolbox 按钮,调出 Foundation 的元件库,选择你所需的元件,如 ADD1(一位全加器)、FD(D 触发器)、INV(反相器)、AND2(二输入与非门)。在输入线上还要放置输入焊盘 I-PAD、缓冲器 IBUF,输出线上放输出焊盘和缓冲器 OPAD、OBUF。

选元件的方法有两种:

(1) 先用鼠标点亮库中的元件,然后将鼠标移到作图板中需要放置元件的合适位置点左键定位。如果元件的 I/O 方向不符合你的连接要求,这时可在元件定位前按右键,将其旋转 90°或 180°等。其方法是在元件定位前按右键,弹出对话框后,填入要求。

(2) 在元件库的下方窗口处输入所选择元件的英文名字,也可以从库中调出元件,然后将鼠标移到作图板适当位置按左键定位。

●一个元件如果需要在原理图中出现多次,这时,可不必重复从元件库中选,可在第一次

从库中调出后,第二次使用只需用鼠标点一下第一次放的元件,并将其移到第二次要放置的位置点一下左键即可。

●如果对放置在作图板上的某个元件或某一部分电路不满意,则可将其删除。方法是先拖动鼠标将其用红色框包围起来,再按删除键,或用鼠标点击编辑工具条中的“剪刀”图标。

●作图板上的元件和电路都可以利用鼠标任意移动位置。方法是先拖动鼠标将其用红色边框包围,然后按住鼠标左键将其拖动到合适位置。

2. 画连接线

用左键点击工具条中的 Draw wires 按钮,鼠标上即带有连线的图标,将鼠标在需连线的元件一端引出线上点击,再将鼠标拖动至需连线的另一端点击,此时,在作图板上已出现兰色连线将元件两端连接起来。

●如果连线的一头是悬空的而不与元件相连时,则需要在悬空的地方双击鼠标左键,形成一个兰色小点。

●如果连线之间跨度很远需要拐弯,在连线时当鼠标拖动至拐点处应按一下左键,以便对拐点定位。

●两条连线之间的距离不可过小,否则系统将不承认你画的连线而自动寻找别的走线路径。

●两元件引脚之间的连接不能直接相连,而应通过 Draw Wires 连线,否则系统不予承认。

●连线方式除上面所述的单线外,还有总线方式 Draw buses 以及总线分支 Draw buses taps。操作方法类似单线连接,但总线必须命名,如总线为 $Q_1 \sim Q_8$ 对应的分支线命名分别为 Q_1 、 Q_2 …… Q_8 ,否则不会连接成功。

若你对所作的连线不满意,可在连线上击左键使之变红,然后按删除键或利用编辑工具条中的“剪刀”将其抹去。

3. 定义管脚

定义管脚的目的是将设计的原理图下载到可编程集成芯片后,原理图的管脚与可编程集成芯片的管脚对应。在实验时,实验系统中已将可编程芯片的管脚引到系统的输入、输出装置上,如输入线上接数码开关,输出线上接显示器、LED 二极管等,在管脚定义时应考虑方便实验。

●本例中,输入的七人表决信号定义为 XC95108PC84 的 37、39、40、41、43、44、45 七线,实验系统对应应有七个输入拨码开关。

●本例中,输出的表决结果信号定义为 XC95108PC84 的 9、11、13、15 线其中 9 线已连接到信号振荡器上,可提供 1kHz 的时钟信号,11 线已连接到蜂鸣器,13 和 15 线已连接到 LED 指示灯上。

定义管脚的操作是:

(1) 双击已输入原理图中的 I/O 线焊盘 IPAD 或 OPAD,出现对话框,在 Parameters 栏目中的 Name 中选中 LOC,在 Description 中输入管脚号,如定义 37 线则输入 P37。

(2) 单击 Add,如果原来已对此管脚作过定义,需要改变则按 Change。

(3) 如果管脚定义后不需要在原理图中显示,可双击对话框下框中的 * * LOC = P37 一行。

(4) 点击 OK 后退出管脚定义对话框,返回原理图可看到刚才的定义。

(5) 重复上述步骤,完成全部管脚的定义,并存盘。

4. 连线取名

为了方便原理图的阅读和以后的仿真,原理图中的某些连线需要取名。如该图中的输入线取名为 A、B、C、D、E、F、G,时钟线取名为 CLK,输出线取名为 Q_1 、 Q_2 、 Q_3 。

操作步骤是用鼠标在需取名的线上适当位置双击左键,出现对话框,在 Net Name 中填入名字,点击 OK 退出。线上即显示所取的名字。

对于那些不便于在原理图中画出的长连线可以用断开后在两个端点标名字的办法,其线的端点标名方法与上述步骤相同。

至此,原理图输入工作已经完成,得到如图 1.1.8 所示的输入图形。

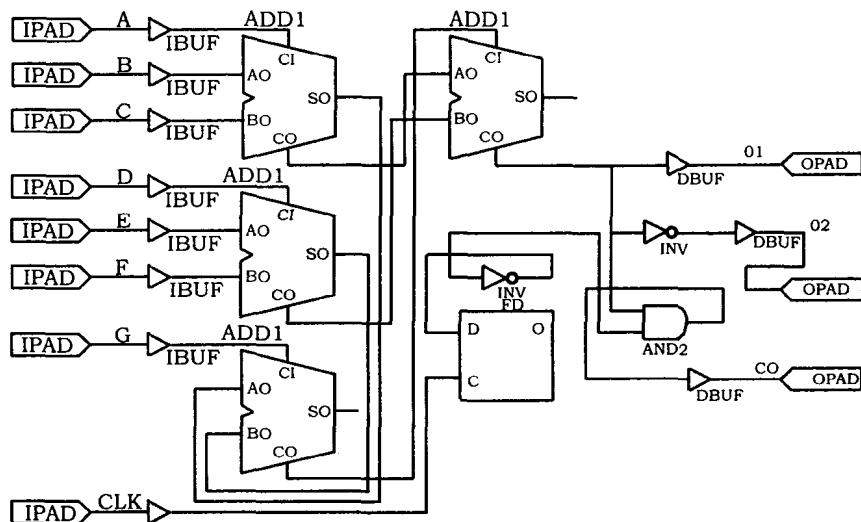


图 1.1.8 输入到 Foundation 中的原理图

5. 存盘后建立网络表

在原理图编辑器中选择菜单 options→Create Netlist,可生成网络表,如果省略这一步,在进行下一步操作时,项目管理器会询问是否生成网表。

三、功能仿真

在设计实现前用户使用功能仿真来检验所创建电路的逻辑功能是否正确。功能仿真在不需要使用测试仪器的条件下,在电路设计过程中就能检测出电路逻辑功能是否正确,使用十分方便。这是电子设计自动化的一个重要优点。

Foundation 提供的逻辑仿真器属于门级仿真器。在输入原理图后对基于原理图的设计立即执行功能仿真。在基于 HDL 的设计中,应在综合之后才能执行功能仿真。下面结合“七人表决器”讲述功能仿真的操作步骤。

功能仿真的过程分成三个步骤:

- 加测试信号
- 加激励信号
- 运行仿真

1. 加测试信号(用探头法)

加测试信号有两种方法供选用,一种是利用探头法加测试信号,另一种是利用元件选择窗

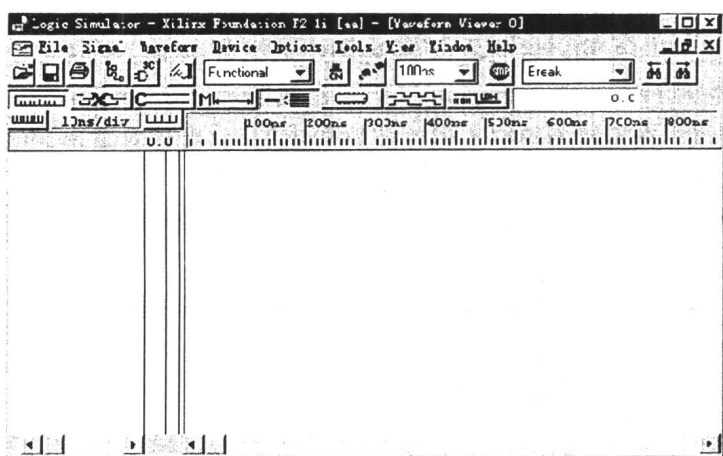


图 1.1.9 原理图仿真器

口加测试信号,这里分别讲述这两种方法。应用时,只要选其中一种。

(1) 启动逻辑仿真器(Logic Simulator) 点击图 1.1.5 设计流程图中的 Functional Simulation 图标,软件将会提示用户原理图已被修改,所以要更新原理图网表,点击 Yes 进行网表更新。机器系统调用逻辑仿真器,项目网表自动载入到逻辑仿真器。进入如图 1.1.9 的仿真器画面。

(2) 点击仿真器工具条中 SC 图标 ,从仿真器进入原理图输入工具。

(3) 当原理图打开之后,在原理图上部的输入工具条中点击仿真工具框图表如图  的图案。

此时,打开的原理图探头工具框,有几个按钮可以用来控制原理图输入工具内的仿真,如图 1.1.10 所示。

可在仿真波形观察器观察仿真的结果,或观察直接在原理图上出现的标记值。

原理图探头工具框打开之后,指针自动地进入 AddProbes 模式,可以看到附在鼠标指针上的探头图标。用鼠标点击工具框中左上方的图标。

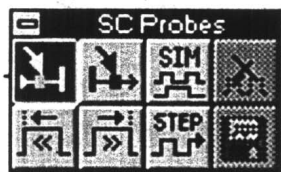


图 1.1.10 工具框

(4) 在 Addprobes 模式下,用指针在原理图中需要加测试信号的线上,如 CLK 信号上点击一次,一个灰色的框出现在 CLK 标记的旁边,这个灰色框表示一探头已加到这个信号上。

(5) 重复上一个步骤在所有需要加测试信号的线上加入探头,如 A、B、C、D、E、F、G、Q₁、Q₂、Q₃ 等。如果原理图中有要加信号的总线,也用同样方法加。

(6) 点击原理图探头工具框中 SIM 按钮,返回到仿真波形观察器。在仿真波形观察器中,可以看到刚才要求探测的所有信号如图 1.1.11。

2. 加测试信号(用元件选择窗口加)

(1) 除了上面所示用探头加测试信号外,还可以用现在所述的用“元件选择窗口加测试信号,但两种方法只要选用一种。进入图 1.1.9 后,点击图中工具条栏目中的 Signal→Add Signals 或点击仿真器中工具条的 Component Selection 按钮 ,出现如图 1.1.12 所示的画面,即可打开 Components election 窗口。

如果要取消一个信号即从波形观察器中移去一个信号,首先在波形观察器的信号清单中选择这个信号,使之点亮。右击鼠标,然后选择并点击 Delete Signals→Selected,这个操作从波形观察器中移去点亮的信号。

3. 指定激励源(加激励信号)

为了测试输入信号的功能,必须加激励到仿真器中已被指定的输入信号上,有许多方法用 Foundation 仿真器来定义激励。

在此指南中利用键盘加激励、定制格式、内部二进制计数器输出和描述文件等方法加激励。其中描述文件的方法将在后面执行时序仿真时会利用。其他几种激励方法在功能和时序仿真中都可使用。指定激励源的操作过程如下:

(1) 在做完“加输入信号”的操作后,选择 Signal→Add Stimulators 或在工具条中点击 Stimulator 图标 ,打开 Stimulator Selection 窗口(如图 1.1.13)。

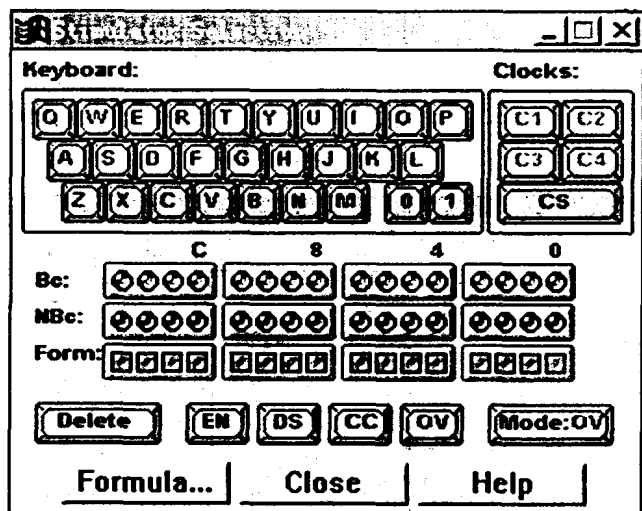


图 1.1.13 激励器选择器

(2) 用内部二进制计数器加激励信号——本例中加到 CLK 信号上

Foundation 仿真器包含一个内部自运行的 16 位二进制计数器,可以利用计数器的 16 个输出信号中的每一个作为激励源,这些信号提供方波脉冲源。

在激励器选择窗口,这些计数器输出是用圆形黄色 LED 表示的,如图中的 0→4→8→C→F。下一行圆形红色 LED 表示这个计数器输出的实现,计数器的 B0 输出 (LSB) 是最右边的 LED, B15 (MSB) 是最左边的 LED。

为了对七人表决器在仿真器中分配激励信号到 CLK 信号,这里利用 B0 激励器的信号来激励表决器中的 CLK 信号。

操作步骤是:

① 在波形观察器中,点击 CLK 选择它(对 HDL 设计选 CLKINT)。

② 在仿真器选择窗口,点击 B0 激励器(最右边黄色 LED)。现在在波形观察器中看到 B0 在 CLK 信号的旁边,表示 B0 激励器已分配给 CLK。