

微型计算机 常用芯片手册

白英彩 主编



上海科学技术出版社

微型计算机常用芯片手册

白英彩 主编

上海科学技术出版社

内 容 提 要

本手册经全国计算机与自动控制教材编审委员会审定作为计算机硬件实验教学必备工具书。

本手册收编了常用的 80/86 系列器件、Z-80/Z-8000 系列器件、MC6800/MC68000 系列器件、A/D 和 D/A 器件的性能、技术数据、引脚图、芯片内部结构和使用方法。在进行微机教学实验和开展微机应用时，这些都是必须经常查找和使用的。

本手册可作为高等院校、中专和职工大学计算机及有关专业的教学工具书，也是广大科技人员从事微机应用工作的必备工具书。

微型计算机常用芯片手册

白英彩 主编

上海科学技术出版社出版

(上海瑞金二路 450 号)

新华书店上海发行所发行 上海商务印刷厂印刷

开本 787×1092 1/16 印张 21.5 字数 566,000

1984 年 12 月第 1 版 1984 年 12 月第 1 次印刷

印数: 1—33,200

统一书号: 15119·2375 定价: 3.55 元

出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作。从一九七七年底到一九八二年初,由于各有关院校,特别是参与编审工作的广大教师的努力和有关出版社的紧密配合,共编审出版了教材 159 种。

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要,反映国内外电子科学技术水平,达到“打好基础,精选内容,逐步更新,利于教学”的要求,在总结第一轮教材编审出版工作经验的基础上,电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》,中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会,作为教材工作方面的一个经常性的业务指导机构,并制定了一九八二~一九八五年教材编审出版规划,列入规划的教材、教学参考书、实验指导书等共 217 种选题。在努力提高教材质量,适当增加教材品种的思想指导下,这一批教材的编审工作由编审委员会直接组织进行。

这一批教材的书稿,主要是从通过教学实践、师生反映较好的讲义中评选择优和从第一轮较好的教材中修编产生出来的。广大编审者、各编审委员会和有关出版社都为保证和提高教材质量作出了努力。

这一批教材,分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作。

限于水平和经验,这一批教材的编审出版工作肯定还会有许多缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本手册经全国计算机与自动控制教材编审委员会审定作为计算机硬件实验教学必备参考书。

为了使学生在规定的时间内完成一系列的计算机硬件实验,逐步形成设计、组装、调试和维护计算机的能力,以提高解决实际工程技术问题的水平,就要求在进行各个实验项目时,迅速地查阅所用器件的技术数据、基本结构、引脚说明和它的正确使用方法。本手册就是为了这个目的而编写的。

本手册收编了常用的 80/86 系列器件、Z-80/Z-8000 系列器件、MC6800/MC68000 系列器件、A/D 和 D/A 器件的性能、技术数据、引脚图、芯片内部结构和使用方法。在进行微机教学实验和开展微机应用时,这些都是必须经常查找和使用的。

本手册由白英彩主编,由张吉锋、杨文龙担任主审。第一章、第四章和附录由刘寿和编写,第二章由顾良士编写,第三章由林兴亚编写。第一章由林兴亚审定,第二、三、四章及附录由白英彩审定。陆一蓉担任了部分书稿抄写和描图工作。

由于编写时间极为仓促,加之编者水平有限,书中定有不少欠妥或疏漏之处,请读者不吝指正。

编 者
1983.12

目 录

出版说明

前言

第1章 Intel 80/86 系列器件.....1

§ 1.1 MCS 80/85 微处理器.....1

- 1.1.1 8080 A 单片 8 位 NMOS 微处理器1
- 1.1.2 8085 A 单片 8 位 NMOS 微处理器4
- 1.1.3 8155/8156 带 I/O 端口和计时器的
2048 位静态 RAM9
- 1.1.4 8205 高速“八选一”二进制译码器13
- 1.1.5 8212 8 位输入/输出.....14
- 1.1.6 8216/8226 4 位并行双向总线驱动器.....17
- 1.1.7 8218/8219 MCS 80 和 MCS 85 系列用
的系统控制器和总线驱动器18
- 1.1.8 8224 时钟发生器和驱动器19
- 1.1.9 8228/8238 系统控制器和总线驱动器.....19
- 1.1.10 8237/8237-2 高性能可编程 DMA 控
制器20
- 1.1.11 8257/8257-5 可编程 DMA 控制器21
- 1.1.12 8259 A 可编程中断控制器.....28
- 1.1.13 8355/8355-2 带 I/O 的 16K 位 ROM37
- 1.1.14 8755A/8755A-2 带 I/O 的 16K 位
EPROM38

§ 1.2 MCS 86 及其它微处理器41

- 1.2.1 iAPX 86/10 16 位 HMOS 微处理器41
- 1.2.2 iAPX 286 微处理机.....46
- 1.2.3 8282/8283 8 位锁存器.....49
- 1.2.4 8284 A 时钟发生器和驱动器50
- 1.2.5 8286/8287 8 位总线收发器.....52
- 1.2.6 8288 总线控制器53

§ 1.3 微处理机的外围器件55

- 1.3.1 8041/8741 8 位通用外设接口.....55
- 1.3.2 8251 A 可编程通信接口58
- 1.3.3 8253/8253-5 可编程计时器.....65
- 1.3.4 8255 A/8255A-5 可编程外设接口70
- 1.3.5 8271/8271-6 可编程软盘控制器.....78
- 1.3.6 8273、8273-4、8273-8 可编程 HDLC
/SDLC 协议控制器80
- 1.3.7 8274 多协议串行控制器80
- 1.3.8 8275 可编程 CRT 控制器81
- 1.3.9 8279/8279-5 可编程键盘/显示器接口92
- 1.3.10 8291 GPIB 听者/讲者99
- 1.3.11 8292 GPIB 控制器100

- 1.3.12 8294 数据加密单元101
- 1.3.13 8295 点阵式打印机控制器102

§ 1.4 存储器器件102

- 1.4.1 2114 A 1024×4 位静态 RAM102
- 1.4.2 2142 1024×4 位静态 RAM103
- 1.4.3 2316 E 型 16384 位静态 ROM104
- 1.4.4 2332 32K (4K×8) ROM105
- 1.4.5 2364 64K (8K×8) 位 ROM105
- 1.4.6 2616 16K (2K×8) 可编程只读存储器106
- 1.4.7 2716 16K (2K×8) 紫外线擦除的
EPROM106
- 1.4.8 2758 8K (1K×8) 紫外线擦除的
EPROM108
- 1.4.9 5101 系列 256×4 位静态 CMOS RAM108
- 1.4.10 8101A-4 输入/输出分离的 1024 位静
态 RAM109
- 1.4.11 8111A-4 具有公共 I/O 引脚的 1024 位
静态 RAM110
- 1.4.12 8185/8185-2 1024×8 位静态 RAM111
- 1.4.13 8308 型 8192 位静态 ROM111
- 1.4.14 8316 A 型 16384 位静态 ROM112
- 1.4.15 8708 型 1K×8 位 EPROM112

第2章 Zilog Z-80/Z-8000 系列器件.....114

§ 2.1 Z-80 微处理器114

§ 2.2 Z-80 输入/输出电路118

- 2.2.1 Z-80 并行输入/输出(PIO)控制器118
- 2.2.2 Z-80 串行输入/输出(SIO)控制器122

§ 2.3 Z-80 双通道异步接收器/发送器 (DART).....130

§ 2.4 Z-80 CTC 计数器与定时器133

§ 2.5 Z-80 直接存储器存取(DMA)电路138

§ 2.6 Z-8000 微处理器141

§ 2.7 Z-8000 系列外围电路144

- 2.7.1 Z-8010 存储器管理单元144
- 2.7.2 Z-8036 计数器/定时器和并行 I/O 单
元(Z-CIO)149
- 2.7.3 Z-8038 FIO 单元154
- 2.7.4 Z-8030 串行通信控制器.....157
- 2.7.5 Z-8090 通用外围控制器(UPO)161

§ 2.8 Zilog 的几种 RAM 器件164

- 2.8.1 动态随机存取存储器 Z-6115164

2.8.2 动态随机存取存储器 Z-6116	167
2.8.3 准静态随机存取存储器 Z-6132	168
§ 2.9 Z-BUS 总线	171
§ 2.10 Z-80L 中央处理器	173
§ 2.11 Z-8031 异步串行通信控制器 (Z-ASCC)	176
§ 2.12 Z-8065 段错误处理器	181
§ 2.13 Z-8068 密码处理器	187
§ 2.14 Z-8530 串行通信控制器(SCC)	196
§ 2.15 Z-8531 异步串行通信控制器 (ASCC)	203
第3章 Motorola MC6800/MC68000 系列	
器件	209
§ 3.1 MC6800 微处理器	209
§ 3.2 MC6800 微处理机的外围接口适配器	224
3.2.1 MC6821(68A21、68B21)外设接口适 配器	224
3.2.2 MC6820 外设接口适配器	228
§ 3.3 异步通讯接口适配器(ACIA)	229
§ 3.4 MC6840 可编程定时器(PTM)	234
§ 3.5 同步串行数据适配器(SSDA)	242
§ 3.6 优先级中断控制器	253
§ 3.7 MC6875 两相时钟发生器/驱动器	255
§ 3.8 MC6843 软磁盘控制器	258
§ 3.9 MC6844 直接访问控制器	271
§ 3.10 MC6845 CRT 控制器	279
§ 3.11 MC68488 通用接口适配器	286
§ 3.12 MC68000 微处理器	293
第4章 数/模及模/数转换器件	316
§ 4.1 AD7520 10 位单片 CMOS 数/模转	

换器	316
§ 4.2 AD7522 双缓冲 10 位 CMOS 数/模 转换器	316
§ 4.3 AD7533 廉价 CMOS 10 位数/模转 换器	318
§ 4.4 AD7550 单片 CMOS 13 位模/数转 换器	319
§ 4.5 AD7570 10 位 CMOS 单片模/数转 换器	320
§ 4.6 DAC0800(LMDAC08)8 位数/模 转换器	322
§ 4.7 DAC0808、DAC0807、DAC0806 8 位数/模转换器	323
§ 4.8 DAC1000~DAC1008 10 位数/模 转换器	324
§ 4.9 DAC1200/DAC1201 12 位(二进 制)数/模转换器 DAC1200/DAC 1203 3 位(BCD)数/模转换器	326
§ 4.10 ADC0800(MM4357B/MM5357B) 8 位模/数转换器	327
§ 4.11 ADC0808、ADC0809 8 位模/数转 换器	327
§ 4.12 ADC0816、ADC0817 8 位模/数转 换器	328
§ 4.13 ADC1210、ADC1211 12 位 CMOS 模/数转换器	330
§ 4.14 LM131A/LM131、LM231A/ LM231、LM331A/LM331 精密 电压——频率转换器	331
附录 国外器件与国内器件相应对照表	333

第1章 Intel 80/86 系列器件

§ 1.1 MCS 80/85 微处理器

1.1.1 8080 A 单片 8 位 NMOS 微处理器

8080 A 是用于通用数字计算机系统的 8 位并行中央处理器(CPU),它是用 NMOS 工艺制成的单片大规模集成电路。8080 A 通过一个 8 位双向三态数据总线($D_0 \sim D_7$)来传递数据及内部周期信息,通过一个 16 位的三态地址总线($A_0 \sim A_{15}$)来发送存贮器和外部设备的地址。从 8080 A 有六个定时及控制输出信号送出(SYNC、DBIN、WAIT、 $\overline{WR}$ 、HLDA 和 INTE),而接纳的有四个控制输入信号(READY、HOLD、INT 和 RESET)、四个电源端(+12 V、+5 V、-5 V 和地)以及两个时钟(ϕ_1 和 ϕ_2)输入信号。

8080 A 有六个 8 位通用寄存器和一个累加器。六个通用寄存器既可单独寻址亦可成对运用,以便进行单精度和双精度运算。8080 A 共有 5 个标志位,其中 4 个是由算术和逻辑指令来置位和复位,第 5 个标志位用于十进制算术运算操作。

8080 A 可采用存贮器的一部分作为它的外部堆栈,按“后进先出”原则进行存取,它可以保存和恢复累加器、标志位、程序计数器 PC 和所有六个通用寄存器的内容,并由一个 16 位的堆栈指示器 SP 来控制这个外部堆栈的寻址操作。这个堆栈使 8080 A 具有多级优先级中断处理能力,也提供了几乎是不受限制的子程序嵌套方式。

主要技术特性

- 8080 A 指令周期为 $2\mu s$, 8080 A-1 为 $1.3\mu s$, 8080 A-2 为 $1.5\mu s$;

- 具有 TTL 驱动能力;
- 具有一个 16 位程序计数器,直接寻址能力达 64 K 字节;

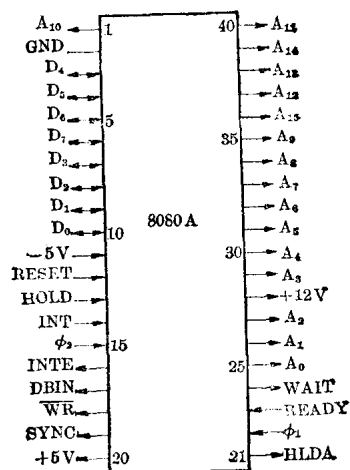


图 1-1-1 8080 A 引脚图

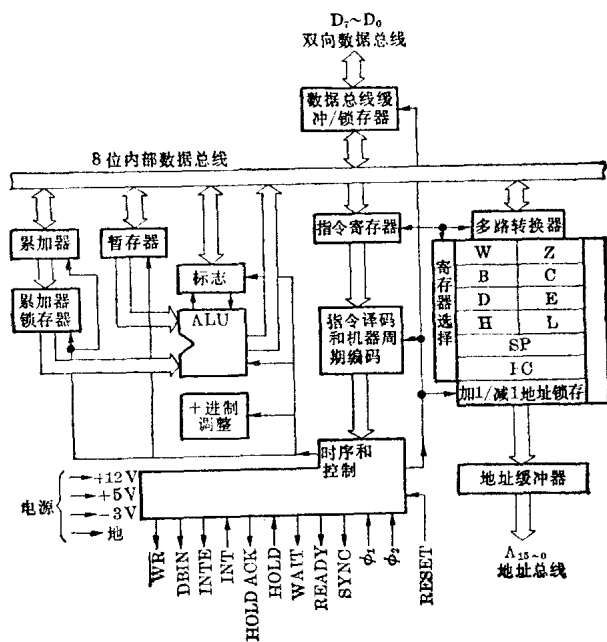


图 1-1-2 8080 A 的内部结构框图

- 具有一个 16 位堆栈指示器和堆栈操作指令,以便迅速地切换程序环境;
- 可进行十进制、二进制、单精度和双精度算术运算;
- 能提供优先级向量中断;
- 512 个 I/O 端口直接编址。

引脚安排

8080 A 的引脚安排如图 1-1-1 所示。

内部结构

如图 1-1-2 所示。

引脚说明

符号和名称	类型	说 明
$A_{15} \sim A_0$ 地址总线	O	可提供达 64 K 字节的存储器地址或 256 个输入/输出地址(设备码), A_0 为最低位。
$D_7 \sim D_0$ 数据总线	I/O	是 CPU 与存储器、I/O 设备之间进行指令传送和数据传送的双向通路,在每个机器周期的第一个时钟周期,8080 A 输出一个状态字节送入数据总线,以说明现行的机器周期。 D_0 是最低位。
SYNO 同步信号	O	是指每个机器周期开始的信号。
DBIN 数据总线输入	O	告诉外部电路,数据总线处于输入方式。可用这个信号把来自存储器或 I/O 设备的数据选通送入 8080 A 数据总线。
READY 准备就绪	I	告诉 8080 A 数据总线上的存储器或输入数据有效。这个信号常用来使 CPU 与慢速的存储器或 I/O 设备同步工作。如果 8080 A 送出一个地址后没有接到 READY 输入信号(即只要 READY 线是低电平),8080 A 就进入“等待”状态。READY 也用于使 CPU 单步工作。
WAIT 等待	O	此信号用来表示 CPU 处在等待状态。
WR 写	O	该信号用来控制存储器写操作或 I/O 输出操作。该信号低电平有效,表示数据总线上的数据已经稳定。
HOLD 保持	I	请求 CPU 进入保持状态。保持状态使外部设备能在 8080 A 完成现行机器周期之后取得对总线的控制权,并使地址总线和数据总线进入高阻状态。CPU 用其保持响应(HLDA)信号表示它已进入 HOLD

符号和名称	类型	说 明
HLDA 保持响应	O	HLDA 用于响应 HOLD 信号,表示数据和地址总线即将变成高阻状态。
INTE 中断允许	O	该信号反映出内部允许中断触发器的状态。由允许中断或禁止中断指令来使该触发器置位或复位。当该触发器处于复位状态时,它禁止 CPU 接受中断。当接收一个中断后,在取指周期(M_1)的 T_1 时刻该触发器能自动复位(不许再中断),它也能用 RESET 信号来复位。
INT 中断请求	I	当 CPU 在现行指令的末了,或者处于暂停状态时,就能识别中断请求线上的中断请求。CPU 处在 HOLD 状态,或者是中断允许触发器复位时,CPU 不能接受中断请求。
RESET 复位	I	当 RESET 信号出现时,就清除程序计数器的内容;RESET 之后,程序将从零单元开始执行;INTE 及 HLDA 触发器也被复位。标志、累加器、堆栈指示器及寄存器的内容则不清除。
V_{SS}		地线。
V_{DD}		+12(±5%)V 电源。
V_{CC}		+5(±5%)V 电源。
V_{BB}		-5(±5%)V 电源。
ϕ_1 和 ϕ_2		两相时钟(不与 TTL 相配)。

指令系统

助记符	指 令 码	操作说明	时钟 周期
	$D_7D_6D_5D_4D_3D_2D_1D_0$		
	数据传送指令		
MOV r_1, r_2	0 1 D D D S S S	寄存器 r_2 送寄存器 r_1	5
MOV M, r	0 1 1 1 0 S S S	寄存器 r 送存储器 M	7
MOV r, M	0 1 D D D 1 1 0	存储器 M 送寄存器 r	7
MVI r	0 0 D D D 1 1 0	立即数 n 送寄存器 r	7
MVI M	0 0 1 1 0 1 1 0	立即数 n 送存储器 M	10
LXI B	0 0 0 0 0 0 0 1	立即数 nn 送寄存器对 BC	10
LXI D	0 0 0 1 0 0 0 1	立即数 nn 送寄存器对 DE	10
LXI H	0 0 1 0 0 0 0 1	立即数 nn 送寄存器对 HL	10
STAX B	0 0 0 0 0 0 1 0	间接存贮累加	7

助记符	指 令 码	操作说明	时钟 周期	助记符	指 令 码	操作说明	时钟 周期
		器 A		JZ	1 1 0 0 1 0 1 0	为零转移	10
STAX D	0 0 0 1 0 0 1 0	间接存贮累加器 A	7	JNZ	1 1 0 0 0 0 1 0	非零转移	10
LDAX B	0 0 0 0 1 0 1 0	间接存入累加器 A	7	JP	1 1 1 1 0 0 1 0	为正转移	10
LDAX D	0 0 0 1 1 0 1 0	间接存入累加器 A	7	JM	1 1 1 1 1 0 1 0	为负转移	10
STA	0 0 1 1 0 0 1 0	直接存贮累加器 A	13	JPE	1 1 1 0 1 0 1 0	偶数转移	10
LDA	0 0 1 1 1 0 1 0	直接存入累加器 A	13	JPO	1 1 1 0 0 0 1 0	奇数转移	10
SHLD	0 0 1 0 0 0 1 0	直接存贮 H 和 L	16	PCHL	1 1 1 0 1 0 0 1	HL 送入程序计数器 PC	5
LHLD	0 0 1 0 1 0 1 0	直接存入 H 和 L	16			调用指令	
XCHG	1 1 1 0 1 0 1 1	寄存器对 DE 和 HL 交换	4	CALL	1 1 0 0 1 1 0 1	无条件调用	17
		堆栈操作指令		CC	1 1 0 1 1 1 0 0	有进位调用	11/17
PUSH B	1 1 0 0 0 1 0 1	寄存器对 B 和 C 入栈	11	CNC	1 1 0 1 1 1 0 0	无进位调用	11/17
PUSH D	1 1 0 1 0 1 0 1	寄存器对 D 和 E 入栈	11	CZ	1 1 0 0 1 1 0 0	为零调用	11/17
PUSH H	1 1 1 0 0 1 0 1	寄存器对 H 和 L 入栈	11	CNZ	1 1 0 0 0 1 0 0	非零调用	11/17
PUSH PSW	1 1 1 1 0 1 0 1	累加器 A 和标志 F 入栈	11	CP	1 1 1 1 0 1 0 0	为正调用	11/17
POP B	1 1 0 0 0 0 0 1	寄存器对 B 和 C 出栈	10	CM	1 1 1 1 1 1 0 0	为负调用	11/17
POP D	1 1 0 1 0 0 0 1	寄存器对 D 和 E 出栈	10	CPE	1 1 1 0 1 1 0 0	偶数调用	11/17
POP H	1 1 1 0 0 0 0 1	寄存器对 H 和 L 出栈	10	CPO	1 1 1 0 0 1 0 0	奇数调用	11/17
POP PSW	1 1 1 1 0 0 0 1	累加器 A 和标志 F 出栈	10			返回指令	
XTHL	1 1 1 0 0 0 1 1	栈顶与 H 和 L 交换	18	RET	1 1 0 0 1 0 0 1	返回	10
SPhL	1 1 1 1 1 0 0 1	HL 送入堆栈指示器 SP	5	RC	1 1 0 1 1 0 0 0	有进位返回	5/11
LXI SP	0 0 1 1 0 0 0 1	立即数 nn 存入堆栈指示器 SP	10	RNC	1 1 0 1 0 0 0 0	无进位返回	5/11
INX SP	0 0 1 1 0 0 1 1	堆栈指示器 SP 加一	5	RZ	1 1 0 0 1 0 0 0	为零返回	5/11
DCX SP	0 0 1 1 1 0 1 1	堆栈指示器 SP 减一	5	RNZ	1 1 0 0 0 0 0 0	非零返回	5/11
		转移指令		RP	1 1 1 1 0 0 0 0	为正返回	5/11
JMP	1 1 0 0 0 0 1 1	无条件转移	10	RM	1 1 1 1 1 0 0 0	为负返回	5/11
JC	1 1 0 1 1 0 1 0	有进位转移	10	RPE	1 1 1 0 1 0 0 0	偶数返回	5/11
JNC	1 1 0 1 0 0 1 0	无进位转移	10	RPO	1 1 1 0 0 0 0 0	奇数返回	5/11
						再启动指令	
				RST	1 1 A A A 1 1 1	再启动	11
						加一和减一指令	
				INR r	0 0 D D D 1 0 0	寄存器 r 加一	5
				DCR r	0 0 D D D 1 0 1	寄存器 r 减一	5
				INR M	0 0 1 1 0 1 0 0	存贮器 M 加一	10
						—	
				DCR M	0 0 1 1 0 1 0 1	存贮器 M 减一	10
						—	
				INX B	0 0 0 0 0 0 1 1	B 和 C 寄存器加一	5
				INX D	0 0 0 1 0 0 1 1	D 和 E 寄存器加一	5
				INX H	0 0 1 0 0 0 1 1	H 和 L 寄存器加一	5
				DCX B	0 0 0 0 1 0 1 1	B 和 C 寄存器减一	5
						—	
				DCX D	0 0 0 1 1 0 1 1	D 和 E 寄存器减一	5
						—	
				DCX H	0 0 1 0 1 0 1 1	H 和 L 寄存器减一	5

助记符	指 令 码	操作说明	时钟 周期	助记符	指 令 码	操作说明	时钟 周期
减一				加器 A 相异			
加法指令				ORA M	1 0 1 1 0 1 1 0	存贮器 M 和累加器 A 相或	7
ADD r	1 0 0 0 0 S S S	寄存器 r 加至累加器 A	4	CMP M	1 0 1 1 1 1 1 0	存贮器 M 与累加器 A 比较	7
ADC r	1 0 0 0 1 S S S	寄存器 r 带进位加至累加器 A	4	ANI	1 1 1 0 0 1 1 0	立即数 nn 和累加器 A 相与	7
ADD M	1 0 0 0 0 1 1 0	存贮器 M 加至累加器 A	7	XRI	1 1 1 0 1 1 1 0	立即数 nn 和累加器 A 相异	7
ADC M	1 0 0 0 1 1 1 0	存贮器 M 带进位加至累加器 A	7	ORI	1 1 1 1 0 1 1 0	立即数 nn 和累加器 A 相或	7
ADI	1 1 0 0 0 1 1 0	立即数 nn 加至累加器 A	7	CPI	1 1 1 1 1 1 1 0	立即数 nn 与累加器 A 比较	7
ACI	1 1 0 0 1 1 1 0	立即数 nn 带进位加至累加器 A	7	循环移位指令			
DAD B	0 0 0 0 1 0 0 1	B 和 C 加至 H 和 L	10	RLC	0 0 0 0 0 1 1 1	累加器 A 循环左移	4
DAD D	0 0 0 1 1 0 0 1	D 和 E 加至 H 和 L	10	RRQ	0 0 0 0 1 1 1 1	累加器 A 循环右移	4
DAD H	0 0 1 0 1 0 0 1	H 和 L 加至 H 和 L	10	RAL	0 0 0 1 0 1 1 1	累加器 A 通过进位循环左移	4
DAD SP	0 0 1 1 1 0 0 1	SP 加至 H 和 L	10	RAR	0 0 0 1 1 1 1 1	累加器 A 通过进位循环右移	4
减法指令				特殊指令			
SUB r	1 0 0 1 0 S S S	累加器 A 减去寄存器 r	4	OMA	0 0 1 0 1 1 1 1	累加器 A 取反	4
SBB r	1 0 0 1 1 S S S	累加器 A 带借位减去寄存器 r	4	STC	0 0 1 1 0 1 1 1	设置进位	4
SUB M	1 0 0 1 0 1 1 0	累加器 A 减存贮器 M	7	CMC	0 0 1 1 1 1 1 1	进位取反	4
SBB M	1 0 0 1 1 1 1 0	累加器 A 带借位减存贮器 M	7	DAA	0 0 1 0 0 1 1 1	累加器 A 十进制调整	4
SUI	1 1 0 1 0 1 1 0	累加器 A 减立即数 nn	7	输入输出指令			
SBI	1 1 0 1 1 1 1 0	累加器 A 带借位减立即数 nn	7	IN	1 1 0 1 1 0 1 1	输入	10
逻辑指令				OUT	1 1 0 1 0 0 1 1	输出	10
ANA r	1 0 1 0 0 S S S	寄存器 r 和累加器 A 相与	4	控制指令			
XRA r	1 0 1 0 1 S S S	寄存器 r 和累加器 A 相异	4	EI	1 1 1 1 1 0 1 1	开放中断	4
ORA r	1 0 1 1 0 S S S	寄存器 r 和累加器 A 相或	4	DI	1 1 1 1 0 0 1 1	禁止中断	4
CMP r	1 0 1 1 1 S S S	寄存器 r 与累加器 A 比较	4	NOP	0 0 0 0 0 0 0 0	空操作	4
ANA M	1 0 1 0 0 1 1 0	存贮器 M 和累加器 A 相与	7	HLT	0 1 1 1 0 1 1 0	停机	7
XRA M	1 0 1 0 1 1 1 0	存贮器 M 和累加器 A 相异	7	注: 1. DDD 或 SSS: B=000, C=001, D=010, E=011, H=100, L=101, 存贮器=110, A=111。			
				2. 时钟周期有两个值(例如 6/12), 表示指令周期取决于状态标志的值。			

1.1.2 8085A 单片 8 位 NMOS 微处理器

8085A 是一个 8 位并行中央处理器, 它的指令系统和软件与 8080A 微处理器是完全兼容的, 但在性能上有大幅度的提高。8085A 与

8156 (RAM/IO) 和 8355 或 8755 A (ROM 或 PROM/IO) 可组成最小系统。8085 A 把 8080、8224 (时钟发生器) 和 8228 (系统控制器) 所有的特点都包括进去, 因此提高了器件的集成度。

8085 A 采用多路数据总线, 把 16 位地址分为 8 位地址总线和 8 位数据地址总线。

主要技术特征

- 软件与 8080 A 完全兼容;
- 指令周期为 $1.3 \mu s$ (8085 A-2 为 $0.8 \mu s$);
- 片内有时钟发生器 (采用外接晶体或 RC 网络);
- 片内有系统控制器;
- 具有四个向量中断输入 (其中之一是不可屏蔽的);

可屏蔽的);

- 具有串行输入/输出端口;
- 可执行十进制、二进制、单精度和双精度运算;
- 直接寻址能力为 64 K 字节;
- +5 V 单电源;
- 单相时钟。

引脚安排

如图 1-1-3 所示。

内部结构

如图 1-1-4 所示。

引脚说明

符号和名称	类型	说 明
$A_8 \sim A_{15}$ 地址总线	O	三态, 高 8 位存储器地址或 8 位输入/输出端口地址。在 HOLD (保持) 和 HALT (停机) 状态时, $A_8 \sim A_{15}$ 呈高阻状态; 复位时也呈高阻状态。
$AD_0 \sim AD_7$ 多路转换地址/数据总线	I/O	三态, 在机器周期的第一个时钟周期内该总线载有存储器低 8 位地址信息或 I/O 端口地址信息, 而在第二和第三时钟周期变成数据总线。在 HOLD 和 HALT 状态时, 该总线呈高阻状态。
ALE 地址锁存允许	O	它出现在机器周期的第一个时钟周期, 并把该时钟周期 $AD_0 \sim AD_7$ 上的地址信息锁存到外围电路 (如 8212) 的锁存器内。ALE 的下降沿保证满足地址的建立时间和保持时间。ALE 的下降沿也能用来选通状态信息。ALE 绝不会处于三态。
S_0 和 S_1 机器周期状态	O	即总线周期的编码状态: $S_1 S_0$ 总线周期状态 0 0 停机 (HALT) 0 1 写 (WRITE) 1 0 读 (READ) 1 1 取指 (FETCH) S_1 可用作先行的 R/ $\bar{W}$ 状态。
$\bar{RD}$ 读	O	三态, 该信号低电平有效, 此时所选存储器或 I/O 设备正在读出, 数据总线用于数据传送。在 HOLD 和 HALT 时, $\bar{RD}$ 线呈高阻状态, 复位时也呈高阻状态。
READY 准备就绪	O	如果在读或写周期时 READY 处于高电平, 就表示存储器或外围设备已准备好发送或接收数据。如果 READY 处于低电平, 就表示

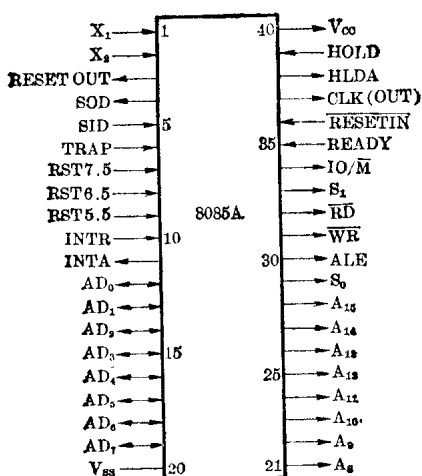


图 1-1-3 8085 A 的引脚图

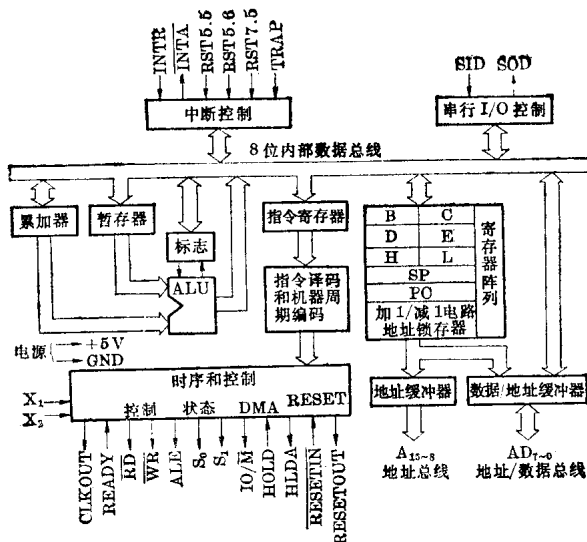


图 1-1-4 8085 A 内部结构框图

符号和名称	类型	说 明
		CPU 在完成当前的读或写周期之前要等待整数个时钟周期, 直到 READY 变为高电平为止。
HOLD 保持	I	表示其它主设备需要使用地址或数据总线。CPU 接受保持请求后, 一旦现行总线周期完成, 就放弃总线的使用。但中央处理器继续工作, 只不过不使用总线罢了。只有 HOLD 信号撤除之后, 处理机才能再度获得总线。当 HOLD 得到响应时, 地址、数据、 $\overline{RD}$ 、 $\overline{WR}$ 和 $IO/\overline{M}$ 等信号线皆处于三态输出。
HLDA 保持响应	O	表示 CPU 已接受 HOLD 请求, 并将在下一个时钟周期放弃总线。在 HOLD 请求撤除之后, HLDA 变为低电平。在 HLDA 变为低电平半个时钟周期后, CPU 获得总线。
INTR 中断请求	I	用作一般中断。仅在每条指令的最后一个时钟周期或者在 HOLD 和 HALT 状态下进行采样, 检测有无中断请求信号。如该信号有效, 则程序计数器(PC)将停止计数, 并发出 INTA 信号。在这期间可插入 RESTART(再启动)或 CALL(调用)指令, 跳转到中断服务程序中去。由软件来决定 INTR 是否得到允许。在复位或接受一个中断后, 将禁止继续接受 INTR(中断)。
INTA 中断响应	O	在接受中断请求后的指令周期内用来代替 $\overline{RD}$ 。它用于启用 8259 中断控制器或其它一些中断端口。
RST 5.5 RST 6.5 RST 7.5 再启动中断	I	这三个输入同 INTR 具有相同的时序, 唯一例外是它们自动插入一个内部再启动过程。RST 7.5 具有最高优先级, 而 RST 5.5 的优先级最低。这三个中断输入的优先级都比 INTR 的优先级为高, 这三个中断可用 SIM 指令分别加以屏蔽。
TRAP 自陷中断	I	这是一个不可屏蔽的再启动中断。它的识别时间与中断请求 INTR 或 RST 5.5~7.5 相同。它不受任何屏蔽或允许中断操作影响。TRAP 的优先级比 RST 7.5 的优先级还要高。
$\overline{RESET\ IN}$ 复位输入	I	置程序计数器为零, 并清除中断允许位和 HLDA 触发器。其它标志位或寄存器(指令寄存器除外)均不受影响。只要该信号加到 CPU 上, 就使其保持在复位状态。

符号和名称	类型	说 明
RESET OUT 复位输出	O	表示 CPU 开始复位。该信号可用作系统总清信号。它与 CPU 时钟周期同步, 并持续完整的周期数。
X_1 和 X_2		将晶体或 RC/LC 网络连接于片内时钟发生器的输入端。 X_1 也能作为一个外部时钟脉冲输入, 以代替一个晶体。输入频率为片内工作频率的 2 倍。
CLK 时钟信号	O	当晶体或 RC/LC 网络作为一个脉冲信号输入到 CPU 时, 则时钟脉冲发生器输出信号用作这一系统的时钟脉冲信号。CLK 的周期为 X_1 、 X_2 输入周期的 2 倍。
$IO/\overline{M}$ 区别存储器或 I/O 设备状态的信号	O	当该信号为低电平时, 表示存储器进行读或写; 而该信号为高电平时, 表示 I/O 设备进行读或写。在 HOLD 和 HALT 状态时, $IO/\overline{M}$ 呈高阻状态。
SID 串行输入数据	I	每当执行 RIM 指令时, 此线上的数据打入到累加器的第七位。
SOD 串行输出数据	O	按照 SIM 指令的规定把 SOD 输出置 1 或置 0。
V_{CC} V_{SS}		+5 伏电源。 基准电压。

8085 A 的功能

8085 A 的时钟频率为 3 MHz, 而 8085 A-2 的时钟频率可达 5 MHz, 因而它比 8080 A 的速度快得多, 性能也好得多。8085 有 12 个可寻址的 8 位寄存器, 其中四个寄存器只可组成二对寄存器, 作为 16 位寄存器用。8085 A 还为简单串行接口提供串行输入数据(SID)和串行输出数据(SOD)的功能。8085 A 总共有五个中断: 一个可屏蔽的中断; 三个再启动中断; 一个不可屏蔽的 TRAP 中断。

8085 A 除了包含 8080 A 的全部功能外, 还有以下特点:

- 片内备有时钟脉冲发生器;
- 具有时钟脉冲输出;
- 与 READY 信号完全同步;
- 对 $\overline{RESET\ IN}$ 信号有斯密特整形作用;
- 具有总清输出引脚;
- 具有 $\overline{RD}$ 、 $\overline{WR}$ 、 S_0 、 S_1 和 $IO/\overline{M}$ 等总线

控制信号;

- 状态编码;
- 多路转换的地址和数据总线;
- 直接再启动中断和不可屏蔽中断;
- 串行数据输入/输出。

片内时钟脉冲发生器需要外接一个晶体或 RC/LC 网络, 其振荡频率为 CPU 工作频率的 2 倍, 占空度 50%, 两相。由振荡器产生出不重迭的时钟脉冲。

8085 A 的中断系统

8085 A 有 5 个中断输入: INTR、RST5.5、RST6.5、RST7.5 和 TRAP。INTR 与 8080 A 中的 INT 的功能是相同的。三个再启动中断为 RST5.5、RST6.5 和 RST7.5, 它们各有一个可由程序变更的屏蔽位。TRAP 也是一种再启动中断, 但它是不可屏蔽的。这三个再启动中断产生 RST 内部执行信号, 把 PC 的内容送入堆栈, 并转移到再启动地址。如果某一再启动中断得到允许且相应的屏蔽位未被置位, 那么就会执行这一中断; 不可屏蔽中断 TRAP 是一种与中断允许信号和中断屏蔽位都无关系的 RST 内部执行过程。上述五种中断的优先级、再启动和触发方式列于表 1-1-1。

表 1-1-1 五种中断的优先级、再启动和触发方式

名 称	优先级	当中断发生时* 地址将转移到	触发方式
TRAP	1	24 H	脉冲上升沿和高电平相“与”
RST7.5	2	3CH	上升沿
RST6.5	3	34 H	高电平
RST5.5	4	2CH	高电平
INTR	5	**	高电平

注: * 在转移到规定地址前, 处理机将 PC 的内容压入堆栈。

** 转移的地址需视中断响应时提供给 CPU 的指令而定。

由上表可以看出, 再启动中断有两种不同类型的输入方式: RST5.5 和 RST6.5 都是用高电平触发的; RST7.5 需用脉冲沿来触发, 用来对片内产生内部中断请求的触发器进行置位, 并使该请求中断触发器保持置“1”状态, 直

到获准中断服务为止, 然后自动使这个触发器复位。这个触发器也能用 SIM 指令或用复位输入 (RESET IN) 信号加以复位。

值得指出的是, TRAP 对于例如电源失效或总线出错等严重故障情况是有用的。TRAP 输入信号的识别过程与任何其它几种中断一样, 但具有最高优先级。它不受任何标志位和屏蔽位影响。TRAP 输入信号必须在脉冲沿和高电平信号同时存在时才起作用。TRAP 必须达到高电平且保持高电平才会被响应, 直到它变为低电平, 再变为高电平之前不会再次被识别。这就避免由于噪声或线路尖峰而引起任何假触发信号。在 8085 A 中所用的 TRAP 中断请求电路如图 1-1-5 所示。

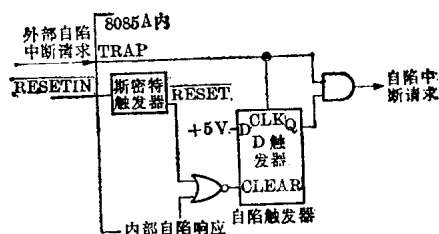


图 1-1-5 TRAP 中断请求电路

应当注意的是, 在为任何中断 (TRAP、RST7.5、RST6.5、RST5.5、INTR) 服务时, 都将禁止其它的中断 (TRAP 例外), 直到 EI 指令执行完为止。TRAP 中断信号在保持先前的中断允许状态方面是有它特点的。在执行 TRAP 中断后的第一条 RIM 指令时, 将确定在 TRAP 前中断是否被允许。

串行输入/输出系统也是通过 RIM 和 SIM 指令来控制的。SID 通过 RIM 指令来读, 而 SIM 指令用于设置 SOD 数据。

基本系统时序

8085 A 具有多路转换的数据/地址总线, 用 ALE 来选通该总线上的地址。取指周期、存贮器读周期和 I/O 写周期的定时关系如图 1-1-6 所示。

8085 A 有七种机器周期, 每一个周期都是由三种状态线 (IO/ $\overline{M}$ 、 S_1 和 S_0) 和三种控制线 ($\overline{RD}$ 、 $\overline{WR}$ 和 $\overline{INTR}$) 来定义的, 如表 1-1-2 所

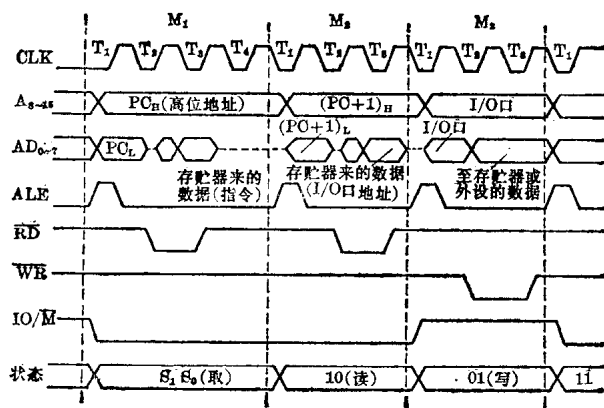


图 1-1-6 8085 A 系统的时序

表 1-1-2 8085 A 的机器周期

机器周期	状态			控制		
	IO/M	S_1	S_0	$\overline{RD}$	$\overline{WR}$	INTR
取操作码(OF)	0	1	1	0	1	1
存储器读(MR)	0	1	0	0	1	1
存储器写(MW)	0	0	1	1	0	1
I/O 读(IOR)	1	1	0	0	1	1
I/O 写(IOW)	1	0	1	1	0	1
中断响应(INA)	1	1	1	1	1	0
总线空闲(BI): DAD	0	1	0	1	1	1
RST, TRAP 的响应	1	1	1	1	1	1
HALT	TS*	0	0	TS	TS	1

注: *TS 表示三态。

示。

系统接口

含有存储器及 I/O 端口的 8085 A 系列的器件可直接与 8085 A CPU 相配。例如 8085 A, 8156 和 8355(或 8755 A)三片电路就可以构成最小系统, 如图 1-1-7 所示。该系统具有以下特性:

- 2 K 字节 ROM;
- 256 字节 RAM;
- 一个定时器/计数器;
- 4 个 8 位输入/输出端口;
- 1 个 6 位输入/输出端口;
- 4 个中断;
- 串行输入/串行输出端口。

除标准的输入/输出外, 使用存储器“映象” I/O 能提供有效的寻址方法。用这种方法可将

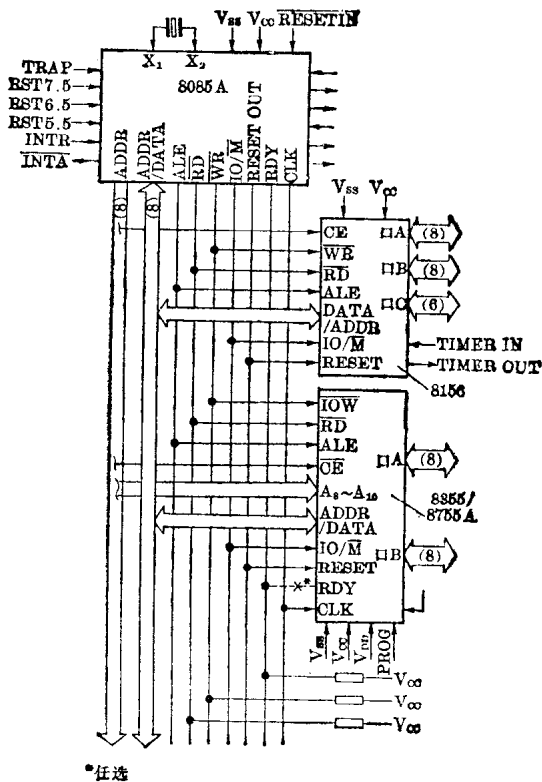


图 1-1-7 8085 A 的最小系统

输入/输出地址规定为一块存储器地址空间。因此, 输入/输出操作可使用存储器的地址。8085 A 采用存储器“映象” I/O 的系统结构如图 1-1-8 所示。

8085 A CPU 也能与标准存储器相连接, 由于这种存储器器件没有多路转换的地址/数据总线, 故需要借助于 8212 地址锁存器来构成系统, 如图 1-1-9 所示。

驱动 X_1 和 X_2 输入

用户可外接晶体或 RC/LC 网络作为脉冲信号源来驱动 8085 A 的 X_1 和 X_2 的输入, 如图 1-1-10 所示。驱动频率应是所需工作频率的 2 倍(8085 A 为 3 MHz, 则需 6 MHz 的晶体; 8085 A-2 为 5 MHz, 则需 10 MHz 晶体)。采用 RC 网络时, 时钟输入产生较大的频率偏差, 故使用 RC 网络是有一定限制的; LC 并联谐振电路也有大约 10% 的频率误差, 当频率超过 5 MHz 以上时不宜采用。低于 5 MHz 时, 电容参数为:

- 可编程的 14 位二进制计数器/计时器；
- 多路转换的地址和数据总线；
- 采用 40 条引脚的双列直插式封装。

引脚安排

如图 1-1-11 所示。

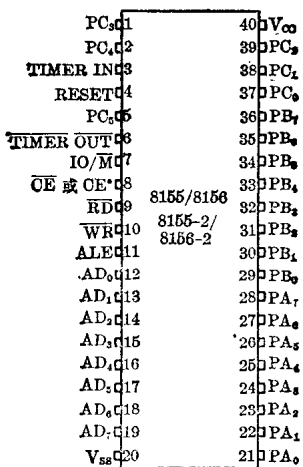


图 1-1-11 8155/8156、8155-2/8156-2 的引脚图

框图

如图 1-1-12 所示。

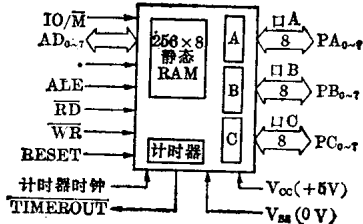


图 1-1-12 8155/8156、8155-2/8156-2 的结构框图

注：* 8155/8155-2 = $\overline{OE}$, 8156/8156-2 = CE

引脚说明

8155/8156 所有引脚的功能说明如下：

符号和名称	类型	说 明
RESET 复位信号	I	是 8085 为预置系统而提供的 一个脉冲。在这根线上输入高电平 时，使该器件复位，并把三个输入/ 输出口预置成输入方式，复位脉冲 的宽度一般为 600 ns (相当于两个 8085 A 时钟周期的时间)。
AD _{0~7} 三态地址/数据总线	I/O	与 CPU 的低 8 位地址/数据总 线相连。在 ALE 的后沿把 8 位地 址锁存在地址锁存器中。地址可供 存贮器部分使用，也可以供输入/输 出部分用，视 IO/ $\overline{M}$ 输入信号的极

符号和名称	类型	说 明
OE 或 $\overline{OE}$ 选片端	I	性而定。8 位的数据是写入片子还 是从片子中读出，则取决于 $\overline{WRITE}$ 或 $\overline{READ}$ 输入信号的状态。 在 8155 中，这个引脚是 $\overline{OE}$ ，低 电平有效。在 8156 中，这个引脚为 CE，高电平有效。
$\overline{RD}$ 存贮器读	I	该输入为低电平，且选片信号 有效时，开启 AD _{0~7} 缓冲器。如果 IO/ $\overline{M}$ 引脚是低电平，RAM 的内容 将读出至 AD 总线上。否则，选中 的输入/输出口的内容读出到 AD 总线上。
$\overline{WR}$ 存贮器写	I	当这根线上有低电平输入信号 且选片信号有效时，AD 线上的数据 将视 IO/ $\overline{M}$ 的极性而写入 RAM 或 I/O 口。
ALE 地址锁存器启用信号	I	这个控制信号的后沿把 AD _{0~7} 线上的地址和选片端的状态，以及 IO/ $\overline{M}$ 信号锁存在器件内。
IO/ $\overline{M}$ IO/ $\overline{M}$ 选择线	I	该线处于低电平，则选择存贮 器；处于高电平，就选择输入/输出 口。
PA _{0~7} (8) 口 A 输入/输出	I/O	通用的输入/输出线有 8 根，输 入/输出的方向通过对命令/状态寄 存器编程来选择。
PB _{0~7} (8) 口 B 输入/输出	I/O	通用的输入/输出线有 8 根，输 入/输出的方向通过对命令/状态寄 存器编程来选择。
PC _{0~5} (6) 控制信号线	I/O	这 6 根线可用作输入口、输出 口，或者用作口 A 和口 B 的控制信 号线，通过对命令/状态寄存器编程 来选择。当 PC _{0~5} 用作控制信号时， 其作用如下： PC ₀ ——A INTR(口 A 的中断线) PC ₁ ——A BF(口 A 的缓冲器满信 号线) PC ₂ —— $\overline{A}$ STB(口 A 的通选线) PC ₃ ——B INTR(口 B 的中断线) PC ₄ ——B BF(口 B 的缓冲器满信 号线) PC ₅ —— $\overline{B}$ STB(口 B 的通选线)
TIMER IN TIMER OUT	I O	这是计时器/计数器的输入端。 这个引脚是计时器的输出。这 个输出信号是方波还是脉冲取决于 计时器的工作方式。
V _{cc} V _{ss}		+5 伏电源。 接地端。

8155/8156 的功能
8155/8156 是由下列部件组成：