

奔腾™系列用户手册 第二卷

82496/82497 超高速缓存控制器与

82491/82492 超高速

缓存 SRAM 数据手册

曹振羽 周红群 等译
陶心立 蒋亦涵
唐永坚 胡传国 审校

电子工业出版社 上海科学普及出版社

intel®

One good thing

1979 - 8086 and 8088 CPU

leads to another...



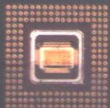
1982 - 80286 CPU

and another...



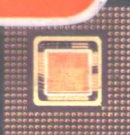
1985 - Intel386™ CPU

and another...



1989 - Intel486™ CPU

another...



1993 - Pentium™ Processor

and another...and another...

1994 - Pentium™ Processor
(90 & 100 MHz)



奔 腾TM 系 列 用 户 手 册

第二卷 82496 / 82497 超高速缓存控制器与
82491 / 82492 超高速缓存 SRAM 数据手册

曹振羽	周红群	等译
陶心立	蒋亦涵	
唐永坚	胡传国	审校

电 子 工 业 出 版 社
上 海 科 学 普 及 出 版 社

责任编辑 胡名正 刘瑞莲 龚兰方

内 容 提 要

继 60MHz 和 66MHz 的奔腾微处理芯片之后, Intel 公司于最近又宣布了最新版本的 90MHz、100MHz 奔腾微处理芯片。奔腾微处理器是迄今为止最先进的微处理器, 已被许多微型机厂商采用为 CPU。这套手册共分三卷, 本书为第二卷。该书介绍 82496/82497 超高速缓存控制器和 82491/82492 超高速缓存 SRAM 芯片组的技术信息。82497/82491 二级高速缓存芯片组是本版手册新增的内容, 叙述了这个芯片组与 iCOMP 指数 815/100MHz 和 iCOMP 指数 735/90MHz 奔腾处理器的接口。此外, 还包括上述高速缓存器的结构, 兼容性协议, 电气、机械技术规范等。

读者对象: 微机用户, 微机设计、开发、维修人员, 大专院校计算机专业师生。

© 上海科学普及出版社、电子工业出版社 1996

© Intel 公司英文版的授权中译本。

此中译本的出版和发行获得上述英文版的一切出版和发行权的所有者——Intel 公司的许可。上海科学普及出版社、电子工业出版社拥有上述中译本在中华人民共和国(除台湾省外)的独家重印、出版、发行权。任何人不得再对上述中译本进行翻印、改编、出版和发行。

奔腾™ 系列用户手册
第二卷 82496/82497 超高速缓存控制器
与 82491/82492 超高速缓存 SRAM 数据手册

曹振羽 周红群 等译
陶心立 蒋亦涵

唐永坚 胡传国 审校

电 子 工 业 出 版 社

(北京海淀区普惠北里 12 号 邮编 100036)

上 海 科 学 普 及 出 版 社

(上海曹杨路 500 号 邮政编码 200063)

北京大中印刷厂印刷

开本 787×1092 1/16 印张 25 字数 608000

1996 年 5 月第 1 版 1996 年 5 月第 1 次印刷

ISBN 7-5427-0962-3/TP·236

版权贸易号: 09-1996-019

定价: 80.00 元

前言

在过去的 25 年里, Intel 公司不断发展。公司的产品覆盖了微处理器、闪刷存贮器、微控制器以及 PC 增强型机、网络产品、多媒体产品和大型并行超级计算机等多个领域。以 Intel386 和 Intel486 微处理器系列为代表的 Intel 的 32 位 X86 体系结构已成为现代商业计算应用中事实上的标准。

继 Intel486 微处理器之后, Intel 公司又推出了新一代的 Pentium[®](奔腾[™]) 处理器。该处理器采用了超标量运算双流水线、高性能浮点运算、独立的代码和数据高速缓存、数据完整性功能、分支指令预测、增强的 64 位数据总线、单芯片升级、电源管理、性能监测等多项新技术, 使其达到甚至超过了高档工作站的性能。且能与现有的 IntelX86 系列微处理器以及 5 万多种应用软件相兼容。

上海科学普及出版社和电子工业出版社获 Intel 公司授权, 根据 Intel 公司的原版资料, 共同组织出版了奔腾[™]系列用户手册, 包括《Pentium[®] 处理器数据手册》、《82496 / 82497 高速缓存控制器和 82491 / 82492 高速缓存 SRAM 数据手册》、《Pentium[®] 处理器结构与程序设计》等三本书, 以适应国内用户开发、使用、维护 Pentium 微机的需要。

本书《82496 / 82497 高速缓存控制器和 82491 / 82492 高速缓存数据手册》详细介绍了器件的操作、高速缓存的初始化和配置、硬件接口和引脚信号功能及与其他信号的关系、存贮器总线功能、电气机械规范、热特性以及可测试性。

本书分两部分。第一部分为 1~11 章, 介绍与 iCOMP 指数 510\60、567\66 的 Pentium 处理器配用的 82496 / 82491 器件; 第二部分为 12~18 章, 介绍与 iCOMP 指数 735\90、815\100 的 Pentium 处理器配用的 82497 / 82492 器件。

第一部分中关于 82496 / 82491 的大部分内容也适用于 82497 / 82492 器件, 所以第二部分中更多的是叙述 82497 / 82492 与 82496 / 82491 相比而言的一些附加特性和差异。

参加本套用户手册译校工作的有胡传国、张知奋、张纪罗、龙静、曹振羽、赵东风、周红群、夏仁霖、程钧之、丁然文、陶心立、李惠群、蒋亦涵、张兰等。

Intel 公司高级技术专员唐永坚先生和上海电子计算机厂高级工程师胡传国审校了全书。

参加本套用户手册录排、作图、校对工作的有: 徐建平、李惠群、郑金宝、黄再生、赵秋萍、朱中亦、杜月琴、蔡兰芳等。

谨对以上各位的辛勤劳动表示谢意。

译者

1996 年 2 月

ABD 63 / 02 01

目 录

第一部分 82496 高速缓存控制器和 82491 高速缓存 SRAM	5
第一章 引脚排列	5
1.1 引脚图	5
1.1.1 Pentium®(奔腾™) 处理器引脚排列	5
1.1.2 82496 高速缓存控制器引脚排列	8
1.1.3 82491 高速缓存 SRAM 存储器引脚排列	10
1.2 引脚交叉参照表	11
1.2.1 Pentium 处理器	11
1.2.2 82496 高速缓存控制器	13
1.2.3 82491 高速缓存 SRAM	16
1.3 引脚简要说明	17
第二章 高速缓存体系结构概述	53
2.1 主要特性	53
2.2 CPU / 高速缓存核心说明	54
2.2.1 82496 高速缓存控制器	54
2.2.2 82491 高速缓存 SRAM	55
2.2.3 存储器总线控制器	55
2.3 配置	56
2.3.1 物理高速缓存	57
2.3.2 窥探方式	57
2.3.3 存储器总线方式	58
2.4 Pentium 处理器总线接口	59
2.5 82496 高速缓存控制器 / 82491 高速缓存 SRAM 优化接口	60
2.6 存储器总线接口	60
2.6.1 窥探逻辑	60
2.6.2 周期控制逻辑	60
2.7 测试	61
第三章 器件操作	62
3.1 通写高速缓存设计	62
3.2 回写高速缓存设计	62
3.3 82496 高速缓存控制器的高速缓存一致性协议	63

3.4 MESI 高速缓存一致性协议模型	63
3.5 基本 MESI 状态转换	64
3.5.1 由 CPU 总线操作引起的 MESI 状态改变	64
3.5.2 由存储器总线主设备引起的 MESI 状态改变	67
3.6 带特殊属性周期后的 MESI 状态改变	68
3.6.1 可高速缓存属性: PCD、MKEN [#]	68
3.6.2 通写协议: PWT、MWB / WT [#]	69
3.6.3 只读访问: MRO [#]	69
3.6.4 被锁定的访问: LOCK [#]	70
3.6.5 “直接至已修改”属性: DRCTM [#]	70
3.7 状态转换	70
3.7.1 CPU 总线信号	71
3.7.2 存储器总线信号	71
3.7.3 由状态转换引起的标记状态和周期	72
3.7.4 MESI 状态表 (82496 高速缓存控制器状态改变)	73
3.8 主高速缓存与二级高速缓存的一致性	77
3.8.1 蕴含 (Inclusion)	77
3.8.2 询问和反向无效化周期	77
3.8.3 写一次策略	78
3.8.4 MESI 状态表 (Pentium 处理器高速缓存套片状态改变)	79
第四章 高速缓存初始化和配置	84
4.1 RESET 期间的配置信号采样	85
4.1.1 套片方式所需的初始化	85
4.2 物理高速缓存	87
4.2.1 存储器总线宽度	87
4.2.2 行组比率	87
4.2.3 标志 RAM 尺寸	88
4.2.4 标记 RAM 结构	88
4.2.5 每区段行组数 (L / S)	89
4.2.6 高速缓存尺寸	89
4.2.7 可配置的地址连接	89
4.2.8 82491 高速缓存 SRAM 总线配置	90
4.2.9 82491 高速缓存 SRAM 奇偶校验配置	91
4.2.10 CPU 至 82491 高速缓存 SRAM 地址配置	92
4.2.11 总线驱动器缓冲器选择	92
4.3 高速缓存方式	93
4.3.1 存储器总线方式	93
4.3.2 窥探方式	94

4.3.3 强/弱写排序	95
第五章 硬件接口	96
5.1 存储器控制器的考虑	96
5.1.1 周期控制	96
5.1.2 窥探	105
5.1.3 地址的完整性	114
5.1.4 数据控制	115
5.1.5 存储器总线方式选择	116
5.1.6 82491 高速缓存 SRAM 智能双口高速缓存存储器	117
5.1.7 信号的同步	120
5.1.8 热复位	121
5.1.9 大容量高速缓存/较大行组尺寸的处理	121
5.1.10 82496 高速缓存控制器保证的信号关系	122
5.1.11 82496 高速缓存控制器周期进程要求	122
5.1.12 82496 高速缓存控制器输入信号识别需要	123
5.1.13 82496 高速缓存控制器和 82491 高速缓存 SRAM 的 CRDY [#] 需要	123
5.1.14 82496 高速缓存控制器周期属性采样需要	124
5.1.15 Pentium 处理器、82496 高速缓存控制器和 82491 高速缓存 SRAM 的 BRDY [#] 需要	124
5.1.16 82496 高速缓存控制器周期进程信号的采样需要	125
5.1.17 82491 高速缓存 SRAM 数据控制信号需要	125
5.1.18 信号量(强的写次序)一致性	126
5.2 Pentium 处理器高速缓存套片引脚详述	126
5.2.1 信号/类别交叉参照	127
5.2.2 Pentium 处理器高速缓存套片引脚详细介绍	129
第六章 存储器总线功能说明	244
6.1 读操作周期	244
6.1.1 读周期	244
6.1.2 读不命中周期	246
6.1.3 不可高速缓存的读不命中周期	250
6.2 写周期	251
6.2.1 写命中[E]或[M]状态周期	251
6.2.2 无分配的写不命中或写命中[S]状态周期	252
6.2.3 带分配周期的写不命中	254
6.3 锁定的读—修改—写周期	255
6.4 窥探命中[M]状态——同步窥探方式	257
6.5 I/O 周期	259

第七章 电气规范	261
7.1 电源和地	261
7.2 退耦方面的建议	261
7.3 连接规范	261
7.4 最大额定值	262
7.5 直流规范	262
7.6 交流规范	264
7.6.1 优化接口	264
7.6.2 外部接口	278
7.7 过冲/下冲指南	303
第八章 I/O 缓冲器模型	305
8.1 优化的接口缓冲器	306
8.2 外部接口缓冲器	308
8.3 输入二极管模型	310
第九章 机械特性规范	323
第十章 热参数规范	327
第十一章 可测试性	329
11.1 内置自测试 (BIST)	329
11.2 边界扫描	330
11.2.1 边界扫描体系结构	331
11.2.2 测试数据寄存器	331
11.2.3 指令寄存器	333
11.2.4 测试访问端口 (TAP) 控制器	335
11.2.5 边界扫描寄存器单元	337
11.2.6 边界扫描描述语言 (BSDL)	340
11.2.7 边界扫描信号描述	340
11.3 82491 高速缓存 SRAM 的测试	340
第二部分 82497 高速缓存控制器和 82492 高速缓存 SRAM	341
第十二章 引脚排列	341
12.1 82497 高速缓存控制器引脚排列	341
12.2 82492 高速缓存 SRAM 引脚排列	343
第十三章 产品综述及其操作	345
13.1 功能上的差异	345
13.1.1 BT[3:0]和 MBT[3:0]	345

13.1.2 JTAG 扫描链	345
13.1.3 电气规范和热规范的差异	345
13.2 套片接口	346
13.2.1 接口综述	346
13.2.2 套片的缓冲器类型	347
第十四章 电气规范	349
14.1 绝对最大额定值	349
14.2 直流规范	350
14.3 交流规范	352
14.3.1 优化接口	352
14.3.2 外部接口	363
第十五章 I/O 缓冲器模型	379
15.1 优化接口缓冲器参数	379
15.2 外部接口缓冲器参数	383
第十六章 机械规范	386
第十七章 可测试性	387
17.1 82497 高速缓存控制器 JTAG 扫描链	387
17.1.1 Pentium 处理器 (735\90、815\100) JTAG 扫描链	388
第十八章 热特性规范	389
附录 A 补充信息	390

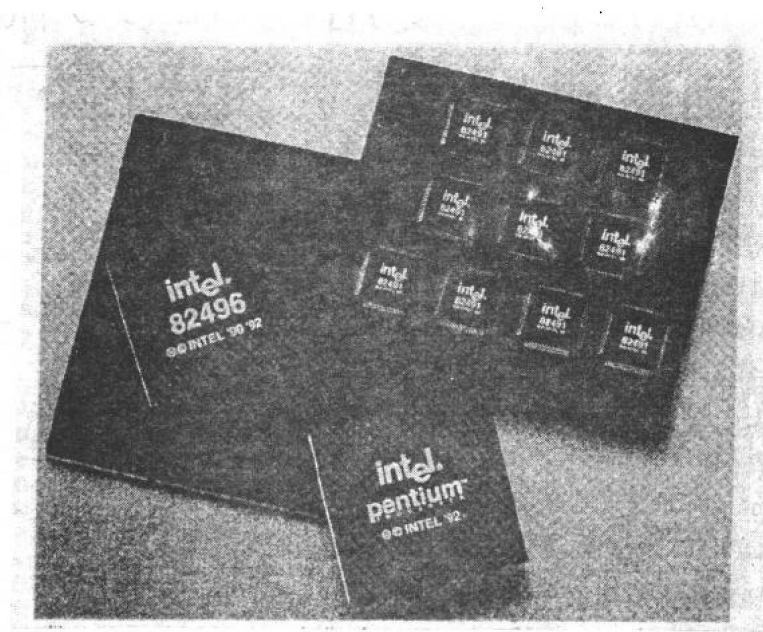
与 Pentium® 处理器 (510\60、567\66) 配合使用的 82496 高速缓存控制器和 82491 高速缓存 SRAM

- 高性能第二级高速缓存
 - 66MHz时零等待状态
 - 两路组相联
 - 用MESI协议的回写
 - CPU总线和存贮器总线并发操作
 - 边界扫描
- Pentium® (奔腾™) 处理器 (510\60、567\66)
 - Pentium® 处理器 (510\60、567\66) 的套片版
 - 超标量体系结构
 - 增强型浮点
 - 芯片上的8K代码和8K数据高速缓存
 - 详情见《Pentium® 处理器数据手册》
- 高度灵活
 - 256K至512K，具有奇偶校验
 - 32、64或128位宽的存贮器总线
 - 同步、异步和选通式存贮器总线操作
 - 可选的总线宽度、行组大小、传输和猝发顺序
- 对多处理的完全支持
 - 并发的CPU、存贮器总线和窥探操作
 - 完全的MESI协议
 - 内部 / 外部奇偶产生 / 校验
 - 支持拥有权读、写分配和高速缓存至高速缓存传输

82496 高速缓存控制器及多个 82491 高速缓存 SRAM 和 Pentium 处理器 (510\60、567\66) 相结合，形成了 CPU 高速缓存套片，可用于高性能服务器和功能丰富的桌面系统。CPU 和高速缓存器件之间的高速互连经优化可提供零等待状态操作。该 CPU 高速缓存套片和现有软件完全兼容，对于使命关键的应用场合具有新的数据完整特性。

82496 高速缓存控制器实现了 MESI 回写协议，完全支持多处理，双端口缓冲器和寄存器允许 82496 并发处理 CPU 总线、存贮器总线和内部高速缓存操作，以达到最大性能。

82491 是定制的高性能 SRAM，支持 32、64 和 128 位宽的存储器总线宽度，16、32 和 64 字节的行组大小以及可选的区段划分。82491 分离了 CPU 总线和存储器总线之间的数据通路，允许 CPU 总线进行同步、异步或用选通协议的信号交换，并允许 CPU 总线和存储器总线并发操作。



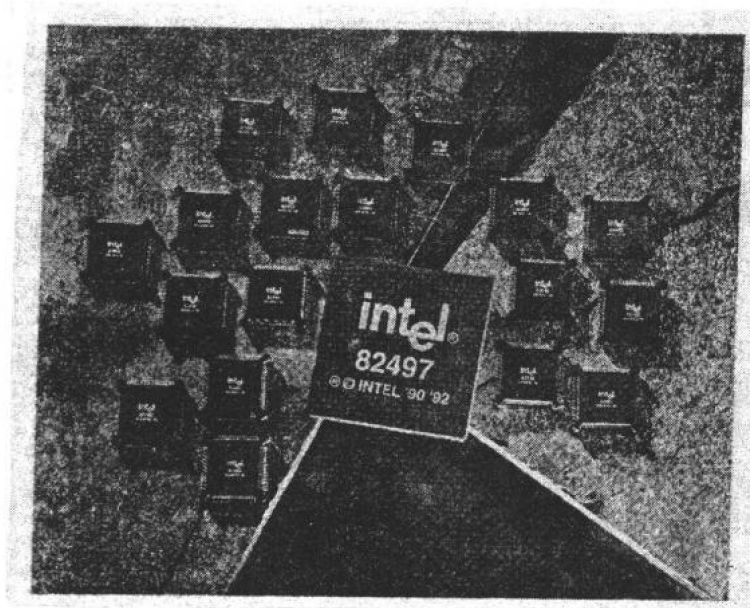
与 Pentium[®] 处理器 (735\90、 815\100) 配合使用的 82497 高速 缓存控制器和 82492 高速缓存 SRAM

- 高性能第二级高速缓存
 - 66MHz时零等待状态
 - 两路组相联
 - 用MESI协议的回写
 - CPU总线和存储器总线并发操作
 - 边界扫描
- Pentium[®] (奔腾[™]) 处理器 (735\90、815\100)
 - Pentium[®] 处理器 (735\90、815\100) 的套片版
 - 超标量体系结构
 - 增强型浮点
 - 芯片上的8K代码和8K数据高速缓存
 - 详情见《Pentium[®] 处理器数据手册》
- 高度灵活
 - 256K至512K，具有奇偶校验
 - 32、64或128位宽的存储器总线
 - 同步、异步和选通式存储器总线操作
 - 可选的总线宽度、行组大小、传输和猝发顺序
- 对多处理的完全支持
 - 并发的CPU、存储器总线和窥探操作
 - 完全的MESI协议
 - 内部 / 外部奇偶产生 / 校验
 - 支持拥有权读、写分配和高速缓存至高速缓存传输

82497 高速缓存控制器及多个 82492 高速缓存 SRAM 和 Pentium 处理器 (735\90、815\100) 相结合，形成了 CPU 高速缓存套片，可用于高性能服务器和功能丰富的桌面系统。CPU 和高速缓存器件之间的高速互连经优化可提供零等待状态操作。该 CPU 高速缓存套片和现有软件完全兼容，对于使命关键的应用场合具有新的数据完整特性。

82497 高速缓存控制器实现了 MESI 回写协议，完全支持多处理。双端口缓冲器和寄存器允许 82497 并发处理 CPU 总线、存储器总线和内部高速缓存操作，以达到最大性能。

82492 是定制的高性能 SRAM，支持 32、64 和 128 位宽的存储器总线宽度，16、32 和 64 字节的行组大小以及可选的区段划分。82492 分离了 CPU 总线和存储器总线之间的数据通路，允许 CPU 总线进行同步、异步或用选通协议的信号交换，并允许 CPU 总线和存储器总线并发操作。



第一部分 82496 高速缓存控制器 和 82491 高速缓存 SRAM

第一章 引 脚 排 列

1.1 引脚图

1.1.1 Pentium[®] (奔腾[™]) 处理器引脚排列

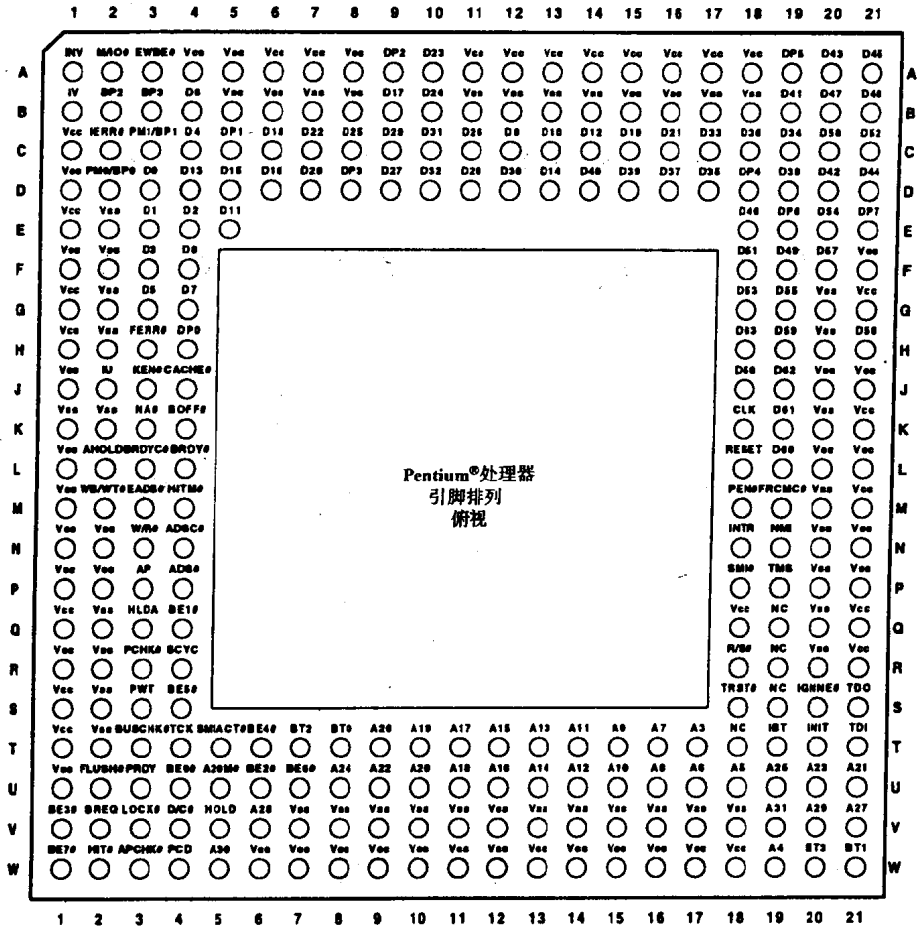
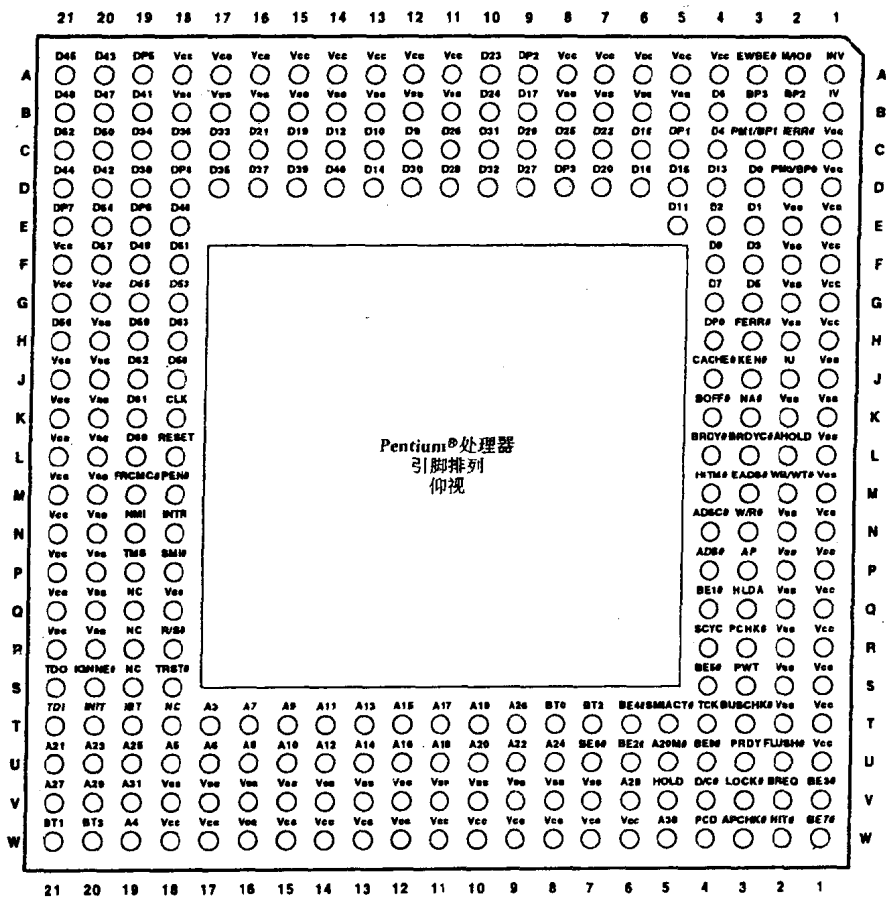


图 1-1 Pentium® 处理器引脚排列（俯视）



1.1.2 82496 高速缓存控制器引脚排列

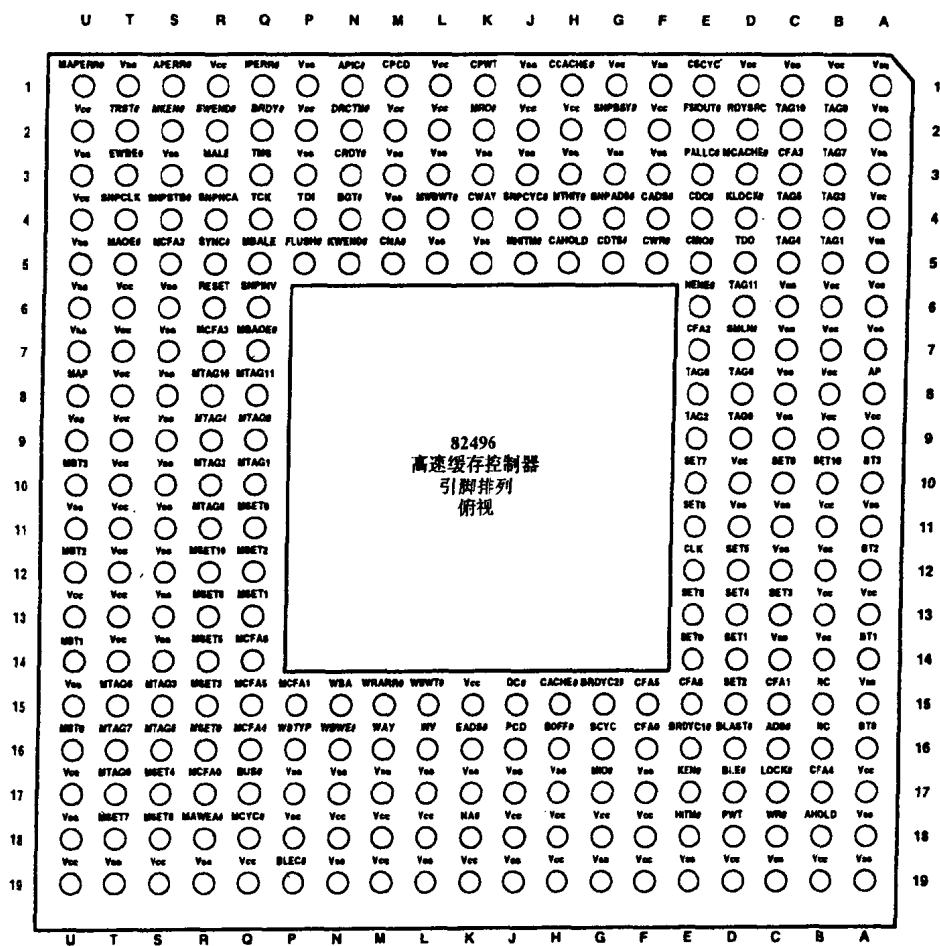


图 1-3 82496 高速缓存控制器引脚排列（俯视）