

科技参考资料 (K80—01)

CROMEMCO SYSTEM—Ⅲ

微型计算机系统

清华大学计算机教研室

张公忠等编译

北京市科学技术情报研究所

一九八〇年一月

目 录

第一章	概述	(1)
第二章	中央处理器 ZPU ... 部件.....	(5)
第三章	存贮器 16 KZ RAM 部件	(8)
第四章	I/O 接口 TU-ART 部件.....	(13)
第五章	软磁盘控制 4FDC 部件.....	(33)
第六章	驻留磁盘操作系统 RDOS	(55)

附 录

- ZPU 逻辑图
- 16KZ RAM 逻辑图
- TU-ART 逻辑图
- 4FDC 逻辑图

说 明

本资料主要是根据微型计算机 CROMEMCO 系统—Ⅲ 有关的使用手册和说明书（77、78年版）编译而成。其中第四、六章分别由李建桐、赵锦荣同志编译。

近年来，该系统不断发展和改进，本资料未能及时把这些有关的内容编译进去。

由于时间仓促，业务水平有限，文中还有不少欠妥之处，敬请读者指正。

1979年9月

第一章 概 述

1.1 引 言

这篇文章主要讨论 CROMEMCO—Ⅲ型微计算机系统。在目前的微计算机领域中该微计算机系统在技术上和使用上均比较先进。它能用在工程技术、科学研究、商业、教育、文字处理,以及数据库管理等各个方面。本系统的核心——CPU是用速度快、功能强的Z80—CPU组成。在I/O方面,使用了点阵行式打印机以及键盘显示终端作为本系统基本的外围设备,并配以先进的可扩展的大容量半导体存贮器以及4个8"磁盘驱动器,组成一个完整的微型计算机系统。

本系统的印制电路板插座共21个,以S—100总线(有关S—100总线的内容见本章第3节)方式连接。若要扩展存贮器或其他附加的功能以致21个插座不够用时,则可以在系统外面连接附加的插座。本系统无控制面板,完全依靠键盘来进行人机信息交换。只要电源开关一合上,计算机就能自动进入监控程序,等待键盘的控制。

本系统的软件支持也很丰富。

磁盘软件包括磁盘操作系统CDOS,Z—80宏汇编器,标准FORTRAN IV编译器,16K扩展BASIC解释程序以及跟踪系统模拟器。

应用软件包括字处理系统以及数据库管理系统。

驻留软件包括16K扩展BASIC,3K控制BASIC,监控器以及驻留操作系统/汇编器等。此外,本系统的软件中还包括多用户BASIC及COBOL。

对于这些软件的应用情况可参看有关的软件使用手册。这里着重于分析本系统硬件结构。

1.2 系统框图

微计算机系统框图见图1.2—1。

图中表示了由S—100总线连接的所有功能部件(插件)。ZPU部件为中央处理器部件,在此部件中主要的器件为一块大规模集成电路Z—80CPU。16KZ RAM部件为随机存贮器部件,每个存贮部件的容量为16K字节(每字节为8位),在本系统中存贮容量为32K(两块16KZ插件)。若在多用户情况下,最大容量可扩展到512K。在此部件上所用的大规模集成电路半导体存贮器其型号为4050—2RAM,每片为4096位动态存贮器。TU—ART为通用双通道

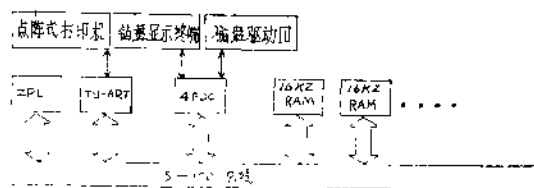


图1.2—1 系统框图

路半导体存贮器其型号为4050—2RAM,每片为4096位动态存贮器。TU—ART为通用双通道

异步接口部件，在此部件中主要的大规模集成电路为两块多功能 I/O 控制器 TMS—5501，在本系统中TU—ART 部件只用于连接点阵式打印机。4FDC 为磁盘控制部件，可控制 4 个磁盘驱动器。该部件的主要大规模集成电路为一块磁盘控制器/格式形成器电路 FD1771以及一块多功能 I/O 控制器电路 TMS—5501。4FDC 部件上还有一块具有1K容量的 PROM2708 电路，在 PROM 中存放了磁盘操作系统的引导程序及键盘监控程序(RDOS)。本系统的键盘显示终端设备连接到4FDC 部件的串行通道上。

对于整个计算机系统来说，在 S—100总线上还可连接其他更多的部件，例如可连接 PROM 存储器部件，多通道并行接口部件以及多通道模拟接口部件等。相应于这些部件，使得本计算机系统具有更多的功能。但在本系统中并没有连接这些部件。因此关于这类部件在下面就不再叙述。

关于本系统所具有的 ZPU，16KZ RAM，TU—ART 以及4FDC 各部件将由第二、三、四、五各章分别叙述。关于 RDOS 的内容由第六章叙述。最后的附录中表示了各部件的逻辑原理图。

1.3 S—100总线简述

S—100总线是美国 MITS 公司于1975年所生产的微计算机 ALTAIR8080 时使用的总线，此总线是连接中央处理器，存储器以及 I/O 装置的系统总线，共100根其中包括输入输出数据线16根，地址线16根，控制用39根，其他为电源和地线。由于8080微型计算机广泛地使用，美国部份厂家与用户在1976年 8 月召开会议研究以8080为基础的微型计算机系统内部总线标准。结果，MITS 的100总线被定为标准，即称为 S—100总线。

目前美国已有100多个工厂生产了600多种可为 S—100 总线相配的部件。INTEL8080，Z—80，M6502等系统都已采用 S—100总线。

S—100总线的插件板共有100个插脚，每面50个脚。图1.2—1中本系统所有的部件均采用这种插件板。

本系统中的 S—100总线基本上与 ALTAIR8080 所使用的总线相同。列表如下：

1 不稳压 +8 V	
3 XRDY	外部送至 CPU 准备信号
12 NMI	非屏蔽中断请求
18 <u>STATUS</u> DISABLE	选通状态信号
19 C/C DISABLE	选通命令信号
21 SS	由控制面板所产生的信号，指出 Z—80在单步操作时应该处于 RUN 可方式。
22 ADDR DISABLE	选通地址
23 DO DISABLE	选通输出数据总线 DO
26 PHLDA	Z—80响应“保持请求”(PHOLD)信号后发出的“保持回答”信号。表示可以悬挂 Z—80正在执行的程序，此时开始 DMA 工作方式。
27 PWAIT	此信号是被 PRDY 或 XRDY 产生，即表示 Z—80处在等待状

	态。
28 PINT _E	允许中断
29 A ₇	地址总线 A ₇
30 A ₄	地址总线 A ₄
31 A ₃	地址总线 A ₃
32 A ₁₅	地址总线 A ₁₅
33 A ₁₂	地址总线 A ₁₂
34 A ₉	地址总线 A ₉
35 D ₀₁	输出数据总线 D ₀₁
36 D ₀₀	输出数据总线 D ₀₀
37 A ₁₀	地址总线 A ₁₀
38 D ₀₁	输出数据总线 D ₀₁
39 D ₀₅	输出数据总线 D ₀₅
40 D ₀₆	输出数据总线 D ₀₆
41 DI ₂	输入数据总线 DI ₂
42 DI ₃	输入数据总线 DI ₃
43 DI ₇	输入数据总线 DI ₇
44 SM ₁	表示 Z—80 每条指令处在取指过程中。若操作码占 2 个字节，此信号在时间上延长一倍。
45 SOUT	处在输出操作时的状态信号。
46 SINP	处在输入操作时的状态信号。
47 SMEMR	处在存储器读操作时的状态信号。
48 SHLTA	Z 80 正在执行“暂停”指令的状态信号。
51 不稳压+8V	
53 SSW DISABLE	选通从控制板上来的开关数据进入 Z—80。
65 $\overline{\text{MREQ}}$	由 Z—80 中送出的存储器周期请求信号。
66 $\overline{\text{RFSH}}$	由 Z—80 中送出的动态存储器刷新信号。
67 MEMR DISABLE	使存储器不能读写。
68 MWRITE	表示 Z—80 正在执行写操作
71 RUN	控制板上产生的信号指出处理器处在 RUN 方式上。
72 PRDY	此信号使 Z—80 产生等待周期。一般由存储器产生。
73 PINT	送给 Z—80 的中断请求信号。
74 PHOLD	请求 Z—80 悬挂正在执行的程序，转入到 DMA 工作方式。
75 $\overline{\text{PRESET}}$	联到“总清”开关的信号
76 PSYNC	处在存储器周期或/和 I/O 周期时，就会出现此信号。此信号总是处在这些周期的开始时间上。
77 $\overline{\text{PWR}}$	处在存储器写和输出操作时的定时信号，此信号指出 DO 总线上的数据为有效。
78 PDBIN	表示 Z—80 正在读 DI 总线上数据，处在存储器读，输入或中断回答周期中均会出现此信号。

79 A_0	地址总线 A_0
80 A_1	地址总线 A_1
81 A_2	地址总线 A_2
82 A_6	地址总线 A_6
83 A_7	地址总线 A_7
84 A_8	地址总线 A_8
85 A_{13}	地址总线 A_{13}
86 A_{14}	地址总线 A_{14}
87 A_{11}	地址总线 A_{11}
88 D_{12}	输出数据总线 D_{12}
89 DO_3	输出数据总线 DO_3
90 DO_7	输出数据总线 DO_7
91 DI_4	输入数据总线 DI_4
92 DI_5	输入数据总线 DI_5
93 DI_6	输入数据总线 DI_6
94 DI_1	输入数据总线 DI_1
95 DI_0	输入数据总线 DI_0
96 SINTA	表示中断响应
97 $\overline{SWO}$	当 Z—80 送数据至 DO 上时, 此信号出现。
98 SSTACK	在 8080 系统中表示工作处在与堆栈有关的周期中。
99 $\overline{POC}$	与 Z—80 时钟同步的系统总清信号。
100 GND	接地

第二章 中央处理器 ZPU 部件

ZPU 为本系统的中央处理器部件。其逻辑原理图由附录图 1 所示。部件中核心的电路为一块 Z80—CPU 大规模集成电路（有关 Z80—CPU 的详细内容可参考 Z80—CPU 技术手册）。再附加一定数量必要的中小规模集成电路使本部件具有以下几种功能：

- 能与 S—100 总线相连。
- 时钟频率的选择。
- 等待状态的选择。
- 电源合上后起始地址的自动跳转。
- 地址影像选择。
- 8080 系统允许中断信号的产生。

以下各节分别讨论上述的各种功能。

2.1 Z80—CPU 与 S—100 总线连接

1.3 节已经叙述了 S—100 总线各端的信号。总线上信号 $\overline{\text{PREFET}}$, $\overline{\text{PHOLD}}$, $\overline{\text{PINT}}$, $\overline{\text{PINTe}}$, $\overline{\text{PDBIN}}$, $\overline{\text{PWR}}$, $\overline{\text{PSYNC}}$, $\overline{\text{PWAIT}}$, $\overline{\text{PREADY}}$, $\overline{\text{PHLDA}}$, ϕ_1 以及 ϕ_2 各信号即是 INTEL8080 引出端的控制信号。总线上另外的信号 $\overline{\text{SM}}_1$, $\overline{\text{SWO}}$, $\overline{\text{SHLTA}}$, $\overline{\text{SMEMR}}$, $\overline{\text{SINTA}}$, $\overline{\text{SSTACK}}$, $\overline{\text{SINP}}$ 及 $\overline{\text{SOUT}}$ 实际上是 8080 的周期状态信号。其他一些信号如 $\overline{\text{RFSH}}$, $\overline{\text{NMI}}$ 以及 $\overline{\text{MREQ}}$ 等为本系统专有。S—100 总线上地址总线 $A_0—A_{16}$ 共 16 条。输入数据总线 $\text{DIO}—\text{DI7}$ 共 8 条。输出数据总线 $\text{DOO}—\text{DO7}$ 共 8 条。

由于 Z80—CPU 各引线端信号（除地址和数据总线外）与 S—100 总线上的控制命令在功能上和时序上并不完全一致。因此必需附加另外的逻辑电路把 Z80—CPU 引线端的信号转换成 S—100 总线上有关的信号（实际上是 8080 的控制命令和状态信号）。由附录上 ZPU 逻辑原理图所示，例如对于总线上信号 $\overline{\text{SOUT}}$ 是由 Z80—CPU 的 $\overline{\text{WR}}$, $\overline{\text{IORQ}}$ 两信号相与而成。总线上的 $\overline{\text{PHLDA}}$ 信号实际上就是 Z80—CPU 的 $\overline{\text{BUSAk}}$ 信号。

关于 S—100 总线上信号的功能和时序可参考 8080 微型计算机用户手册。而 Z80—CPU 信号的功能和时序已由 Z80—CPU 技术手册上所述。这样就能比较容易了解 ZPU 部件上转换逻辑的原理。

2.2 时钟频率的选择

本部件上具有时钟频率选择逻辑。由 IC10 组成 8MHz 晶振线路，经由 IC9 分频后

成4MHZ。利用频率选择开关使 IC21 的两个输出端分别选通 IC22 两个门电路，一路选通8MHZ 频率通过：一路选通4MHZ 频率通过。再经过 IC9 分频后就能使 ϕ_2 , ϕ_1 的工作频率为4MHZ 或者是 2MHZ。

2.3 等待状态的选择

Z-80 CPU 的每个机器周期 T_2 和 T_3 之间可以插入等待状态。这对于在 4MHZ ZPU 与 2MHZ RAM (或者更慢一些的 RAM 或 I/O)连接时是必不可缺少的。速度慢的 RAM 必需对 ZPU 请求等待。当然如果 RAM 的读写速度足够快就可以不要求 ZPU 等待。所以对于 ZPU 来说,其等待状态必需可以有所选择。见图2.3-1,其连接方式所选择的等待状态为0。相应于W的位置连接到0, 1, 2, 或3就可在每个机器周期 T_2 和 T_3 之间选择0, 1, 2或3个等待状态。一个等待状态的时间宽度为ZPU 时钟 ϕ 的周期。

如果 M_1 连接到1端,则可以在 M_1 周期的 T_2 与 T_3 之间插入等待状态。

逻辑原理图上 IC3, 4与34等器件组成了具有等待选择逻辑功能的逻辑电路。请求等待的信号由输入端 72PRDY 或输入端 3XRDY 接收,其有效的信号为低电平。

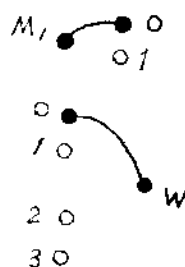


图 2.3-1 等待状态为0的连接

2.4 电源合上后起始地址的自动跳转

机器的电源合上并全机清0后,可以允许以4K 为界的存储器起始地址的自动跳转,即16位起始地址的最高4位可由部件上4个双向开关来控制(图上4个开关处在 IC16右侧)。逻辑图上所示的 POWER ON JUMP 两端必需连上。

起始地址自动跳转是很有用的一种功能,它可以在无控制面板情况下实行开机自动跳转。在本系统的4FDC 部件上具有存放 RDOS 程序的 PROM 电路(有关 RDOS 由第六章所述)。该程序的起始地址为 C000H,为了一开机能自动执行 RDOS 程序就必需要转到起始地址 C000H 上,这里就采用了上述的自动跳转电路。

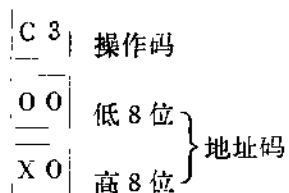
ZPU 上4个开关位置如下:

A_{15} , A_{14} 为1

A_{13} , A_{12} 为0

当电源一加上并全机清0后就能自动跳转到 C000H 执行 RDOS 程序。

自动跳转逻辑电路主要由 A_{15} , A_{14} , A_{13} 与 A_{12} 4个选择开关与中规模集成电路 IC16 与 IC19 等来实现。当电源加上并全机清0后机器执行一条跳转指令,其操作码为 C3H,低8位地址码为 00H,高8位地址码中低4位为全0而高4位就是 A_{15} — A_{12} 4个开关所组成的代码 $X=0-FH$ 。



表示执行一条无条件转移指令（操作码为 C3H），转移地址为 X000H。

2.5 地址影像选择

有些系统中，例如8080系统中要求 I/O 的地址既能出现在地址总线的低 8 位上或者出现在地址总线的高 8 位上。这种功能称为地址影像选择。要获得此功能在逻辑图上只要把开关 AM 打在 ON 位置上即可。但在本计算机系统中并不需要地址影像选择的功能。

某些动态存储器其刷新地址要求处在高 8 位地址上，那么也可以利用地址影像选择逻辑，但必需把 RFSH ENABLE 两端（见逻辑图）用线连上。在本系统中亦无此要求。

2.6 8080允许中断信号的产生

本部件的 IC28，19及43等组成了允许中断逻辑。此功能只适合于 8080 微计算机系统。由 IC28 输入端可知，当 DI 输入总线上从外部存储器取来指令的操作码为 11111011时（即为开中断 EI 指令）即能置中断允许触发器 IC19为 1 状态。当然必需处在取指周期 M_1 ，此时 PDBIN 为有效状态，且又不能处在等待周期中，这些限制条件由IC28的输入端 2 与 7 来表示。IC28输入端 1 为时钟 ϕ_2 。

中断允许触发器呈 1 状态后经由 IC36输出至 S—100总线的 PINT_E。

中断允许触发器的清 0 有三路。除了用关中断指令 DI（其操作码为 11110011）外，其余两路均通过 IC17。一是由 PRESET 产生的清 0 信号，一是由中断响应 INTA 产生的清 0 信号。

注意：本系统不使用此允许中断逻辑。本系统的允许中断状态由 Z 80—CPU 内部产生。

第三章 存贮器16KZ RAM 部件

3.1 引言

Cromemco16KZ 是为 S—100 微型计算机总线设计的高速 16K RAM 插件板。16KZ 可以在 2MHZ 或 4MHZ 的系统时钟频率下工作, 而且不需要任何等待状态。16KZ 上所具有专门的存贮器体选性能使得存贮空间可以扩充到 8 个体, 每个体为 64K。16KZ 中的存贮体是由每个 16KZ 插件板上的开关来选择的; (由附录 16KZ RAM 逻辑原理图所示。) 这些存贮体在软件的控制下被选择。16KZ 还包含直接存贮器存取(DMA)控制电路, 在 DMA 操作期间, 允许任何 DMA 设备访问不同的存贮体。

由于具备了高速度以及存贮体可扩充的能力, 因而使 Cromemco 16KZ 成为一种有广泛意义的插件板。它特别适合于采用 S—100 总线的 Cromemco 微型机系列。它也能用于其他采用 S—100 总线的微型计算机系统。

3.2 开关和跨接线的初始安排

3.2—1 逻辑地址块选择

16KZ RAM 板可以作为 4 个 16K 存贮器位置中任何一个。标号为 A_{14} 和 A_{15} 的选择开关分别控制地址位 A_{14} 和 A_{15} 。若将开关置于接通位置, 则相应于该地址位为高电平时, 此存贮块就处于工作状态。下面列表说明了每一块的开关置位情况

起 始 地 址	结 束 地 址	A_{14}	A_{15}
0	3FFF	0	0
4000	7FFF	1	0
8000	BFFF	0	1
C000	FFFF	1	1

3.2—2 存贮体自动寻址选择

利用软件控制的 Cromemco 存贮体选择特性, 16KZ 的插件板可以自动编址到 8 个 64K 存贮体的任何一个中去。逻辑图上标为 BANK SELECT 的开关用来控制存贮体选择。若 8 个开关其中一个开关合上, 则规定该插件板属于某一个存贮体。

在电源接通时,工作的存贮体为0体。电源接通后,只有属于这个体的存贮器板才工作。此后,任一个或几个体可以在软件的控制下被起动,可由 I/O 端口 40H 来寻址。端口 40H 的 8 位输出可以启动或不启动存贮器中相应的体。在相应的位置上置“1”,将使该相应的存贮体启动。若置“0”,则不启动它。发光二极管(D₁)用来指示该存贮板是否被起动。

3.2—3 直接存贮器存取控制

16KZ RAM 插件板还具有 Cromemco 直接存贮器存取控制特性,这是一个功能强的特性,它允许处在不同存贮体中的存贮块用同样的或重叠的寻址由 DMA (直接存贮器存取) 传送来访问。

逻辑图上标有 DMA ENABLE 和 DMA OFF 两个开关就是控制这个功能的。插件板上相应这两个开关为开关 4 和开关 3。当 DMA ENABLE 处在接通位置时, DMA 控制整个存贮块工作。当处在断开位置时, DMA 不能控制。当 DMA OFF 处在接通位置时,在 DMA 传送期间封锁该存贮块。当处在断开位置时,该存贮器即可以被 DMA 访问,而不管它是否属于当前工作的存贮体。DMAOFF 的位置只是在 DMA ENABLE 的位置处在接通位置而且只在 DMA 操作期间才有效。平常情况下两者均处在断开位置。

3.3 工作原理

3.3—1 体选逻辑

体选逻辑电路译码命令由 CPU 送到输出端口 40H,以确定哪一个存贮体应该工作。如果 CPU 把逻辑 1 送到任何一个体选开关接通的位置上,那么插件板上存贮块将被起动。否则就不起动。IC16 对 SOUT, $\overline{\text{PWR}}$ 和地址 40H 的组合进行译码并送一个时钟脉冲到体选电路。集电极开路的反相器 IC3 和 IC4 用来完成与一或操作,并由此来检测正确的体选状态。IC28 存贮当前的体选状态,用发光二极管 D₁ 作为指示,并输入到该板的起动门 IC32。每当 $\overline{\text{PRESET}}$ 和 $\overline{\text{POC}}$ 有输入时,与门 IC31 和一些分立元件组合在一起,通过体“0”开关置位去控制该板的状态。因此,当出现 RESET 时,体“0”开关决定着板的状态。

3.3—2 DMA 控制

IC13 与 DMA ENABLE 和 DMA OFF 开关的连接使 DMA 操作按照需要去控制当前的体选。如果, DMA ENABLE 开关断开,那么在 DMA 操作期间当前的体选触发器状态将支配着板的状态。在这种情况下, DMA OFF 开关无效。如果 DMA ENABLE 开关接通,那么在 DMA 操作期间, DMA OFF 开关将决定该存贮板是否起动。如果 DMA OFF 开关断开,那么该存贮板在 DMA 操作寻址时被启动。如果 DMA OFF 开关接通,则该存贮板在所有 DMA 操作期间无条件地不启动。

适当地使用 DMA ENABLE 和 DMA OFF 开关,将允许 DMA 设备(如电视图象显示发生器)与它们自己专用的存贮区“相连接”,而不管当前的存贮器体选如何。这就可以在这个体被开关时防止图象丢失。当然,在一个地址区内的所有存贮板必须具有 DMA ENABLE 开

关能力,以防止总线冲突。

3.3—3 存贮板启动译码

整个板的状态由 IC32来译码。利用异或门和两个开关(A_{14} , A_{15})去选择16K地址块。如果状态线 SINP, SOUT 或 SINTA 中任何一条为高电平,那么这块板就不能启动。此外,任何其他设备使 $\overline{\text{MDSBL}}$ 总线(引线67)置于低电平,即存贮板不能启动。这就允许 ROM 引导程序根据需要去复盖该存贮区。如果体选和其他条件都得到满足,那么 IC32的输出变低,从而使16KZ去执行存贮器周期。

3.3—4 芯片启动

16KZ 用一个直接读的过程来产生 RAM 芯片的起动信号。通常,每当地址和其他条件对于寻址一个特定的 RAM 已确定时,如果出现存贮周期请求,则芯片起动(CE)输入将变高(+12伏)。这就是 MWRITE, PDBIN 变高,或者 SMI 变高,或者 $\overline{\text{MREQ}}$ 变低。因为总线信号直接用于控制 CE 的产生,所以所有设备必须仿照8080的格式把存贮器周期有关的信号送到总线上。为了完成存贮器周期,一定需要这种信号。当 CE 为高电平时,窄脉冲干扰或地址变化通常会引起被访问的 RAM 区在读出数据后再重写时出现失效。使得数据改变了状态,也就是数据丢失了。直接的读操作时选择尽可能短的存贮器存取操作,因此允许 Cromemco ZPU 在4MHZ 下工作,而没有等待状态。

总线信号组合的译码在 IC47上给出有效的 CE 操作。地址线 A0 决定 CE 脉冲是出现在引线12($A_0=0$),还是引线11($A_0=1$)上。在 CPU 操作期间,只有当“地址使能”输入为低和控制脉冲输入 H 为高时才出现 CE 脉冲输出。在 DMA 操作期间,控制输入 H 保持低电平。通常,控制输入 H 在出现所要求的条件时用于关断 CE 脉冲。IC62 组合若干禁止条件,以便产生 CE 控制脉冲。在 CPU 操作时,最重要的信号是引线66上的 $\overline{\text{RFSH}}$ 总线信号,以及 IC 28 引线7上的控制触发器输出。每当提供 CE 脉冲时,控制触发器 IC 28 使引线7为高电平。如果当前的 CE 脉冲持续8个以上的 ϕ_1 周期,那么, IC29 的 QD 输出变高。这就使 IC 28 置位,而 IC 28 的引线7变低用以结束 CE 脉冲。在一个存贮器周期中,如果 CPU 进入等待状态,这就能防止 CE 脉冲的宽度超出 RAM 的规定。在前面板单步和复位操作(也可以来自别的硬件)期间,首先出现等待状态的情况。此外,如果刷新周期开始, $\overline{\text{CCDSBL}}$ 变低,或 PHLDA 变高, IC28 变低,阻止了来自 IC47 的 CE 脉冲。当正常的 CPU 操作重新开始时,从 IC30 的引线10有一个逻辑低电平输出,它使 IC 28 的引线7再次成为高电平。

3.3—5 芯片起动控制逻辑

来自 IC 47 的芯片起动脉冲首先通过 IC 48 使脉冲后沿推迟,消除在 IC 47 中可能产生的下跳干扰。然后 CE 信号到这 IC49 和 IC50 以便选择被访问的 4K 字节块。当该板没有被访问或处于刷新周期时,或非门 IC61 将封锁 CE 脉冲。IC52 引入刷新脉冲, IC18 和 IC35 把 TTL 信号放大到 RAM 所要求的 0 和 +12伏逻辑电平。75322 用了一个外接的 PNP

晶体管使它们的输出提升到+12伏。

CE 的产生与控制逻辑将根据 A_0 和 A_1 的状态把 RAM 阵列分成若干4K存储块。这就允许快速 DMA 设备如 Cromemco Dazzler 接口在最迅速变换地址时利用 A_0 或 A_1 的行波寻址。结果获得最小的访问时间,这在某种意义上类似于静态RAM中出现的读过程。为了利用这种方式,所有的地址和控制线必须同时变化。

3.3-6 RAM 阵列

RAM 阵列包括4组(或4行)4K×1的RAM芯片,位的位置相同的总线连接在一起。所有相同的地址与控制线均连接起来,用CE脉冲来确定哪一行应该响应。地址数据自多路转换器到IC19, IC36和IC53。这些将确定RAM是用CPU总线,还是由刷新计数器来寻址。在写操作期间,IC64把数据从CPU D0总线传送到RAM芯片的数据引线端。在出现MWRITE脉冲时,IC64的三态输出将转向通导。具有IC46的展览网络将MWRITE脉冲后沿延迟到能与通过CE逻辑的传播延迟相适应。当 $\overline{PWR}$ 或 $\overline{PRDY}$ 为低时,使数据能进入IC64。这就许可存储器的写周期可以在CPU把D0改变到下一状态之后去完成。

RAM阵列的读出数据被门锁到IC65中。于是在存储器完成它的周期之后,即可由CPU和前面板使用。 $\overline{PDBIN}$, $\overline{SMEMR}$, 以及存储板起动控制用来控制数据进入DI总线。每当RAM阵列读,写数据时,门锁起动信号即来自IC47并成为高电平。

3.3-7 刷新周期发生器

存储器板用了 M_1 来进行刷新的处理过程。实际上,8080和Z80CPU至少要用4个时钟周期作为它们的 M_1 状态,以便取指和指令译码。正常的数据读取发生在前2个时钟周期,然后在 M_1 的第三个和第四个时钟周期进行存储器刷新。在 ϕ_2 的正跳变边沿上出现符合 $SM1 \cdot PSYNC = 1$ 时,通过IC29的引线5变高记下了这一点情况。一个 ϕ_2 周期过后,IC29的引线变高,于是开始了刷新时序。在刷新期间,IC61切断了来自IC47的任何CE信号。在刷新开始后的第一个 ϕ_2 负跳变边沿上,IC44的引线9变低,从而接通所有RAM的CE,并且刷新它们的数据。一个 ϕ_2 周期后,IC44转向截止,完成了刷新并使刷新地址计数器加1。然后IC29转向截止,RAM重新返回到由CPU来控制。如果RAM与Z-80结合使用,IC14利用 $\overline{RFSH}$ 信号来防止在 $\overline{MREQ}$ 上的CPU刷新脉冲动作。此外,某些等待状态条件会引起CE干扰的产生。当刷新周期开始时,IC45引起IC28的引线7变低。这个状况一直保留到SM1的后沿触发IC44的引线4,后者通过IC30使IC28引线7再次变高。IC44在SM1和 $\overline{PHLDA}$ 的后沿以及MWRITE的前沿上触发。在CPU操作暂停的时间内,IC30引线9变高,使IC29计数。在8个 ϕ_2 周期后,IC47的CE输出被禁止。在16个 ϕ_2 周期后IC29引线15变高,于是引起自动的存储器刷新周期。这些刷新周期每16个 ϕ_2 周期出现一次,直到CPU操作重新开始为止。IC49的二个部份在MWRITE与刷新脉冲之间进行判断,以防止在CPU停止的情况下,前面板写操作期间使CE发生冲突。

3.3-8 复位线路

复位线路用来解决专门的 CE 管理问题, 这个问题是动态存储器使用直接读出过程时产生的, 见图 3.3-1。当 $\overline{\text{PRESET}}$ 线变低时, IC13 和 Q₁ 立即使 PRDY 线的电位下降。这就引起 CPU 停止执行当前的存储器周期。然后, 存储器板输出 8 个 ϕ_1 周期, 而且 IC28 引线 7 封锁 CE 脉冲。CPU 板必须有一个 10 微秒的延迟网络与它的 $\overline{\text{PRESET}}$ 输入相串联。目前的 Cromemco ZPU 插件板已具备这样一个延迟网络, 但是以前的 ZPU 板上还需要修改。需要用 RC 网络串联插入到复位线路中。

提供了10微秒的延迟便能允许存贮器板在 CPU 结束当前的操作之前转向断开。

当 $\overline{\text{PRESET}}$ 线被释放时, IC14 产生大约 50 微秒的延迟, 以适应开关的抖动。这段时间结束时, IC31 和 IC13 将内存单元 0 的数据被读到数据锁存 IC65。在另一个 50 微秒之后, IC13 和 Q₁ 将释放 PRDY 线, 如果处在运行状态, 则允许 CPU 操作重新开始。这个步骤能防止由于出现部份存储器周期和复位开关抖动而引起数据丢失。

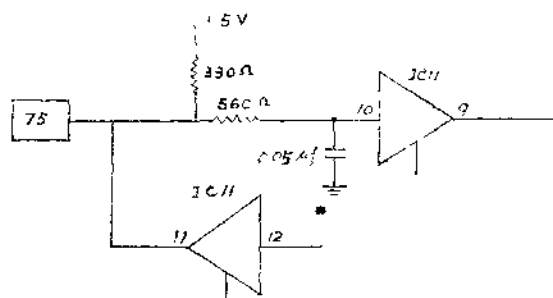


图3.3-1

第四章 I/O 接口 TU-ART 部件

4.1 引言

TU-ART (Twin Universal Asynchronous Receiver AND Transmitter 双通道异步收发器) 提供了 2 个双向串行数据交换通道; 2 个并行数据交换通道; 和 10 个互不相关且可编程程序的间隔计时器。本部件有自己的晶控时钟与 CPU 时钟频率异步地接合。(TU-ART 详细逻辑图可参看附录)

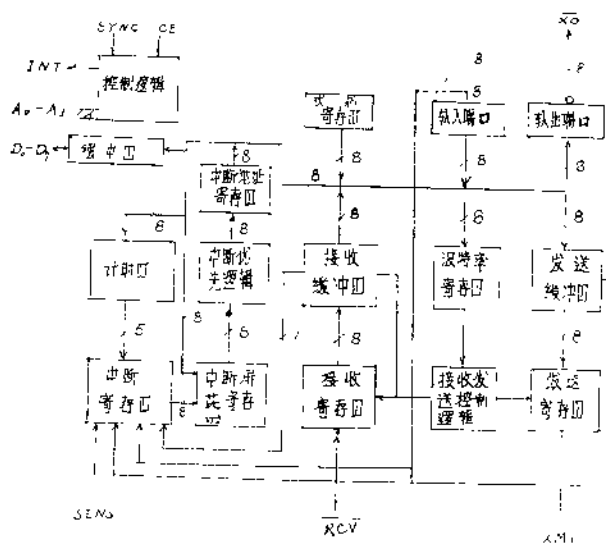
数据传送的波特率用软件可选择: 低速率范围为 110—9600 波特; 高速率范围为 880—76800 波特。

本部件中的串行通道可与 RS-232 接口或与 20mA 回路连接。并行通道可与 TTL 电平连接。整个部件连接在 S-100 总线上。

部件中具有很方便的优先中断。既能实现 8080 的中断方式; 又能实现 Z-80 中断方式。Z-80 中断方式的功能是很强的, 它能使中断子程序的入口放置到存贮器的任何页面上。本部件的内部具有中断优先性能, 且又能与外部中断组成优先中断链。

在印制板上装有 2 块 LSI I/O 接口电路 TMS 5501。在这里把一块称为部件 A, 驱动串行通道插塞 J₁ 和并行通道插塞 J₂; 另一块称作部件 B, 驱动串行通道插塞 J₃ 和并行通道插塞 J₄。

TMS-5501 的原理框图见图 4.1-1。



4.2 开关的任意选择性

1. 部件 A 的地址

和部件 A 有关的通道基本地址是用 DIP 开关的 6—3 位置设置的, 它们决定了 I/O 地址最高的 1, 2, 3, 与 4 位 (即地址 A_7, A_6, A_5 与 A_4)。把开关置于“ON”位置规定 TU-ART 响应该地址位为“0”。最高的 1, 2, 3 位还控制 TU-ART 的 Z-80 方式 2 中断回答响应向量 D_7, D_6 , 与 D_5 。地址位 A_3, A_2, A_1 与 A_0 经译码后用来选择控制或数据进出通道。

2. 部件 B 的地址

和部件 B 有关的通道的基本地址用 DIP 开关的 10—7 位置设置, 它们决定 I/O 地址最高的 1, 2, 3, 与 4 位即地址 A_7, A_6, A_5 与 A_4 。把开关置于“ON”规定 TU-ART 响应该地址位为“0”。

3. 中断方式

当 DIP 开关的位置 1 合上时, TU-ART 用 8080 中断方式操作: 在中断回答周期内 8 个“Restart”指令之一选通到数据总线。由于 TU-ART 有 16 个不同的中断源, TU-ART 处于 8080 方式时就要定时询问设备。

当开关位置 1 断开时, TU-ART 用 Z-80 方式 2 响应中断。在这种方式下, TU-ART 在中断回答周期把一个字节送到数据总线, 作为一个存储器地址的低 8 位。Z-80 从 I 寄存器送来高 8 位, 且自动读对应的存储单元和下一个单元, 从而找到中断子程序的起始地址。

4. 正向/反向地址

当 DIP 开关位置 2 合上时, 允许部件 A 和 B 通过输出到一个并行口的方法交换基本地址 (软件地址反向)。即由固定在存储器里的软件来实现部件 A 和 B 的地址反向。开关置于“ON”时把部件 A 并行输出口的最高位接到反向地址控制, 使地址可以在软件控制下倒置过来。地址倒置时输出一个 D_7 为高的字节到部件 A 的并行输出口。回到正常寻址时, 输出一个 D_7 为低的字节到部件 B 的并行输出口。当开关位置 2 断开时, 地址反向开关脱离并行输出口。

地址反向信号送到 J_2 和 J_3 的脚 1。地址反向开关合上时, 脚 1 表明 TU-ART 的状态:

脚 1 = 0 为反向方式

脚 1 = 1 为正向方式

当地址反向开关断开时, J_2 或 J_3 的脚 1 可以外部接地使 TU-ART 处于反向方式 (硬件地址反向)。当地址反向开关合上时 J_2 或 J_3 的脚 1 不接地, 因为这会和部件 A 的并行口发生冲突。