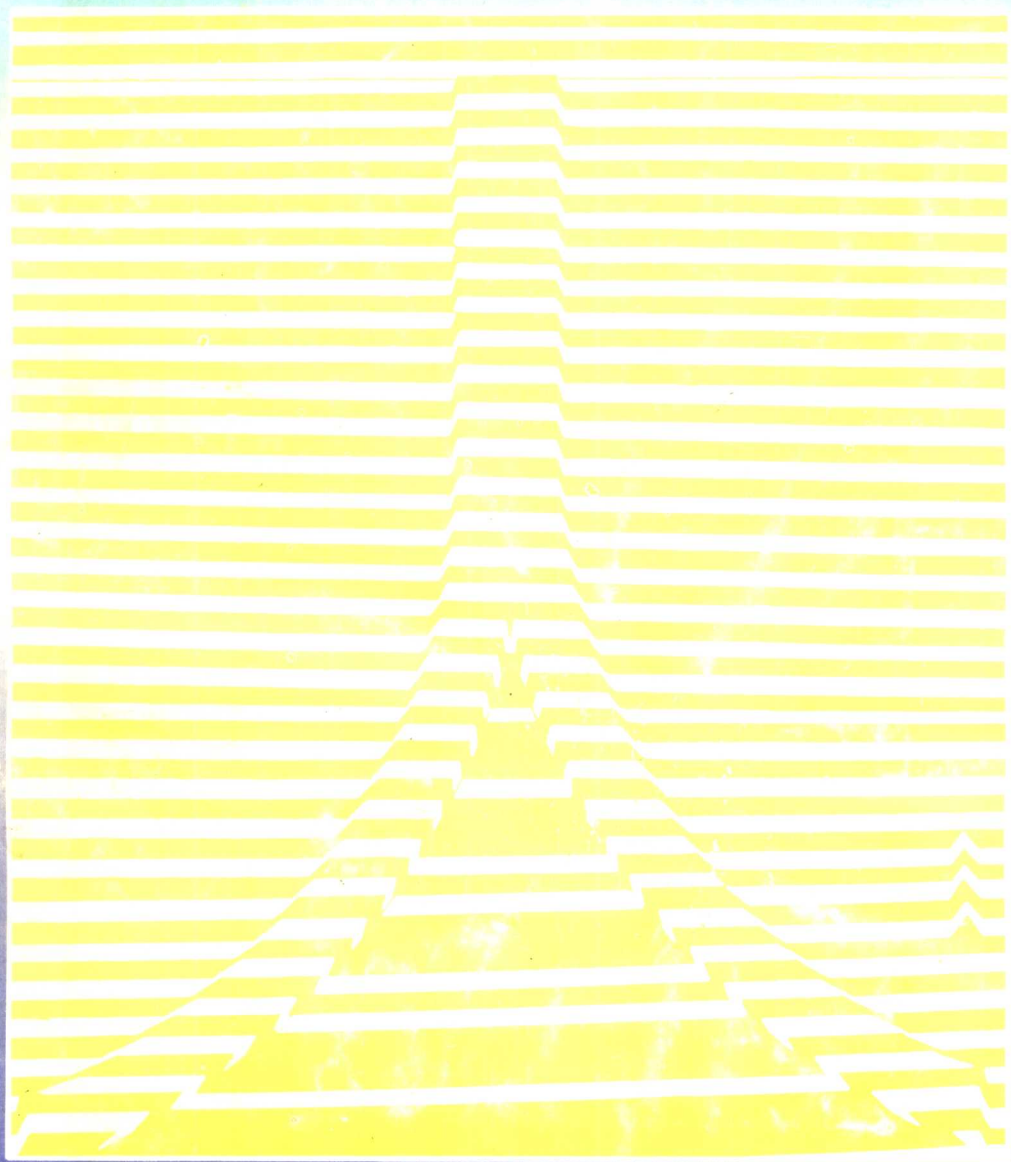


# 64位和32位 高档微机系统设计

毕庶本 编著



山东科学技术出版社

# 64 位和 32 位 高档微机系统设计

毕庶本 编著

山东科学技术出版社

鲁新登字 05 号

64 位和 32 位高档微机系统设计

毕庶本 编著

\*

山东科学技术出版社出版  
(济南市玉函路 邮政编码 250002)

山东省新华书店发行  
山东莱芜市印刷厂印刷

\*

787×1092 毫米 16 开本 17 印张 385 千字  
1994 年 3 月第 1 版 1994 年 3 月第 1 次印刷

印数: 1—1000

ISBN 7-5331-1370-5  
TP·16 定价: 13.80 元

## 内容提要

本书共分 14 章，内容包括传统指令集计算机 (CISC) 系统设计和精简指令集计算机 (RISC) 系统设计两大部分。其中，第 1~5 章阐述了传统指令集微处理机的系统结构设计，并详细地介绍了当代流行的高档微处理机 i80386、i80486 和 Pentium，以及 MC680x0 和 NEC V80 等的系统结构设计；第 6~14 章则阐述了当代流行的精简指令集微处理机的系统结构设计，并详细地介绍了 SPARC 和 Super SPARC、i80860 和 i80960、MC88000、MIPS R4000、Am29050、IMS T 800 和 T9000、IBM Power RS/6000，以及 DEC ALPHA 等微处理机的系统结构设计。

本书内容最新，理论联系实际，读者对象为从事计算机硬件设计和维修及软件开发工作的广大技术人员，也可以作为高等院校计算机专业或相关专业的教材。



# 目 录

<b>第 1 章 CISC 体系结构设计</b> .....	(1)
§ 1 CISC 技术微处理机的发展 .....	(2)
§ 2 CISC 第一代 32 位处理机结构设计 .....	(5)
§ 3 CISC 第二代 32 位处理机结构设计 .....	(7)
§ 4 CISC~RISC 型 32 位处理机结构设计 .....	(9)
<b>第 2 章 i80386 体系结构设计</b> .....	(12)
§ 1 i80386 基本结构设计 .....	(13)
§ 2 实方式结构设计 .....	(37)
§ 3 保护方式结构设计 .....	(39)
§ 4 虚拟 8086 环境的设计 .....	(59)
<b>第 3 章 i80486 体系结构设计</b> .....	(63)
§ 1 i80486 体系结构设计主旨 .....	(63)
§ 2 i80486 支持的数据类型和寄存器堆 .....	(69)
§ 3 i80486 指令系统 .....	(73)
§ 4 i80486 存储管理 .....	(97)
§ 5 i80486 任务管理 .....	(100)
§ 6 i80486 的中断和异常 .....	(102)
§ 7 i80486 操作方式 .....	(103)
<b>第 4 章 MC680x0 高档机系统设计</b> .....	(104)
§ 1 MC68020/68881 系统设计 .....	(104)
§ 2 MC68030/68882 系统设计 .....	(134)
§ 3 MC68040 系统结构设计 .....	(137)
§ 4 MC68040 与 MC68020/30 的差异 .....	(138)
<b>第 5 章 NEC V80 体系结构设计</b> .....	(144)
§ 1 V80 的系统构成 .....	(144)
§ 2 V80 指令集和流水线结构 .....	(149)
§ 3 V80 外部接口与引脚功能 .....	(152)
<b>第 6 章 RISC 体系结构设计</b> .....	(154)
§ 1 RISC 的含义及其发展 .....	(154)
§ 2 第三代 RISC 处理机的体系结构 .....	(158)
§ 3 超长指令字计算机体系结构设计 .....	(162)
§ 4 RISC 在 90 年代的发展趋向 .....	(167)

<b>第 7 章</b>	<b>SPARC 和超级 SPARC 体系结构</b>	(175)
§ 1	SPARC 处理器的开发生产和发展	(175)
§ 2	SPARC 体系结构	(176)
§ 3	SPARC 体系结构处理机举例	(187)
§ 4	Super SPARC 与 Hyper SPARC	(190)
<b>第 8 章</b>	<b>INTEL80860 和 80960 体系结构设计</b>	(194)
§ 1	i80860 体系结构设计	(194)
§ 2	Intel80860XP 处理器	(202)
§ 3	Intel80960 体系结构设计	(204)
§ 4	Intel80960CA 体系设计	(208)
<b>第 9 章</b>	<b>MC88000 系统体系结构设计</b>	(213)
§ 1	MC88000 体系结构	(213)
§ 2	超级标量 MC88110	(225)
<b>第 10 章</b>	<b>MIPS R4000 体系结构设计</b>	(230)
§ 1	MIPS R 系列体系结构的改进	(230)
§ 2	超级流水线处理器 R4000	(234)
<b>第 11 章</b>	<b>Am29050 体系结构设计</b>	(242)
§ 1	Am29000 体系结构	(242)
§ 2	Am29050 系统设计	(246)
<b>第 12 章</b>	<b>IMS T800 和 T9000 系统设计</b>	(249)
§ 1	IMS T800 体系结构	(249)
§ 2	IMS T9000 体系结构	(253)
<b>第 13 章</b>	<b>IBM RS/6000 系统设计</b>	(256)
§ 1	RS/6000 的体系结构设计	(256)
§ 2	IBM RS/6000 POWER 系列机	(260)
<b>第 14 章</b>	<b>DEC ALPHA 体系结构设计</b>	(262)
§ 1	ALPHA 体系结构设计	(262)
§ 2	ALPHA 系列机	(265)
<b>参考文献</b>		(267)

# 第1章 CISC 体系结构设计

CISC 一词是 Complex Instruction Set Computer 的缩写,其含意为“复杂(复合)指令集计算机”。

80年代末期,国际上的主要计算机厂商相继向市场推出 RISC 技术体系结构的处理机。在 RISC 处理机的冲击下,CISC 体系结构的处理机的前进步伐加快了。在 90 年代,基于 CISC 体系结构的处理机系统将不会消失,由于它已有丰富的软件支持,因此,到 1995 年之前,其市场将继续兴旺,但到 90 年代中后期,CISC 的主导地位将被 RISC 占据。而不久的将来 CISC 与 RISC 技术相结合的产物——CRISP 体系结构的处理机系统,将会大量涌现在市场上。

Intel 公司在 1993 年 3 月推向市场的 Pentium 系列处理器产品,就是一种典型的 CRISP 体系结构的早期产品。该 Pentium 系列的处理器采用 RISC 型 CPU。它是 RISC 技术的 CISC 处理器。

现今,已出现了 RISC 和 CISC 技术交映成辉的发展局面。在表 1—1 中,给出了 90 年代初期上市的高档微处理器的主要特性,以供参考。

表 1—1 典型的高档微处理器的主要特性

型号	厂家	峰速 (MIPS)	字长	时钟频率 (MHz)	工艺	晶体管数 (万)	年份
80586 P (5)	Intel	100	32	66	CHMOS 0.8 $\mu$ m	300	1993 初
80860XP	Intel	150	32	50	CHMOS 0.8 $\mu$ m	120	1991
R4000	MIPS	100	64	100	CMOS 0.8 $\mu$ m		1991
PA-4	HP	132	32	66			1992
88110	Motorola	150	32	50	ECL		1991
SuperSPARC	Sun	100	32	50	CMOS	47.9	1992
Alpha	DEC	400	64	200	CMOS 0.75 $\mu$ m	168	1992
RS/6000	IBM	200	32	50	CMOS 0.5 $\mu$ m	700 (9 个芯片)	1990

在本章中,我们将着重介绍 CISC 体系结构处理机的设计。关于 RISC 体系结构处理机的设计,将在本书的第 6 章中介绍。

## § 1 CISC 技术微处理器的发展

从 1971 年 Intel 公司制成世界上第一台微处理器以来, 微处理器一直以高速向前发展。它经历了 4 位机、8 位机、16 位机和 32 位机等几代产品, 现今开始步入 64 位机时代。

80 年代后期, RISC 处理器芯片从实验室进入工业产品市场, 处理器芯片的速度获得飞跃的提高, 出现了诸如 Intel 公司的 i80860xp 芯片, 峰值速度达到 150MIPS。1992 年初 DEC 公司推出的 Alpha 芯片, 峰值达到 400MIPS。在 RISC 技术微处理器芯片热浪大潮的冲击下, 传统的 CISC 体系结构处理器的发展加快了。

### 一、CISC 处理器的发展现状

1989 年 4 月, Intel 公司推出了 CISC 体系结构的 i80486 系列微处理器芯片。在同一个月份, Motorola 公司推出了 MC68040 系列微处理器芯片。另外, NEC 公司瞄准 TRON 芯片市场, 于 1989 年 1 月份开发成功了 V80 系列处理器芯片。这三种芯片, 都是 32 位字长的高档微处理器芯片, 它们分别是 i80386、MC68030 和 NEC V70 系列的后继换代产品。

在表 1—2 中, 给出了 90 年代初世界市场上先进的 CISC 微处理器芯片的典型规格和性能, 借以参考。

经过 80 年代的市场竞争, 在目前阶段的 CISC 体系结构微处理器芯片产品市场上, i80x86 系列和 MC680x0 系列, 已成为两大主流芯片系列。

表 1—2 32 位 CISC 的主要规格和性能\*

芯片名	i80386	i80486	MC68030	MC68040	GMICRO /200	NS32532	V70	V80
制造厂家	英特尔	英特尔	莫托洛拉	莫托洛拉	日立 三菱 富士通	国家半导体	NEC	NEC
制造技术 (集成度)	1.0 $\mu$ mCM OS (27.5 万)	1.0 $\mu$ mCM OS (120 万)	1.0 $\mu$ mCM OS (30 万)	1.0 $\mu$ mCM OS (120 万)	1.0 $\mu$ mCM OS (73 万)	1.25 $\mu$ mCM OS (37 万)	1.2 $\mu$ mCM OS (38.5 万)	0.8 $\mu$ mCM OS (93 万)
通用寄存器数	8	8	16	16	16	8	32	32
逻辑存储空间	64T	64T	4G	4G	4G	4G	4G	4G
物理存储空间	4G	4G	4G	4G	4G	4G	4G	4G
MMU 入口数	32	32	22	64 $\times$ 2	32	64	16	64
内藏 FPU(双精度运算性能)	无	6.1MWI PS	无	3.6MFLO PS	无	无	无(一部分有)	无(一部分有)
内藏高速缓存容量	无	8kB	指令; 256B 数据; 256B	指令; 256B 数据; 256B	仅指令有 1kB	指令; 512B 数据; 1kB	无	指令; 1kB 数据; 1kB
备注	FPU 为 80387, 高速 缓存控制器 为; 82385	80386 的 后继	FPU 为; 68881/ 68882	68030 的 后继	FPU 为; GMICR O/FPU	FPU 为; 32381	FPU 为; U PD72691	V70 的后继

\* 摘自《计算机世界》, 1990 年 6 月 20 日, P44.



## 二、Intel 公司的 i80x86 系列

Intel 公司的 CISC 体系结构微处理器是 i80x86 系列。在表 1—3 中,给出了 i80x86 系列的推出时间。

昔日, Intel 公司大约每 3 年推出一代新产品。1985 年推出的 i80386 处理器是它的第一代 CISC 体系结构的 32 位高档微处理机。现今, Intel 公司的 CISC 微处理器主干产品, 已转为 i80486 系列, 其中, 包括从低档的 i80486Sx 到高档的 i80486Dx2 等多种产品。i80486Dx2 芯片的内部时钟频率为外部总线速度的两部, 因此, 这种芯片既能保持很高的内部计算速度, 又大大减少了基于 i80486D×2 处理器系统的设计难度。

在 1992 年中, Intel 公司推出的 30 余种微处理器芯片, 其时钟频率为 16MHz~66MHz, 工作电压有 5V 和 3.3V 两大类。

表 1—3 i80x86 系列的推出时间

型号	集成度 (晶体管数目)	物理地址 (字节)	推出时间 (年)
8080	5000 只	64kB	1974
8085	6000 只	64kB	1976
8086	29000 只	1MB	1978.6
80286	13 万只	16MB	1982.2
80386	27.5 万只	4096MB	1985.10
80486	125 万只	4GB	1989.4
pentium	320 万只	4GB	1993.3
P <sub>6</sub> *	2200 万只	—	1995~1996
P <sub>7</sub> *	1 亿只	—	2000

\* Intel 公司暂内定代号。

## 三、Motorola 公司的 MC680x0 系列

Motorola 公司开发生产的 CISC 体系结构的高档微处理器, 是 MC680x0 系列中的高档级产品。其中, 1984 年推出的 MC68020 是第一代 32 位处理机; 1987 年推出的 MC68030 是第二代 32 位处理机。上述的 MC68040 则是第三代的 32 位处理机。在表 1—4 中, 给出了 MC680x0 系列中高档处理机的研制年表。

依据 Motorola 公司制定的“新一代 MPU 开发计划”, 该公司在 1992 年 (原定计划) 推出性能为 40MIPS 以上的 MC68050 处理器芯片, 该芯片是 MC68040 芯片的后继换代产品, 它含有 600 万只晶体管, 采用 Bi—CMOS 工艺制作。MC68050 是同 Pentium 相角逐的产品。

表 1—4 MC680x0 系列高档处理机研制年表

型号	制造工艺 (μm)	主频 (MHz)	晶体管数 (只)	性能 (MIPS)	研制时间 (年)
68020	2	16	19 万	2~5.5	1984
68030	1.5~1.2	20~33	75 万	5~12	1987
68040	0.8~0.6	25~50	120 万	20~35	1989
68050	0.6~0.5	150	600 万	40 (入口)	1993
68060	0.5~0.35	300	1500 万	80 (入口)	1995

#### 四、日本 TRON 规范处理器

时至 1989 年,业已有六家日本厂商在开发 TRON 规范的高性能 32 位微处理器。富士通、日立制作所和三菱电机公司联合成立了一个开发“GMicro 系列”的组织,分工协作开发 TRON 规范的 GMicro 系列产品。其中,三菱负责开发研制用于控制机器人和 ASIC 芯片的 GMicro/100 型处理器,日立制作所负责开发用于工作站的 GMicro/200 型处理器,富士通公司负责开发以微型机为对象的 GMicro/300 型处理器。

日本东芝公司自成一体,独立开发出了满足 TRON 规范的微处理器 TX 系列。松下和冲电器公司也从事 TRON 规范微处理器的开发。在表 1—5 中,给出了五种 TRON 规范的 MPU 性能比较。

表 1—5 五种 TRON 规范的 MPU 性能比较

制造厂家	日立	三菱	富士通	东芝	
型号	GMicro/200	GMicro/100	GMicro/300	TX1	TX3
性能 (MIPS)	7 (20MHz)	4~5	12 (20MHz)	5	12.5
工作频率	20MHz (后期, 25MHz 以上)	20MHz	20MHz	25MHz	33MHz
集成度 (晶体管数目)	73 万只	30 万只	90 万只	25 万只	120 万只
流水线级数	6 级	5 级	6 级	4 级	7 级

此外,日本 NEC 公司开发了 V 系列微处理器。其中, V80 是与 MC68040 和 i80486 相抗衡的产品(见表 1—2)。

GMicro 系列的早期产品业已在 80 年代末期推向市场。1992 年,三菱电机公司推出了 GMicro/400 型处理器芯片,其处理能力为 GMicro/300 型的 4 倍,平均能力达到 60MIPS。GMicro/400 采用 0.8 $\mu$ m 的 CMOS 工艺制造,它是 32 位字长芯片,含有在片的 1 个浮点运算部件(FPU)和两个 ALU 部件。采用超级标量方式可以同时处理 3 条指令,目前它有 33MHz 版和 40MHz 版两种。GMicro/400 型芯片的竞争对象是 Pentium 芯片。

#### 五、DEC 公司的 VAX 体系结构处理器

1992 年,DEC 公司推出 100MHz 的 CISC 微处理器。该微处理器采用 DEC VAX 体系结构,通过改进流水线控制来提高其处理性能。它的流水线共分为 6 段,从预取 VAX 指令开始,直至向缓存写入运算结果,实现高速流水处理。该处理器设置在片的指令 Cache 和数据 Cache,其容量分别为 2kB 和 8kB。它比以往的 VAX 处理器性能提高 1.4 倍,达到 50SPEC, marR。此外,该处理器的体系结构设计中,对其总线接口部分也采取了重大的改进措施。例如,连接主存储器等的系统总线接口部分,采用 33MHz 的工作频率;而第二级 Cache 的接口部分仍然采用与处理器内部相同频率的时钟(100MHz),采用同步传输方式,以便适应 Cache 数据传送的需要。

上述的 DEC VAX 体系结构的这种 CISC 处理器,采用 0.75 $\mu$ m 的 CMOS 工艺制造,芯片面积为 16.2 $\times$ 14.6mm<sup>2</sup>,共集成 130 万只晶体管。在 1993 年,DEC 公司将开发出

110MHz 的 CISC 型处理器芯片, 该芯片的面积约为 340mm<sup>2</sup>, 集成上约 400 万只晶体管。

## 六、CISC 技术微处理器的前景

到本世纪末, 微处理芯片的全世界销售额将可达到 60 亿美元左右。那时, RISC 技术的微处理器将主宰市场。

在表 1—6 中, 给出了 80 年代末至 90 年代初期 32 位微处理器的市场占有率情况。在整个 90 年代内, CISC 处理器芯片不会从通用计算机系统中消失。CISC 处理器将会降低低档系统的成本, 而 RISC 处理器芯片则会推进工作站和高性能微型、中小型、大型和巨型计算机系统的发展。在 90 年代里, 基于 CISC 技术结构的处理器, 例如老牌的 i80x86 系列和 MC680x0 系列芯片, 由于它们已经有丰富的软件支持, 所以, 在 1995 年之前, 其市场销售形势将持续兴旺。但到 90 年代中后期, 它们将走向衰退之路。而 CISC 与 RISC 技术相结合的产物——CRISP 处理器芯片将会涌现在市场上。这时, i80x86 和 MC680x0 的后期产品, 都将带有浓厚的 CRISP 色彩。

表 1—6 32 位微处理器市场占有率 (%)

年	Intel (i80x86 系列)	Motorola (MC680x0 系列)	RISC	其它
1988	53	39	4	4
1989	58	33	6	3
1990	56	29	13	2
1991	50	25	24	1
1992	44	22	33	1
1993	39	19	41	1

## § 2 CISC 第一代 32 位处理机结构设计

这里, 让我们通过一个实例来概略地阐述 CISC 型第一代 32 位处理机结构设计。

### 一、32 位体系结构设计

Intel 公司的 i80386 系列是一种为需要超高速计算性能的应用课题而设计的, 并经过多任务处理操作系统优化的先进的 32 位微处理器系统。它是采用 CISC 体系结构的典型的第一代 32 位微处理器。

i80386 处理器由下列六个并行处理部件组成:

- (1) 总线接口部件 BIU (Bus Interface Unit);
- (2) 代码预取部件 (Code Prefetch Unit);
- (3) 指令译码部件 (Instruction Decode Unit);
- (4) 执行部件 EU (Execution Unit);
- (5) 分段部件 (Segment Unit);
- (6) 分页部件 (Paging Unit)。

在图 1—1 中, 给出了 i80386 的 32 位流水线微结构, 供参考。

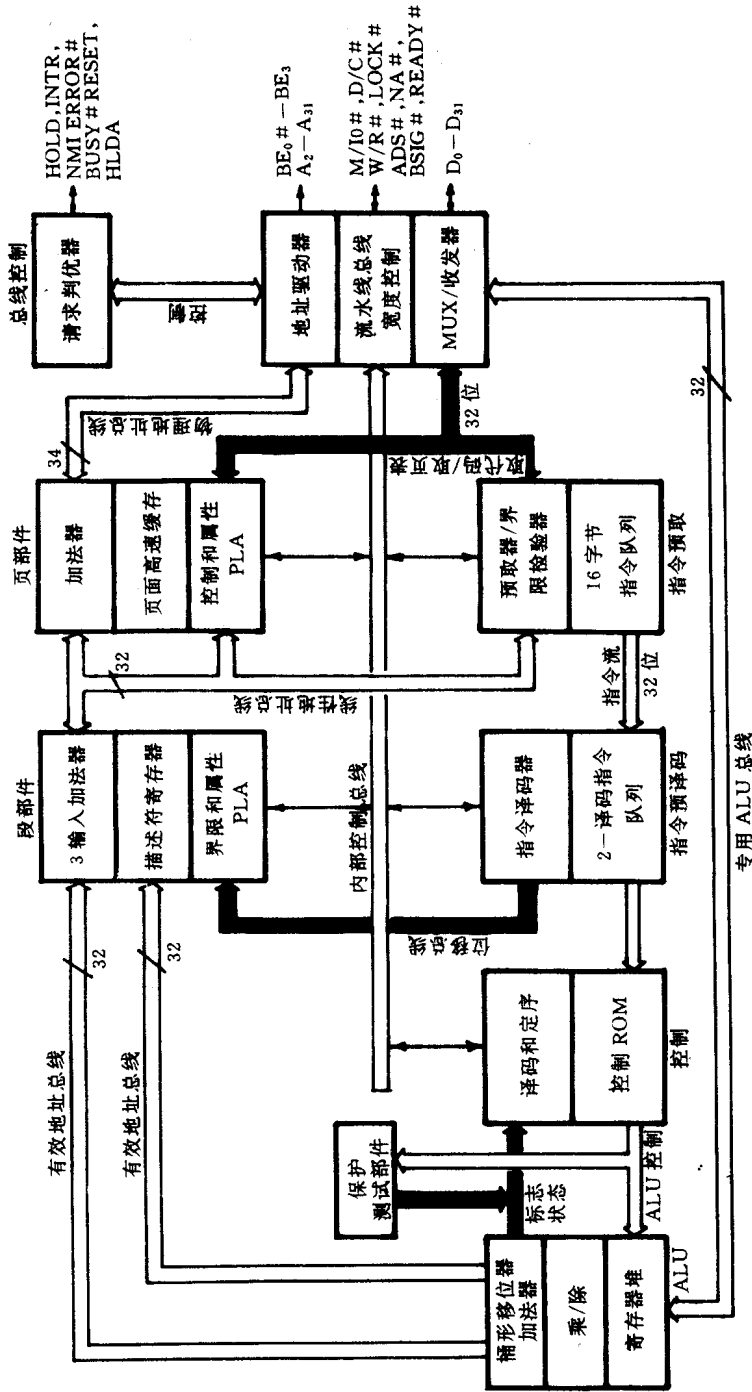


图 1—1 i80386 的 32 位流水线微结构

## 二、32 位处理器性能特征

这里仍以 i80386 处理器为例。该处理器是具有集成化存储管理的高性能处理器，它的性能特征可以概括成下列几点：

(1) 灵活的 32 位微处理器：处理器支持 8 位、16 位、32 位数据类型，处理器设置有 8 个 32 位通用寄存器；

(2) 巨大的地址空间：处理器可以访问 4GB 的物理存储器和 64TB 的虚拟存储器，最大段长为 4GB；

(3) 集成化存储管理部件：处理器设置有虚拟存储器支持，任选的片上调页，4 级保护，与 i80286 完全兼容；

(4) 目标代码与所有其 8086 系列兼容；

(5) 虚拟 8086 方式允许在保护与分页系统中运行 8086 软件；

(6) 提供硬件调试支持功能；

(7) 系统性能优化：处理器指令执行流水线化，设置有在片的地址转换 Cache，12.5MHz 和 16MHz 时钟，总线带宽 32MB/S；

(8) 通过 i80287 和 i80387 协处理器提供高速数值计算支持；

(9) 完整的系统开发支持：在软件方面，提供 C、PL/M、汇编系统生成工具；在调试程序方面，提供 PSCOPE，ICE™—386；

(10) 采用高速 CHMOS3 工艺制造；

(11) 采用 132 管脚的管脚网络阵列封装。

在 i80386 体系结构中，32 位的寄存器和数据通路支持 32 位的地址和数据类型。处理器能够寻址高达 4GB 的物理存储器和 64TB 的虚拟存储器。集成化存储管理和保护机构，包括地址转换寄存器、先进的多任务硬件和支持操作系统的保护结构。此外，i80386 还允许多个操作系统同时运行。

指令流水线、在片地址转换以及高总线带宽，确保了短的平均指令执行时间和高的系统吞吐能力。i80386 处理器的持续执行速度为 3~4MIPS。

i80386 具有新的可测试特性和调试特点。可测试特性包括自测试和对页面转换高速缓存 (Cache) 的直接访问。4 个新的断点寄存器允许在执行代码或访问数据时实现条件或无条件断点自陷。可有效地调试甚至以 ROM 为基础构成的系统。i80386 代码与所有 iAPX86 系列微处理器 (8086、8088、80186、80286) 相兼容。也就是说，i80386 能够直接利用世界上最大的微处理器软件库资源。

## § 3 CISC 第二代 32 位处理机结构设计

为了便于同第一代 32 位处理机结构设计相比较，这里以 i80486 处理机的设计为例。

### 一、处理机体系结构设计目标

1985 年秋以 i80386 为 CPU 的个人计算机投放市场，这可以说是 32 位高档微型计算机时代的开始。从 i80386 发表后的 4 年期间，Intel 公司全力以赴地加快 CISC 体系结构第二代 32 位处理机的开发。时至 1989 年 4 月，Intel 公司推出了其第二代 32 位高档处理

器 i80486 芯片。

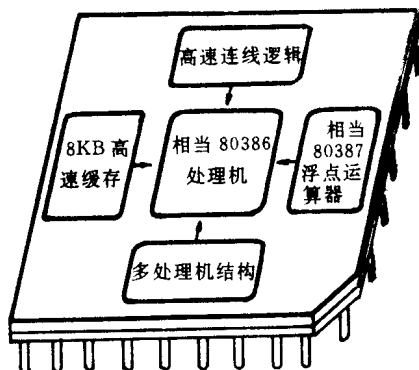


图 1—2 i80486 的概念结构

i80486 的开发目标，是实现高速度化，并且支持多处理机系统。以相当于 i80386 的 CPU 为核心，除包含在片的 Cache 和相当于 i80387 的运算协处理器之外，还用了易于构成多处理机系统结构的机制。i80486 的概念结构如图 1—2 所示。若从程序设计的角度看，其体系结构几乎没有改变，可以说是对 i80386 的全盘照搬。i80486 系列处理器的最低起始工作频率为 25MHz，后续产品的工作频率达到 33MHz 以上。i80486 的技术指标见表 1—7 所示。

表 1—7

i80486 技术指标

工艺	1.0 $\mu$ m CHMOS
集成度 (晶体管数目)	约 120 万只
芯片尺寸	约 16 $\times$ 11mm <sup>2</sup>
外部数据总线	32 位
外部地址总线	32 位
时钟频率	25MHz/33MHz
性能 (25MHz); Dhystone 值	37000Dhystones/s
双精度 Whetstone 值	6.1MWIPS
Cache 容量	8kB (指令/数据兼用)
流水线级数	5 级
寄存器	同 i80386/80387 兼容
逻辑地址空间	64TB
物理地址空间	4GB
引线数	168 条, PGA 型
功耗	最大 4.5W (2.5MHz 时)

## 二、处理机的组成

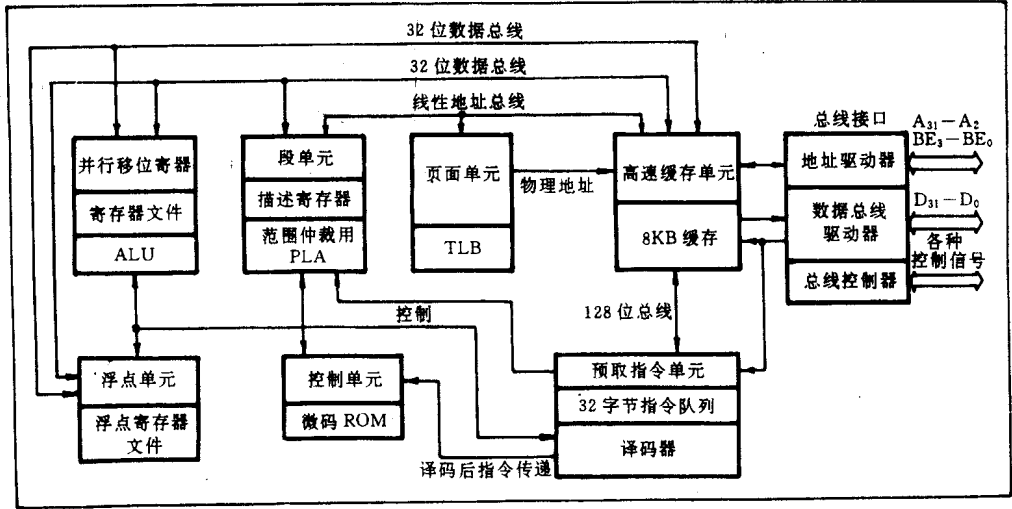


图 1-3 i80486 内部结构框图

i80486 的内部结构如图 1-3 所示。其中，整数逻辑部件（ALU）、存储管理部件 MMU、指令取出/译码部件等都可以独立工作。i80386 由 6 个部件构成（总线接口、代码预取、指令译码、执行、分段/分页——MMU）；而 i80486 则又增设了 Cache 部件和浮点处理部件（FPU），即它由 8 个部件构成。

i80486 体系结构的设计特点，使 i80486 与 i80386/80387 系统在二进制码级兼容；在相同的时钟频率下，i80486 的指令执行速度比 i80386/80387 系统高出 2~3 倍。为了能够运行 i80386 系列结构软件，i80486 具备与 i80386 相兼容的硬件接口；为了能在相同的时钟频率下高于 i80386 的执行速度，i80486 的总线较 i80386 的有所改进。

### § 4 CISC~RISC 型 32 位处理机结构设计

Pentium 是 Intel 公司新开发出的 32 位高档处理器。它是 i80x86 系列中 i80486 的后继换代产品。Pentium 是采用 RISC 技术的 CISC 处理器。因此，它属于 CISC~RISC 型 32 位处理器，也许可以把它视为 CRISP 体系结构处理器的一种“雏形”。

#### 一、CISC 体系结构的重大改进

Pentium 的芯片结构对 i80486 作了重大改进，它可以归纳如下：

- (1) Pentium 采用 RISC 型 CPU，并且其 CPU 采用超级标量结构；
- (2) Pentium 的浮点部件采用超级流水线技术；
- (3) Pentium 中增设了动态转移预测机构；
- (4) Pentium 增强了错误检测和报告功能；
- (5) Pentium 中的在片 Cache 改用回写方式；

(6) 在 Pentium 中, 采用了多种测试挂钩 (例如边界扫描和探针方式)。

## 二、处理机的组成

作为例子, 在图 1—4 中给出了 Pentium 处理器的内部结构框图。在该芯片上, 装有三种指令处理部件和 16kB~24kB 的 Cache。这些指令处理部件是: RISC 型 CPU、80386 处理部件和浮点处理部件。RISC 型 CPU 是采用超级标量技术实现的, 处理器装有 2 条流水线, 一个时钟周期能并行执行 2 条整数指令; 80386 处理部件使用微码处理指令, 负责处理不能用一个时钟完成执行的指令; 浮点处理部件采用超级流水线技术实现。

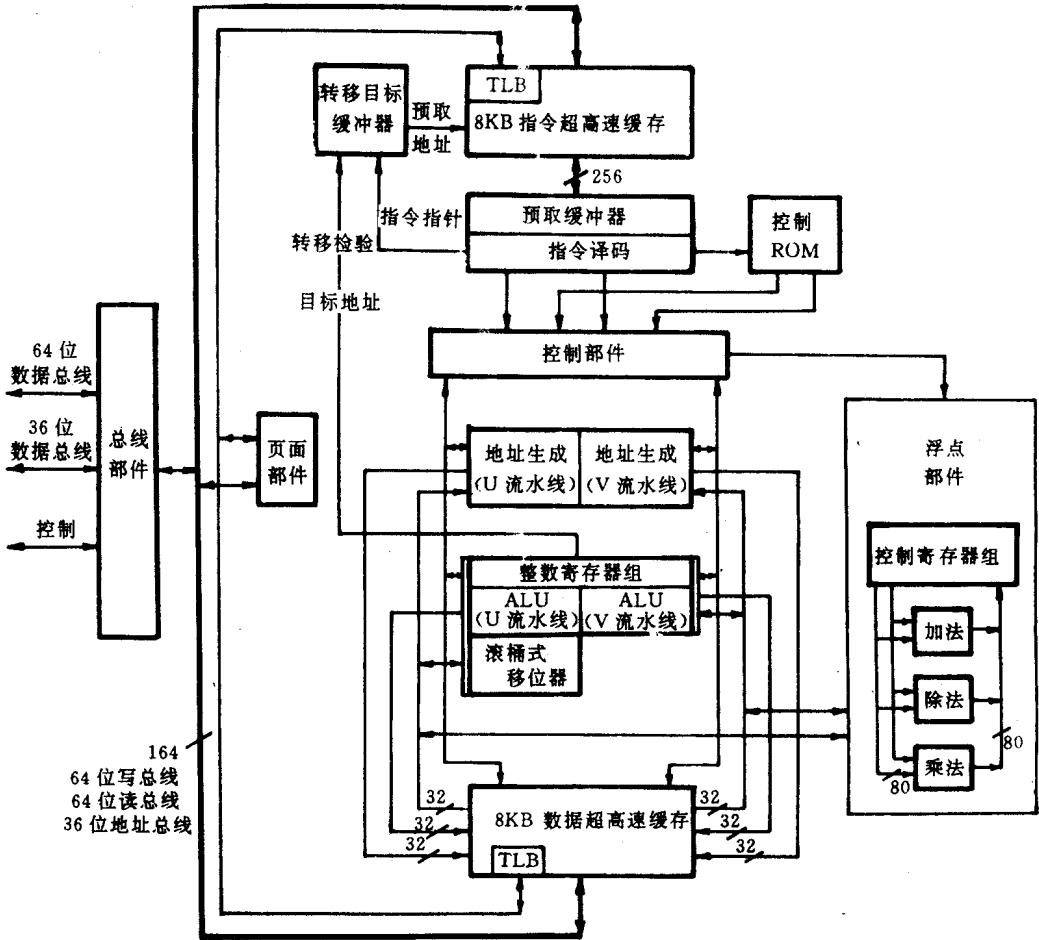


图 1—4 Pentium 内部结构框图

两条流水线是指令流水线 V 和 U。它们均可执行整数指令, 但只有 U 流水线能执行浮点指令。V 流水线可以执行一条异常的 FXCH 指令。因此, Pentium 在每个时钟内可以执行两条整数指令, 或者在每个时钟内执行一条浮点指令。如果两条浮点指令中有一条为 FXCH 指令, 则在一个时钟内可以执行两条浮点指令。

Pentium 芯片设置有在片指令 Cache 和数据 Cache, 其容量分别为 8kB (可扩充到 12kB), 它们可以同时被访问, 指令 Cache 可以提供达 32B 的原始操作码。数据 Cache 每



个时钟内可以提供两次数据访问的数据，它遵循 MESI 的一致性协议，指令 Cache 则遵循 MESI 协议的子集，以确保多机环境下的数据一致性。每种 Cache 都受到奇偶校验的保护。

Pentium 芯片设置有在片指令预取缓冲器，它在前一条执行结束之后可以预取多达 94B 的指令。此外，Pentium 还实现了一种动态分支预测算法；这种算法根据先前某个时间执行指令的相对地址推测出运行指令预取周期，而不是考虑检索的指令是否与当前正在执行的指令顺序相关。

在 Pentium 中，数据总线 64 位，地址总线扩充到 36 位，以提高指令和数据的供给能力。外部总线宽度采用像 RISC 那样的 64 位化，地址总线也扩充为 36 位，这是因为目前 4GB 的物理地址已不能满足要求。为了高速处理转移，设置有在片的转移目标 Cache，它含有 256 个条目。此外，Pentium 还设置有在片的面向容错系统的功能冗余检查 (FRC)。因此，它一边可以与自身的执行结构相比较，一边判断是否发生异常动作。

为了适应共享主存储器多机系统的需要，Pentium 的在片 Cache 采用“回写方式”（在 i80486 中采用通写方式），抑制了存取总线的使用次数。主存储器采用重写方式，也就是存储在 Cache 中的主存储器内容被改变时，只是在第一次两者的内容都被更新。第二次之后，则只更新 Cache 的内容，而不更新主存的内容。