

数字电路实验与课程设计

吕思忠 施齐云 编著

赵旦峰 主审

哈尔滨工程大学出版社

图书在版编目(CIP)数据

数字电路实验与课程设计/吕思忠主编. —哈尔滨:
哈尔滨工程大学出版社, 2001. 10
ISBN 7-81073-214-5

I. 数... II. 吕... III. ①数字电路-实验-高等学校-教材②数字电路-课程设计-高等学校-教材
IV. TN79

中国版本图书馆 CIP 数据核字(2001)第 067361 号

内 容 简 介

本书内容包括: ALTERA 公司 EDA 设计软件使用及可编程器件介绍、实验调试技术、基本实验和大规模系统实验。附录介绍了 PLD 可编程器件教学实验系统的使用及部分常用集成电路资料, 可供实验课和课程设计参考。

本书是一门独立设课实验教材。以设计性为主, 是本书的突出特点。全书内容循序渐进, 实践性强。实验方式采用了 EDA 先进技术, 在 PLD 可编程器件教学实验系统上进行, 可使学生在校期间就能掌握一门先进技术, 为毕业后适应高科技迅速发展的需要打下良好的基础。

本书可作为工科高等院校电子类、通信类等各专业实验教材, 也可供教师及工程技术人员参考。

哈尔滨工程大学出版社出版发行
哈尔滨市南通大街145号 哈工程大学11号楼
发行部电话:(0451)2519328 邮编:150001
新 华 书 店 经 销
哈尔滨工程大学印刷厂印刷

*

开本 787mm×1 092mm 1/16 印张 15.25 字数 341 千字

2001 年 9 月第 1 版 2001 年 9 月第 1 次印刷

印数:1—5 000 册

定价:18.00 元

前 言

本书是结合近年来电子技术的飞速发展,利用长期积累的教学资料和经验,根据实验独立设课的特点,并结合我校国家电工电子基础课程教学基地的筹建以及课程改革成果编写而成的。此教材可作为高等工科院校通信类、电子类专业使用。

本书共分为6章。第1章介绍了PLD可编程器件的原理及结构。第2、3章是ALTERA公司EDA设计软件MAX+PLUS II的简介,对其中的图形和文本输入设计方法的操作全过程作了详细介绍,并且举了一些实例,作为参考。第4章是实验基本知识,对于如何顺利完成实验、调试所具备的理论知识作了较全面的论述。初学者应掌握它。第5章是基本实验,共15个内容,是按理论课的内容顺序编排的。前几个实验着重培养学生基本知识和技能,后边的实验主要以中规模集成电路应用为主的设计性实验,并选用了大规模集成电路——PLD可编程器件的应用。第6章是系统设计,共10个课题,可作为该门理论课结束后一次大规模综合性实验,使读者初步掌握小型数字系统的工程设计方法,为今后搞科研打下一个良好的基础。

本书的基本实验和系统设计内容,均在PLD可编程器件教学实验系统上去完成,打破了以往实验模式,硬件的搭试被仿真所代替。所谓仿真,就是在计算机上建立起系统的模型,然后加进合适的测试码(对组合电路)或测试序列(对时序电路),对此模型测试以验证子系统是否符合预期设计。如果不符合再进行修改,直至满足设计要求。设计要求达到了,就可以下载到可编程器件上,再进行硬件方法测试,观察现象。这样一来,读者就有了更深刻的体会,并可尽快地掌握这门先进技术,适应社会高科技迅速发展的需要。

本书第1、2、3章由施齐云执笔,第4、5、6章由吕思忠执笔,其中实验12、13、14由施齐云执笔。杨大伟参预了本书的部分内容的编写工作。

在编写过程中参考了兄弟院校部分内容,在此表示感谢。

本书由哈尔滨工程大学赵旦峰副教授主审,为此表示衷心的感谢。

限于编者水平,书中难免出现不妥之处,望广大读者批评指正。

编 者

2001年6月

目 录

第 1 章 可编程逻辑器件(PLD)	1
1.1 概述	1
1.2 PLD 的基本结构	4
1.3 MAX 7000 系列器件的结构	8
第 2 章 EDA 设计软件——MAX + PLUS II 简介	14
2.1 概述	14
2.2 MAX + PLUS II 的使用说明	17
第 3 章 硬件描述语言 AHDL	48
3.1 概述	48
3.2 AHDL 的基本元素	48
3.3 AHDL 的基本设计结构	57
3.4 设计风格	71
3.5 AHDL 设计实例	77
第 4 章 数字电路实验基本知识	95
4.1 数字集成电路的分类及主要参数	95
4.2 实验方法概述	96
4.3 TTL 集成电路与 CMOS 集成电路的使用规则	98
4.4 实验电路的故障检查和排除	100
4.5 数字电路的安装与测试技术	102
4.6 用 PLD 专用集成芯片实现数字系统时的安装与调试	103
第 5 章 基本实验	105
实验一 TTL 与非门的参数测试	105
实验二 集成门电路的逻辑变换及应用	110
实验三 CMOS 集成门电路的测试	112
实验四 TTL 集电极开路门和三态门的逻辑功能测试及应用	115
实验五 SSI 组合逻辑电路设计与测试	119
实验六 集成触发器及应用	123
实验七 MSI 计数器及应用	128
实验八 MSI 移位寄存器及应用	137
实验九 译码器及应用	143
实验十 数据选择器及应用	148
实验十一 半加器、全加器及应用	153
实验十二 数模和模数转换	159
实验十三 555 定时器及应用	166

实验十四 GAL 器件在数字系统设计中的应用	172
实验十五 彩灯显示控制	183
第 6 章 课程设计	185
6.1 数字系统的设计方法	185
6.2 实验目的	186
6.3 实验要求	187
课题一 数字钟	187
课题二 数字频率计	192
课题三 智力竞赛抢答器	193
课题四 交通信号灯的自动控制	193
课题五 电子锁	194
课题六 自动售票机	195
课题七 自动电梯控制电路	196
课题八 乒乓游戏机	197
课题九 8×8 点阵显示屏	198
课题十 八路彩灯显示电路	199
附录一 PLD 可编程器件教学实验箱简介	200
附录二 双踪示波器	212
附录三 集成电路	227
参考文献	236

第 1 章 可编程逻辑器件(PLD)

1.1 概 述

按照逻辑功能的特点划分,数字集成电路产品可分为标准通用型和专用型两类。标准通用型集成电路是指常用的中、小规模数字集成电路(如 74 系列、4000 系列等),其逻辑功能设计以实现数字系统的基本功能块为目的。它们的逻辑功能都比较简单,而且固定不变,特点是通用性强,使用方便灵活。但是采用通用型器件设计数字逻辑系统有很多缺点,如体积、功耗和重量较大,可靠性和可维护性较差等。

专用型集成电路是指按某种专门用途而设计、制造的集成电路,又称 ASIC(Application Specific Integrated Circuit 的缩写),具有体积小、功耗低、可靠性高、高度保密性等特点。

ASIC 按制造过程的不同可分为全定制和半定制两大类。全定制电路(Full Custom Design IC)是由制造厂按用户提出的逻辑要求,专门设计和制造的芯片。这一类芯片专业性强,适合在大批量定型生产的产品中使用。

半定制电路(Semi-Custom Design IC)又可分为门阵列(Gate Array,简称 GA)、标准单元阵列(Standard Cell Array,简称 SCA)和可编程逻辑器件(Programmable Logic Device,简称 PLD)。早期的半定制电路 GA 和 SCA 的生产可分为两步,首先由制造厂制成标准的半成品,即分别在芯片上集成了大量的逻辑门和具有一定功能的逻辑单元;然后由制造厂根据用户提出的逻辑要求,再对半成品进行加工,也就是通过布线(即编程)把这些硬件资源连接起来,实现预定的数字系统芯片。

随着集成电路制造工艺和编程技术的提高,针对 GA 和 SCA 这两类产品的设计和编程都离不开制造厂的缺点,人们在 20 世纪 70 年代又研制出了一种新型的半定制逻辑器件,即 PLD 器件。PLD 芯片内的硬件资源和连线资源也是由制造厂生产好的,但其逻辑功能在出厂时并没有确定,可由用户根据需要,借助开发工具对其进行设计和编程,实现所希望的逻辑功能。

1.1.1 PLD 器件的优点

PLD 器件集标准通用逻辑器件和半定制逻辑器件的许多优点于一身,再加上它的可编程性,为数字系统的设计带来了很多方便。随着工艺和技术的进步,PLD 器件的应用越来越广泛,它在现代电子系统中所占的地位也越来越重要,其优点如下。

(1) 设计简单、灵活

可编程器件具有的可编程性、可擦除性以及所采用的 CAD 工具的高度自动化,使得采用 PLD 器件进行系统设计的过程大为简化。要完成一项设计,用户只需指定 PLD 器件要执行的功能即可,而采用中、小规模集成电路完成相同设计时,需要选用、搭配、调试多个标准电路,还有印刷电路板的布局设计问题,因此完成一个设计的过程非常繁琐。采用 PLD

器件进行设计在设计结束后,可立即进行验证和随意修改,无须重新布线和生产印刷板,因此具有很好的设计灵活性,大大缩短了设计周期。

(2)高性能和高可靠性

一块 PLD 器件可代替几十块甚至数百块中、小规模集成电路,从而使电路性能优化,外部连线和所用器件数目明显减少,使得系统的体积、功耗和重量降低,大大提高了系统的可靠性,同时也减少了交叉干扰和可能产生的噪声源,使系统运行更清晰、稳定。

(3)降低成本

采用 PLD 器件来实现一个数字系统设计,由于所用器件少,系统规模小,器件测试、装配和制作印刷板的工作量大大减少,可靠性得到提高,同时还可避免修改逻辑带来的重新设计和生产等一系列问题,所以有效的降低了系统的成本。

1.1.2 PLD 的分类及发展概况

PLD 器件自 20 世纪 70 年代初问世以来,已经形成了多种结构、多种产品。按照集成度这一项集成电路的重要指标来进行分类,可把 PLD 器件分为低密度可编程逻辑器件(Low Density Programmable Logic Device,简称 LDPLD)和高密度可编程逻辑器件(High Density Programmable Logic Device,简称 HDPLD)两大类。LDPLD 器件的可用门数低于 600 门,称为简单 PLD(SPLD),产品主要有 PROM、PLA、PAL 和 GAL 等。HDPLD 器件的可用门数高于 600 门,包括 EPLD、CPLD 和 FPGA 等。

(1)低密度可编程逻辑器件(LDPLD)

低密度可编程逻辑器件包括 PROM、PLA、PAL 和 GAL 四种 PLD 器件。

PROM,即可编程只读存储器(Programmable Read-Only Memory),它是 1970 年研制的第一代 PLD 器件。其基本结构是由一个固定的“与阵列”和一个可编程的“或阵列”组成,它可用来实现任何以“最小项之和”形式表示的组合逻辑。PROM 采用熔丝工艺编程,只能写一次,不可以擦除或重写。随着技术的发展和应用的要求,人们又相继研制出了紫外线擦除可编程只读存储器(EPROM)和电擦写可编程只读存储器(EEPROM,即 E²PROM)。PROM 主要用以解决各类存储问题,在软件存储、代码转换、函数发生、字符显示等方面得到了广泛应用。

PLA,即可编程逻辑阵列(Programmable Logic Array),它的与阵列和或阵列都是可编程的,是最早的实用 PLD 器件。但由于其不灵活的结构、大封装、高成本和一次编程性,使它的使用范围受到了限制。

PAL,即可编程阵列逻辑(Programmable Array Logic),它是 70 年代后期由美国 MMI 公司推出的可编程逻辑器件,是在 PROM 和 PLA 基础上发展起来的,同样采用“阵列逻辑”技术,它的与阵列可编程,或阵列是固定连接的。PAL 具有多种的输出结构形式,便于完成多种逻辑功能,设计较为灵活。但由于 PAL 仍采用熔丝编程方式(即具有一次编程性)并且规模小、价格贵,所以它的应用同样受到限制。

GAL,即通用阵列逻辑(Generic Array Logic),它是 Lattice 公司 20 世纪 80 年代中期发明的一代新型器件。GAL 器件的结构和 PAL 器件相比,增加了一个可编程的输出逻辑宏

单元(Output Logic Macro Cell,简称 OLMC),可由用户定义所需的输出状态,几乎能够替代所有类型的 PAL 器件。GAL 采用了高速的电可擦除的 E²CMOS 工艺,具有速度快、功耗低、可重复编程等特点。

低密度可编程逻辑器件易于编程,对开发软件的要求低,在 20 世纪 80 年代得到了广泛的应用。但低密度可编程逻辑器件的寄存器、I/O(输入/输出)引脚、时钟资源的数目有限,使设计的灵活性受到了限制。

进入 20 世纪 90 年代,随着技术的发展,各种大规模的 PLD 发展迅速,其主要特点是:集成度高、功能复杂、基本单元间的互连强大灵活,克服了低密度可编程逻辑器件在集成度和性能方面的局限性。

(2) 高密度可编程逻辑器件(HDPLD)

高密度可编程逻辑器件包括 EPLD、CPLD 和 FPGA 三种 PLD 器件。

EPLD,即可擦除的可编程逻辑器件(Erasable Programmable Logic Device),是 Altera 公司 1986 年继 PAL、GAL 之后推出的一种可编程逻辑器件。它采用 CMOS 和 EPROM 工艺制作,其基本逻辑单元是宏单元,它由可编程的与或阵列、可编程的寄存器和可编程 I/O 三部分组成。EPLD 的特点是大量增加输出宏单元的数目,提供更大的与阵列。由于 EPLD 特有的宏单元结构,使它的设计灵活性较 GAL 有很大的改善,并由于其集成度的提高,使其在一块芯片内能实现较多的逻辑功能。世界著名的半导体器件公司如 Altera、Xilinx、AMD、Lattice 和 Atmel 公司均有 EPLD 产品,但结构差异较大。

CPLD,即复杂可编程逻辑器件(Complex Programmable Logic Device),是 20 世纪 90 年代初出现的 EPLD 改进器件,同 EPLD 相比,CPLD 增加了内部连线,对逻辑宏单元和 I/O 单元也有重大的改进。一般情况下,CPLD 至少包含三种结构:可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线;部分 CPLD 还集成了 RAM、FIFO(First - In First - Out)或双口 RAM 等存储器,以适应 DSP(Digital Signal Processing)应用设计的要求。典型的 CPLD 器件有 Lattice 的 PLSI/ispLSI 系列器件、Xilinx 的 7000 和 9000 系列器件、Altera 的 MAX 7000 和 MAX 9000 系列器件和 AMD 的 MACH 系列器件等。

FPGA,即现场可编程门阵列(Field Programmable Gate Array),是 1985 年由美国 Xilinx 公司首家推出的一种新型的可编程器件。其结构形式是由若干独立的可编程逻辑模块排列为阵列,并由可编程的内部连线将这些模块连接成所需的数字系统。FPGA 由三种可编程单元和一个用于存放编程数据的静态存储器(SRAM)组成,这三种可编程的单元是输入/输出模块 IOB(I/O Block)、可编程逻辑模块 CLB(Configurable Logic Block)和互连资源 IR(Interconnect Resource)。FPGA 的功能由逻辑结构的编程数据决定,工作时,这些配置数据存放在片内的 SRAM 上,断电后数据便随之丢失。因此每次使用 SRAM 的 FPGA 器件,在工作前需要从芯片外部加载编程数据。这些数据可以存放在片外的 EPROM 或其它存储体上。人们可以控制加载过程,在现场修改器件的逻辑功能。FPGA 的发展十分迅速,目前已达到 300 万门/片的集成度、3ns 内部门延时的水平。除 Xilinx 公司外,Altera 和 Actel 等公司也提供高性能的 FPGA 芯片。

1.2 PLD 的基本结构

PLD 器件种类很多,不同厂商生产的 PLD 器件结构差别较大,但具有代表性的 PLD 器件的基本结构都是由输入电路、与阵列、或阵列、输出电路组成,其基本结构框图如图 1.1 所示。

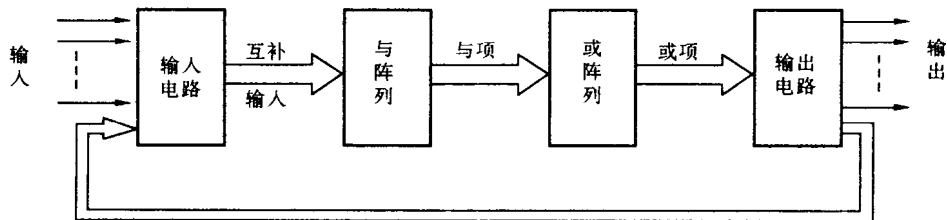


图 1.1 PLD 基本结构框图

图 1.1 中的核心部分是具有一定规模的与阵列和或阵列,它们产生的与项和或项用以实现逻辑函数。输入电路起着缓冲作用,并产生互补输入信号,送至与阵列。输出电路既有缓冲作用,又可以提供不同的输出结构,用户可根据需要选择不同的输出方式(组合方式或时序方式)以满足不同的逻辑要求。我们知道,任何一个组合逻辑电路都可以用与或表达式来描述,而任何一个时序电路都可以由组合电路加上记忆元件来实现。因此图中所示的 PLD 这种结构对实现数字电路具有普遍意义。

1.2.1 PLD 电路的表示方法及有关符号

为便于描述 PLD 的内部电路结构,下面介绍目前国际、国内通用的逻辑表示方法。

(1) PLD 连接的表示方法

在 PLD 阵列交叉点上的三种连接方式的表示方法如图 1.2 所示。实点连接表示硬线连接,是不可编程的,也就是固定连接;“×”连接表示可编程的连接;交叉点上没有任何符号则表示断开(即没有连接)。



图 1.2 PLD 连接的表示方法

(2) PLD 缓冲器的表示方法

PLD 的互补输出缓冲器如图 1.3 所示,它的两个输出 B 和 C 是其输入 A 的原码和反码,即 $B = A, C = \bar{A}$ 。此种互补输出缓冲器用作 PLD 的输入缓冲电路。

PLD 的三态输出缓冲器如图 1.4 所示,当三态控制信号($EN/\bar{EN}$)为 0/1 时,缓冲器处

于禁止状态,输出与输入无关,呈现高阻态;当三态控制信号($EN/\overline{EN}$)为1/0时,缓冲器处于正常工作状态,输出 B 是输入 A 的反码,即 $B = \overline{A}$ 。三态输出缓冲器常被用作 PLD 的输出缓冲电路。

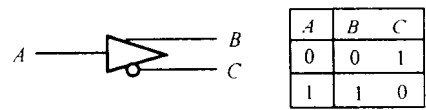


图 1.3 PLD 的互补输出缓冲器

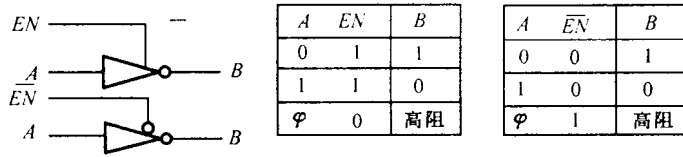


图 1.4 PLD 的三态输出缓冲器

(3) PLD 与门的表示方法

图 1.5 给出了 PLD 与门的表示方法,输入 A 、 B 、 C 、 D 称为输入项,输出 $P = A \cdot B \cdot C \cdot D$ 称为“积项”。

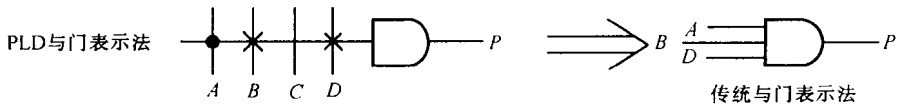


图 1.5 PLD 的与门表示方法

图 1.6 给出了 PLD 几种与门省缺的表示方法,输出 F 为所有输入项的可编程连接, $F = A \cdot \overline{A} \cdot B \cdot \overline{B} = 0$ 。这说明,当 PLD 输入缓冲器的互补输出都连至同一积项时,该积项恒为“0”。输出 Y 是表示所有输入项的可编程连接的简化记号,它的逻辑与输出 F 相同。相反输出 Z 表示没有任何输入项连接的乘积项,因此该乘积项总是“浮动”的逻辑“1”。

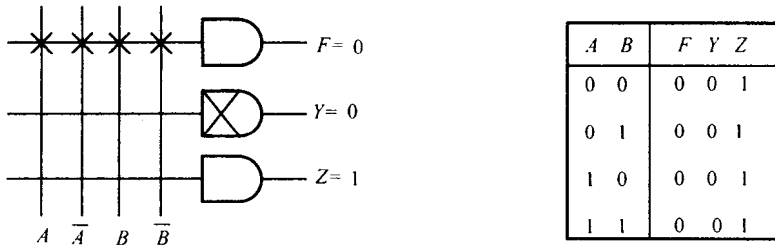


图 1.6 PLD 的与门省缺表示方法

(4) PLD 或门的表示方法

图 1.7 给出了 PLD 或门的表示方法,输出 $Y = P_1 + P_3 + P_4$ 称为“和项”(或者称为“或项”)。

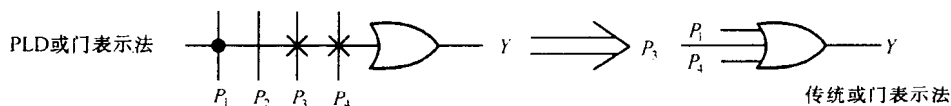


图 1.7 PLD 的或门表示方法

1.2.2 PLD 的四种基本结构

与阵列和或阵列是 SPLD(Simple Programmable Logic Device)中最基本的结构,通过编程改变它们的内部连接,就可以实现不同的逻辑功能;而 PLD 输出电路结构的不同则决定了输出是组合逻辑还是时序逻辑。依据可编程部位的不同可将 SPLD 的基本结构分为 PROM、PLA、PAL 和 GAL 四种基本类型,其特点如表 1.1 所示。

表 1.1 四种 PLD 的基本结构特点

结构名称	与阵列	或阵列	输出电路
PROM	固定	可编程	固定
PLA	可编程	可编程	固定
PAL	可编程	固定	固定
GAL	可编程	固定	可阻态

(1) PROM 基本结构

PROM 的基本结构是由固定的与阵列和可编程的或阵列组成的,如图 1.8 所示。其中,与阵列为全译码制,即当输入有 n 个变量时,与阵列中就有 2^n 个与门,与阵列输出为 n 个输入变量可能组合的全部最小项(即共 2^n 个与项)。或阵列是可编程的,若 PROM 有 m 个输出,则或阵列包含有 m 个可编程的或门,每个或门有 2^n 个输入与项可供选用,由用户编程来选定。所以,在 PROM 的输出端,输出表达式是最小项之和的与或标准式。此种结构的与阵列利用率低,易造成硬件的浪费。

(2) PLA 基本结构

PLA 的基本结构类似于 PROM,如图 1.9 所示,但它的与阵列是可编程的,与阵列不是全译码方式而是部分译码方式,它只产生函数所需要的乘积项;或阵列也是可编程的,它选择所需要的乘积项来实现“或”功能,在 PLA 的输出端产生的逻辑函数是简化的与或表达式。当输出函数中包含有较多的公共项时,使用 PLA 将更为节省硬件。

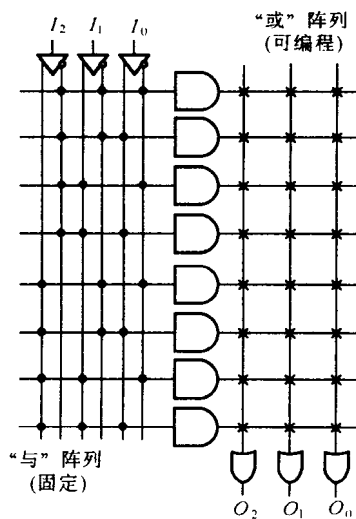


图 1.8 PROM 基本结构

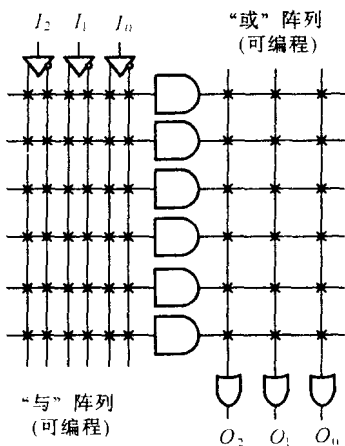


图 1.9 PLA 基本结构

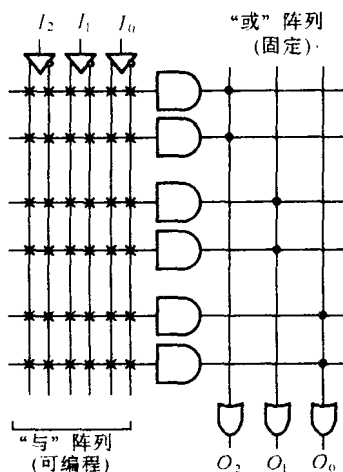


图 1.10 PAL 基本结构

(3) PAL 基本结构

PAL 的基本结构是由可编程的与阵列和固定的或阵列组成的,如图 1.10 所示。这种结构比 PROM 灵活,便于完成多种逻辑功能,同时又比 PLA 工艺简单,易于编程和实现。但由于 PAL 的结构(包括输入、输出、乘积项数目以及输出结构)已由制造厂固定,不同型号的 PAL 器件具有不同的结构,要实现不同的逻辑电路就要选择不同型号的 PAL 器件,这给设计带来了不便。

(4) GAL 基本结构

GAL 在基本阵列结构上沿袭了 PAL 的与或结构,由可编程的与阵列驱动不可编程的或阵列。与 PAL 相比,GAL 的输出部分配置了可组态的输出逻辑宏单元(OLMC),对 OLMC 进行编程可得到不同的输出结构,同一 GAL 芯片即可实现组合逻辑也可实现时序逻辑;此外,GAL 采用了 E²CMOS 工艺,可多次编程。因此用 GAL 进行设计更为灵活,其应用更为广泛。

注:GAL 的具体结构见后面的实验十四。

近年来推出的各类性能更为优越的 HDPLD,其结构在上面介绍的 LDPLD 基本结构的基础上有了较大的发展。HDPLD 按结构大致可分为两大类,一类是阵列扩展型(如 EPLD、CPLD),这类 HDPLD 器件是在 PAL 和 GAL 结构的基础上加以扩展或改进而成的,它是由多个 PAL 或 GAL 集合而成,经可编程互连结构来组成更大规模的逻辑系统;另一类是逻辑单元型(如 FPGA),这类 HDPLD 器件是由许多基本逻辑单元组成,本质上是这些逻辑单元的矩阵,围绕该矩阵设置输入/输出(I/O)单元,在逻辑单元之间以及逻辑单元和 I/O 单元之间由可编程连线进行连接,以此来形成大规模逻辑系统。

1.3 MAX 7000 系列器件的结构

1.3.1 概述

MAX 7000 系列器件是高密度、高性能的 CMOS EPLD,它是采用先进的 CMOS EEPROM 技术制造的,可提供 600 到 5000 可用门和 44 到 208 个引脚的各式封装,引脚到引脚的延时为 5ns,计数器的工作频率可达 178.6MHz。

MAX 7000 结构可 100% 模仿 TTL,并可将 SSI、MSI 和 LSI 的逻辑功能高密度地集成,它也可以集成多种可编程逻辑器件,其范围从 PAL、GAL 到 MACH、PLSI 和 FPGA,在速度、密度和 I/O 资源方面可与通用的掩膜式门阵列相媲美,可实现各种组合逻辑和时序逻辑。

MAX 7000 包含 32~256 个宏单元,每 16 个宏单元组成一个逻辑阵列块(LAB),每个宏单元有一个可编程的与阵列和固定的或阵列以及一个具有独立可编程时钟、时钟使能、清除和置位功能的可配置触发器。同时,每个宏单元都具有可编程功率节省模式,可使功耗降到 50%,而可配置的扩展乘积项可使每个宏单元具有多达 32 个乘积项。所有 MAX 7000 器件(除 44 脚器件外)的输出驱动器能设置在 3.3V 或 5.0V 电压下工作,并允许在混合电压的系统中使用。

MAX 7000S 系列器件具有集电极开路选择、可编程保密位以及内置 JTAG BST 电路,并可通过 JTAG 接口实现在系统编程。

MAX 7000 系列器件的部分特性如表 1.2 所示。

表 1.2 MAX 7000 系列器件特性

特 性	EPM 7032 EPM 7032V EPM 7032E	EPM 7064 EPM 7064S	EPM 7096	EPM 7128E EPM 7128S	EPM 7160E EPM 7160S	EPM 7129E EPM 7129S	EPM 7256E EPM 7256S
可用门数目	600	1 250	1 800	2 500	3 200	3 750	5 000
宏单元数目	32	64	96	128	160	192	256
逻辑阵列块(LAB)数目	2	4	6	8	10	12	16
最多用户 I/O 数目	36	68	76	100	104	124	164
传输延迟时间 $t_{pd}(ns)$	6(12)	5	7.5	6	6	7.5	7.5
全局时钟建立时间 $t_{su}(ns)$	5(10)	4	6	5	5	6	6
快速输入的全局时钟 建立时间 $t_{FSU}(ns)$	2.5(-)	2.5	3	2.5	2.5	3	3
全局时钟到输出的 延时 $t_{co}(ns)$	4(7)	3.5	4.5	4	4	4.5	4.5
最大全局时钟频率 $f_{CNT}(MHz)$	151.5 (90.9)	178.6	125	151.5	151.5	125	125

注:表 1.2 中括号内的值是低电压 EPM 7032V 器件的值。

1.3.2 MAX 7000 器件结构

MAX 7000 结构中包含逻辑阵列块、宏单元、共享和并联扩展乘积项、可编程连线阵列和 I/O 控制块五部分,此外还包括 4 个专用输入,它们能用作通用输入,或作为每个宏单元和 I/O 引脚的高速的、全局的控制信号,即时钟(Clock)、清除(Clear)和输出使能(Output Enable)。EPM 7032、EPM 7032V、EPM 7064 和 EPM 7096 器件的结构如图 1.11 所示,MAX 7000E 和 MAX 7000S 器件的结构如图 1.12 所示。

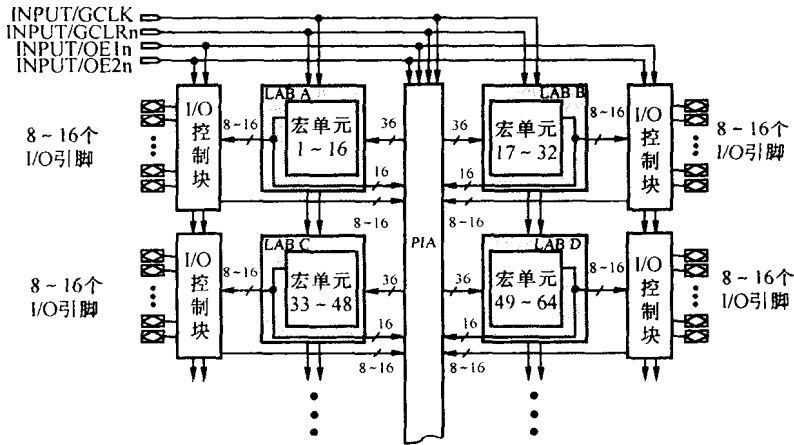


图 1.11 EPM 7032、EPM 7032V、EPM 7064 和 EPM 7096 器件的结构

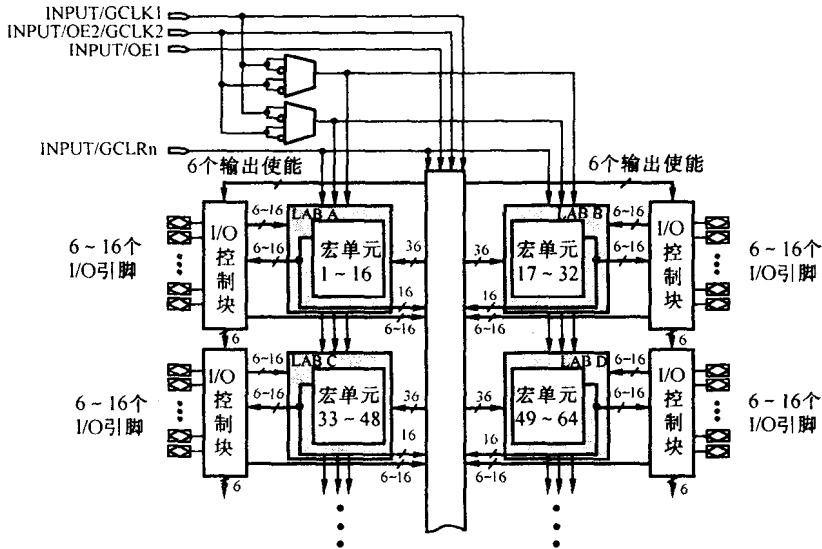


图 1.12 MAX 7000E 和 MAX 7000S 器件的结构

(1) 逻辑阵列块(LAB)

MAX 7000 主要是由高性能的、灵活的逻辑阵列模块(LAB)以及它们之间的连线构成,

如图 1.11 和图 1.12 所示。LAB 由 16 个宏单元组成,多个 LAB 通过可编程连线阵列 (PIA) 连接在一起,PIA 由所有的专用输入、I/O 引脚和宏单元反馈信号组成。

每个 LAB 有如下输入信号:

- ①来自 PIA 的作为通用逻辑输入的 36 个信号。
- ②用于寄存器辅助功能的全局控制信号。
- ③从 I/O 引脚到寄存器的直接输入通道,用以实现 MAX 7000E 和 MAX 7000S 器件的输入信号的快速建立时间。

(2) 宏单元

MAX 7000 宏单元能够单独地配置为时序逻辑和组合逻辑工作方式。宏单元由逻辑阵列、乘积项选择矩阵和可编程触发器三个功能块组成,其宏单元如图 1.13 和图 1.14 所示。

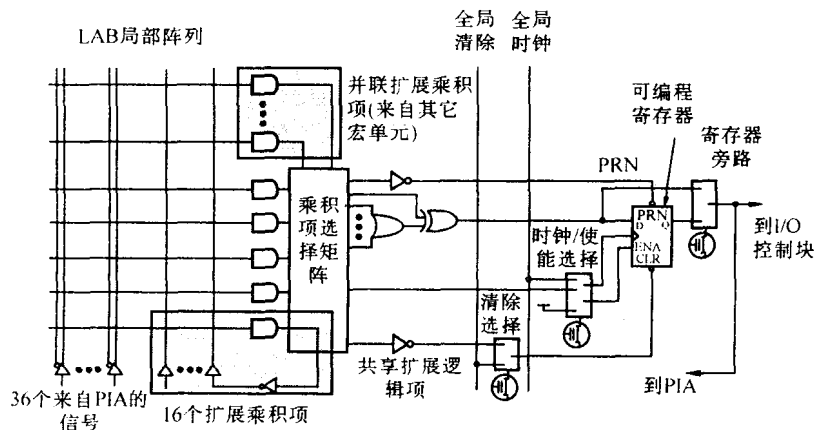


图 1.13 EPM 7032、EPM 7032V、EPM 7064 和 EPM 7096 器件的宏单元

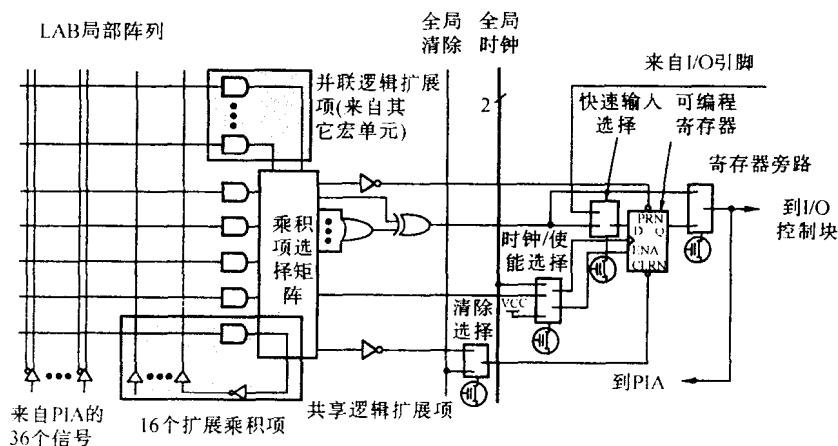


图 1.14 MAX 7000E 和 MAX 7000S 器件的宏单元

逻辑阵列用来实现组合逻辑时,它给每个宏单元提供 5 个乘积项,“乘积项选择矩阵”分配这些乘积项作为“或”门和“异或”门的输入,或者把这些乘积项作为宏单元中触发器的辅

助输入,如清除、置位、时钟和时钟使能等控制信号。同时,还可以利用扩展乘积项来实现多于 5 个乘积项的较复杂的逻辑。

逻辑阵列用来实现时序逻辑时,每个宏单元的触发器可以单独地编程为具有可编程时钟控制的 D、T、JK 或 RS 触发器工作方式。

每个可编程触发器可以按以下 3 种不同的方式实现时钟控制:

- ①全局时钟信号。这种方式能实现最快的时钟到输出的控制。
- ②全局时钟信号并辅以高电平有效的时钟使能信号。这种方式为每个触发器提供使能信号,并仍能实现全局时钟快速到输出的控制。
- ③用乘积项实现时钟信号。在这种模式下,触发器由来自隐含的宏单元或 I/O 引脚的信号实现时钟控制。

触发器也支持异步清除和异步置位功能,而这些操作是由乘积项选择矩阵分配乘积项来控制的,如图 1.13 和图 1.14 所示,显然乘积项驱动触发器的置位和复位信号是高电平有效,但在逻辑阵列中将信号反相可得到低电平有效的控制。此外,每个触发器的复位功能也可以由低电平有效的、专用的全局复位引脚 GCLR_n 信号来驱动。

所有 MAX 7000E 和 MAX 7000S 的 I/O 引脚都有一个到宏单元寄存器的快速输入通道,它能够旁路 PIA 和组合逻辑,也允许触发器作为具有极快输入建立时间的输入寄存器。

(3) 扩展乘积项

尽管大多数逻辑函数能够用每个宏单元中的 5 个乘积项来实现,但对于某些更为复杂的逻辑函数来说则是不够的,需要附加乘积项。MAX 7000 结构允许利用扩展乘积项(即共享和并联扩展乘积项)作为附加的乘积项直接送到本 LAB 的任意宏单元中,并可保证在实现逻辑综合时,用尽可能少的逻辑资源,实现尽可能快的工作速度。

① 共享扩展项

每个 LAB 有多达 16 个共享扩展项。共享扩展项就是由每个宏单元提供的一个未投入使用的乘积项,并将它们反相后反馈到逻辑阵列,便于集中使用。每个共享乘积项可被 LAB 内任何(或全部)宏单元使用和共享,以实现复杂的逻辑函数。采用共享扩展项后会增加一个短的延时 t_{SEXP} 。图 1.15 给出了共享扩展项是如何馈送到 LAB 中的每个宏单元的。

② 并联扩展项

并联扩展项是由一些宏单元中没有使用的乘积项组成的,这些乘积项可分配到邻近的宏单元去实现快速复杂的逻辑函数。并联扩展项允许多达 20 个乘积项直接馈送到宏单元的“或”逻辑,其中 5 个乘积项是由宏单元本身提供的,另外 15 个乘积项是由 LAB 中邻近宏单元提供的。

MAX + PLUS II 编译器能够自动给并联扩展项布线,可最多把 3 组、每组最多 5 个并联扩展项连到所需的宏单元上,使用每组扩展项将增加一个短的延时 t_{PEXP} 。

在一个 LAB 中,8 个宏单元为一组来共享并联扩展项,一个宏单元只能从较小编号的宏单元中借用并联扩展项。因此在有 8 个宏单元的每个组中,最小编号的宏单元仅能出借并联扩展项,而最大编号的宏单元仅能借用并联扩展项。图 1.16 给出了并联扩展项是如何从邻近的宏单元中借用的。

(4) 可编程连线阵列(PIA)

MAX 7000 通过 PIA 把各 LAB 相互连接构成所需的逻辑。这个全局总线是可编程的通道,

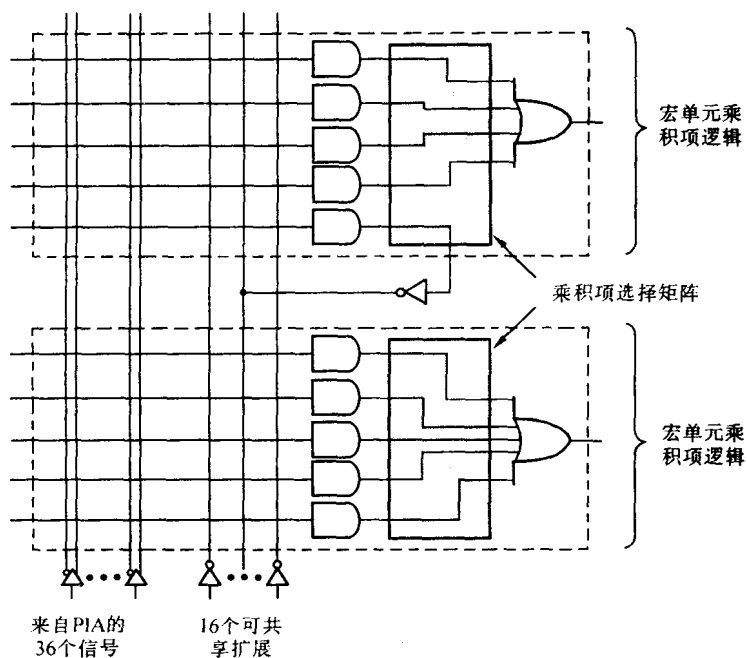


图 1.15 共享扩展项

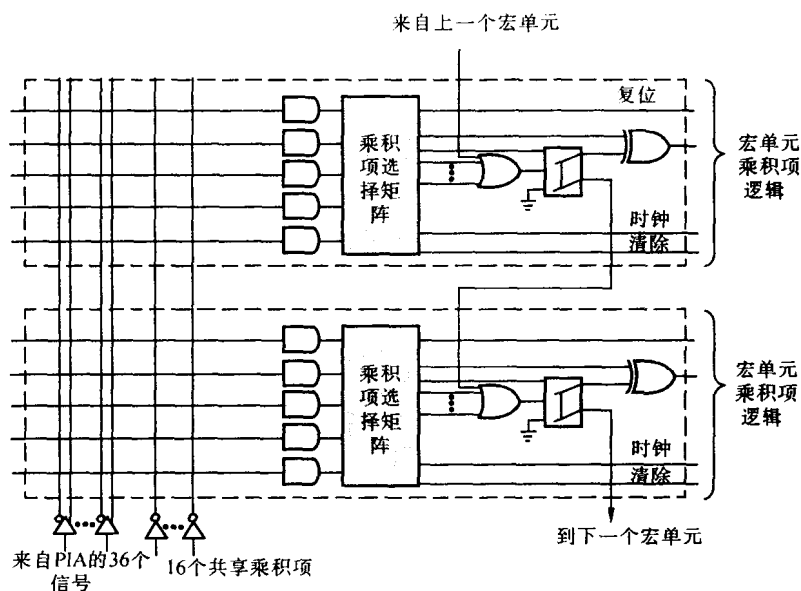


图 1.16 并联扩展项

可把器件中任何信号连接到其目的地。所有 MAX 7000 的专用输入、I/O 引脚和宏单元输出均馈送到 PIA, PIA 可把这些信号送到整个器件内的各个地方, 只有每个 LAB 需要的信号才给它布置从 PIA 到该 LAB 的连线。图 1.17 给出了 PIA 的信号是如何布线到 LAB 的。