

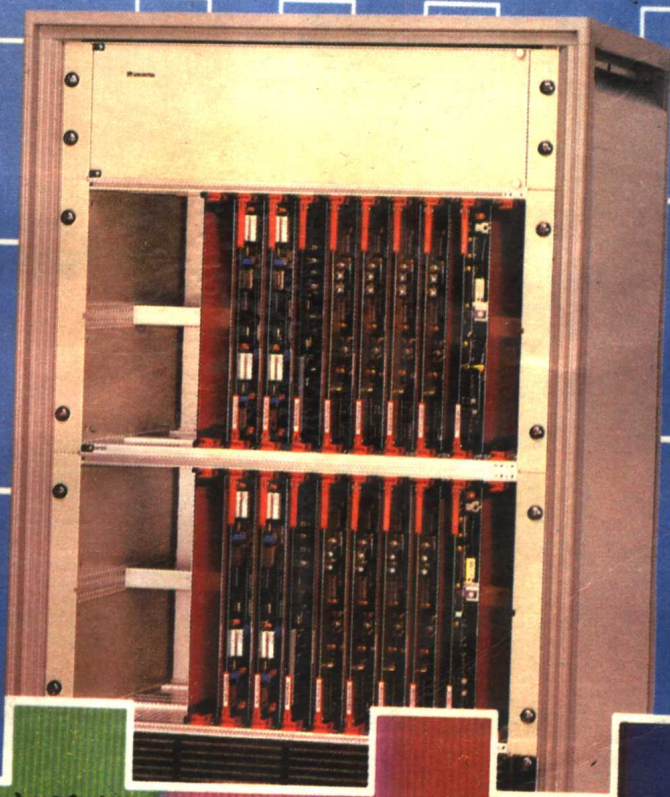
HOPE

HOPE COMPUTER COMPANY LTD.

计算机数字系统的测试技术和实例

尚琼 陈伟英 熊可宜 编译

本书介绍模型的建立，模拟，故障模型，故障模拟，单个固定故障的测试，测试桥故障，功能测试，可测试性设计，压缩技术，内部自我测试，逻辑级诊断，自我故障设计，PAL测试，系统级分析等。



北京希望电脑公司



计算机数字系统的测试技术和实例

尚琼 陈伟英 熊可宜 编译

北京希望电脑公司

一九九一年十一月

17.00
■北京市新闻出版局

准印证号: 3011—900011

■订购单位: 北京 8721 信箱资料部

■邮 码: 100080

■电 话: 2562329

■乘 车: 320、332、302路车至海
淀黄庄下车

■办公地点: 希望公司大楼 101 房间

前 言

本书对数字系统的测试设计进行了全面的和详尽的论述，比较透彻地介绍了测试技术和可测试设计的基本概念，详细讨论了该迅速变化领域的最新进展，给出了支持实际应用的理论资料，广泛分析了可测试设计技术及其实现方法。

本书可作为电路 CAD 技术人员、芯片和系统设计者、测试工程师的参考资料，也可作为有关专业研究生或高年级本科生的教科书。

编 译 者
一九九一年五月

目录

第一章: 引言	4
第二章: 模型建立	9
2.1 基本概念	9
2.2 在逻辑上建立功能模型	10
2.2.1 真值表和原始立方	10
2.2.2 状态表和流程表	12
2.2.3 二元判定图	15
2.2.4 作为功能模型的程序	6
2.3 在寄存器级上建立功能模型	17
2.3.1 基本的寄存器传送语言的结构	18
2.3.2 寄存器传送语言中的定时模型	20
2.3.3 内部寄存器传送语言模型	21
2.4 结构模型	21
2.4.1 外部表示	21
2.4.2 结构特征	23
2.4.3 内部表示	26
2.4.4 布线逻辑和双向性	27
2.5 模型建立的级别	28
第三章: 逻辑模拟	33
3.1 应用	33
3.2 基于模拟的设计验证中的问题	34
3.3 模拟的类型	35
3.4 未知的逻辑值	36
3.5 编译的模拟	38
3.6 事件驱动模拟	41
3.7 延时模型	42
3.7.1 门的延时模型	43
3.7.2 功能元素的延时模型	45
3.7.3 用寄存器传送语言建立延时模型	45
3.7.4 延时模型其他方面的问题	45
3.8 元素求值	46
3.9 冒险测试静态冒险	49
3.10 门级事件驱动模拟	53
3.10.1 独立于变换的额定的传输延时	53
3.10.2 其它的逻辑值	59
3.10.2.1 三态逻辑	59
3.10.2.2 MOS 逻辑	60
3.10.3 其它的延时模型	61

3.10.3.1 升和降模型	62
3.10.3.2 惯性延时	63
3.10.3.3 歧义延时	63
3.10.4 振荡控制	64
3.11 模拟机	66
第四章: 故障模型	75
4.1 逻辑故障模型	75
4.2 故障测试和冗余	77
4.2.1 组合电路	77
4.2.2 时序电路	83
4.3 故障等价和故障定位	86
4.3.1 组合电路	86
4.3.2 时序电路	87
4.4 故障支配	87
4.4.1 组合电路	87
4.4.2 时序电路	88
4.5 单固定故障模型	89
4.6 多固定故障模型	96
4.7 固定的寄存器传送语言(RTL)变量	98
4.8 故障变量	98
第五章: 故障模拟	106
5.1 应用	106
5.2 通用的故障模拟技术	108
5.2.1 串行故障模拟	108
5.2.2 公用概念和术语	108
5.2.3 并行故障模拟	109
5.2.4 演绎故障模拟	112
5.2.4.1 二值演绎仿真	113
5.2.4.2 三值演绎仿真	118
5.2.5 并发故障仿真	119
5.2.6 比较	126
5.3 组合电路的故障仿真	127
5.3.1 并行模式故障蔓延	127
5.3.2 关键路径跟踪	128
5.4 故障采样	137
5.5 统计故障分析	139
5.6 结束语	141
第六章: 单个固定故障的测试	148
6.1 基本问题	148

6.2 在组合电路中的 SSFs 的 ATG	149
6.2.1 面向故障的 ATG 无扇出电路	149
6.2.1.1 常用概念判定树	154
6.2.1.2 算法	160
6.2.1.3 选择标准	174
6.2.2 故障——独立 ATG	179
6.2.3 随机测试产生	185
6.2.3.1 随机测试的矢量	185
6.2.3.2 随机测试的长度	186
6.2.3.3 决定检测概率	187
6.2.4 组合确定 / 随机 TG	193
6.2.5 ATG 系统	198
6.2.6 其它 TG 方法代数方法	202
6.3 时序电路中 SSFs 的 ATG	204
6.3.1 使用交互式阵列模型的 TG	204
6.3.2 基于模拟 TG	216
6.3.3 使用 RTL 模型	217
6.3.4 随机测试产生	223
6.4 结束语	224
第七章: 测试桥故障	237
7.1 桥接故障模型	237
7.2 非反馈桥接故障的检测	239
7.3 反馈桥接故障的检测	242
7.4 桥接故障仿真	246
7.5 桥接故障的测试生成	249
7.6 结束语	249
第八章: 功能测试	251
8.1 基本讨论	251
8.2 无故障模型的功能测试	252
8.2.1 分层模型	252
8.2.2 带有二个决策图的功能测试	255
8.3 穷尽和伪穷尽测试通用故障模型	258
8.3.1 组合电路	258
8.3.1.1 部分——依赖电路	258
8.3.1.2 划分技术	259
8.3.2 时序电路	260
8.3.3 迭代逻辑阵列	261
8.4 具有特定故障模型的功能测试	267
8.4.1 功能故障模型	267

8.4.2 微处理器故障模型	268
8.4.2.1 寄存器译码功能的故障模型	270
8.4.2.2 指令译码和指令顺序功能的故障模型	271
8.4.2.3 数据存贮功能的故障模型	271
8.4.2.4 数据传送功能的故障模型	271
8.4.2.5 数据操纵功能的故障模型	272
8.4.3 测试产生过程	272
8.4.3.2 测试指令译码和指令顺序功能	274
8.4.3.3 测试数据存贮和数据传送功能	277
8.4.4 实例研究	278
8.5 结束语	278
第九章: 可测试性设计	283
9.1 可测试性	283
9.1.1 非交换	284
9.1.2 可控性和可观察性	284
9.2 可测试性技术的特定设计	285
9.2.1 测试点	286
9.2.2 初始化	289
9.2.3 单稳态多谐振荡器	289
9.2.4 振荡器和时钟	291
9.2.5 划分计数器和移位寄存器	292
9.2.6 大组合电路的划分	293
9.2.7 逻辑冗余	294
9.2.8 全局反馈路径	296
9.3 使用扫描寄存器听可控性和可观察性	296
9.3.1 类属边界扫描	300
9.4 类属基于扫描设计	302
9.4.1 全串行集成扫描	302
9.4.2 孤立串行扫描	303
9.4.3 非串行扫描	305
9.5 扫描设计的存贮单元	305
9.6 经典扫描设计	310
9.7 扫描设计开销	317
9.8 插件和系统级 DFT 方法	317
9.8.1 系统级总线	317
9.8.2 系统级扫描路径	309
9.9 一些更进一步扫描概念	319
9.9.1 多测试对话	319
9.9.2 使用一一路径的部分扫描	320

9.9.3 BALLAST——结构化的部分扫描设计	323
9.10 边界扫描标准	330
9.10.1 背景	330
9.10.2 边界——扫描寄存器	331
9.10.3 插件与芯片测试方式	333
9.10.4 测试总线	335
9.10.5 测试总线电路	335
9.10.5.1 TAP 控制器	335
9.10.5.2 寄存器指令寄存器和命令	340
第十章: 压缩技术	347
10.1 压缩技术的通用方面	348
10.2 Ones . count 压缩	348
10.3 转移——计数压缩	351
10.4 奇偶校验压缩	354
10.5 并发位校验于测试	355
10.6 签名分析	357
10.6.1 线性反馈移位寄存器的理论和操作	357
10.6.2 作为签名分析使用的 LFSRs	365
第十一章: 内部自我测试	371
11.1 BIST 概念简介	371
11.1.1 核心硬件	372
11.1.2 测试级生产测试	372
11.2 BIST 测试模式产生	373
11.2.1 穷尽测试	373
11.2.2 伪随机测试	373
11.2.3 伪穷尽测试	374
11.2.3.1 逻辑段	375
11.2.3.2 常数——权模式	376
11.2.3.3 测试信号输入识别	379
11.2.3.4 伪穷尽测试的测试模式产生并发位驱动器计数器	383
11.2.3.5 物理段	388
11.3 类属脱 BIST 机体系结构	388
11.4 特定 BIST 体系结构	394
11.4.1 集中式和分离插件级 BLST 体系结构 CSBL	394
11.4.2 内部评价和自我测试(BEST)	395
11.4.3 随机——测试插座(RTS)	395
11.4.4 LSSD 联芯片自我测试(LOCST)	397
11.4.5 使用 MIS 和平行 SRSG * (STRMPS)的自我测试	395
11.4.6 并发 BIST 体系结构(XBIST)	400

11.4.7 具有边界扫描(CEBS)的集中式和嵌入式(BIST)体系结构	401
11.4.8 随机测试数据(RTD)	402
11.4.9 同时自我测试(SST)	402
11.4.10 循环分析测试系统(CATS)	404
11.4.11 循环自我测试路径(CSTP)	405
11.4.12 内部逻辑块观察(BILBO)	409
11.4.12.1 实例研究	417
11.4.13 总结	419
11.5 一些高级 BIST 概念	420
11.5.1 测试调度	421
11.5.2 BILBO 寄存器的控制	423
11.5.3 部分——侵入 BIST	426
第十二章: 逻辑级诊断	442
12.1 基本概念	442
12.2 故障字典	443
12.3 探针引导测试	448
12.4 采用 UUT 减少进行诊	453
12.5 组合电路的故障诊断	454
12.6 诊断专家系统	456
12.7 结果——原因分析	458
12.8 基于结构和行为的诊断推理	461
第十三章: 自我-故障设计	467
13.1 基本概念	467
13.2 错误检测和错误纠正代码的应用	468
13.3 多位错误	473
13.4 校验电路及自我校验	474
13.5 自我校验校验器	475
13.6 奇偶校验函数	476
13.7 完全自我校验 m/n 同等校验器	477
13.8 完全自我校验同等器	480
13.9 自我校验伯格码校验器	480
13.10 针对自我校验组合电路的通用理论	481
13.11 自我校验时序电路	482
第十四章: PAL 测试	487
14.1 引言	487
14.2 PLA 测试问题	488
14.2.1 故障模型	489
14.2.2 传统测试产生方法问题	490
14.3 PLAs 的测试产生算法	491

14.3.1 确定性测试产生	491
14.3.2 半随机测试产生	492
14.4 可测试 PLA 设计	493
14.4.1 具有特殊编码的并发可测试 PLAs	493
14.4.1.1 由一系列校验器检测的并发错误的 PLA	493
14.4.1.2 使用修改伯格码的并发可测试 PLA	494
14.4.2 奇偶校验可测试 PLAs	496
14.4.2.1 具有通用测试集的 PLA	496
14.4.2.2 独立可测试 PLAs	498
14.4.3 积累奇偶校验比较的内部自我可测试 PLA	498
14.4.3 可签名——可测试性 PLAs	500
14.4.3.1 多重签名析 PLA	500
14.4.3.2 具有单个签名分析器的自我可测试 PLAs	501
14.4.4 PLAs 的分割和测试	502
14.4.4.1 具 BILBOs 的 PLA	505
14.4.4.2 并行——可测试 PLAs	505
14.4.4.3 可测试性 PLA 设计的划分——占有策略	506
14.4.5 完全可测试方法 PLA 设计	507
14.5 PLA 测试方法的评价	509
14.5.1 TDMS 的变量	509
14.5.1.1 原始设计所得效果	509
14.5.1.2 测试环境的要求	510
14.5.2 PLA 测试技术的评价	510
第十五章: 系统级分析	522
15.1 系统诊断的简单模型	522
15.2 PMC 模型的一般化	526
15.2.1 系统诊断图的一般化	526
15.2.2 可能测试结果的一般化	528
15.2.3 诊断变量的一般化	529

序言

本书对数字系统的测试和可测试设计进行了全面的和详尽的论述。随着测试费用逐渐成为新产品制造成本的主要部分,这些课题变得越来越重要。今天,设计和测试不再是相互分离的问题了。现在十分强调安装后的产品的质量,且 VLSI 设计的复杂性逐渐增大,这就要求早在设计过程就要考虑测试问题,以便能够修改设计来简化测试过程。

本书可作为研究生使用的教科书、研究人员使用的全面的参考资料,也可作为对测试技术感兴趣的工程师使用的信息资料(芯片和系统设计者、测试工程师、CAD 开发者等)。为了满足广大读者的不同需要,本书(1)对基本概念给予全面的和透彻的介绍,同时详细地讨论该迅速变化领域的最新进展,(2)仅给出支持实际应用的理论资料,(3)对可测试设计技术进行广泛地讨论,(4)检验多种用来实现内部自测试和自检功能的线路结构。

第一章介绍用于测试的主要概念和基本术语。模型技术是第二章的主题,它讨论数字电路与系统的功能和结构模型。第三章介绍了使用逻辑模拟作为设计验证测试的工具,且描述了被编译的、事件驱动的模拟算法、延迟模型、和用于模拟的硬件加速器,第四章论述通过逻辑故障来描述物理故障,且解释故障检测、冗余和等价与控制的故障关系。本章详尽地分析最重要的故障模型—单个的固定故障模型。第五章介绍了故障模拟方法。首先介绍通用技术—串、并、演绎和并行的方法。接着再介绍专门用于组合电路的技术—并行模式单故障传播和关键路径追踪。最后,考虑近似方法,例如故障抽样和统计故障分析。

第六章提出用于单个固定故障的测试生成的问题。首先介绍了与大多数测试生成算法所共有的通用概念,例如,隐含式、敏化、调整、判定树、隐式枚举和回溯。然后详细地讨论几种算法—D-算法、9V-算法、PODEM、FAN 和关键路径测试生成、一和几种用在 TOPS、SOCRATES、RAPS、SMART、FAST 和带下标的 D—算法中的技术。其他的议题有随机测试生成、用于时序电路的测试生成、使用高级模型的测试生成、及测试生成系统。

第七章考虑由通常不相连的信号线间的短路而引起的搭接故障。虽然搭接故障是一个“非古典的”错误模型,但使用用于单个固定故障技术的简单扩充便可处理它们。第八章涉及功能测试且描述了试探法、使用二元判定图的技术、穷举和伪穷举调试,及用于微处理机的测试方法。

第九章介绍了用于可测试性技术的设计,它的目的在于通过修改一个设计来提高内部信号的可控性和可观察性,以简化测试过程。所分析的技术为一般的专门技术、扫描设计、插件和系统一级的方法、局部扫描和边界扫描(包括推荐的 JTAG/IEEE 1149.1 标准)。

第十章讨论压缩技术,它考虑测试之下线路反映的压缩表示。这里介绍的技术有单位计数、变换计数、部分检验、出错位组检验和特征分析(符号差分析)。由于特征分析具有广泛的应用,因而本章详细地讨论特征分析。压缩技术的主要应用是在以内部自测试为特征的线路方面,在这儿输入测试模式的生成和输出应答的压缩,这两者都可由嵌于测试之下的电路中的电路技术来完成。第十一章分析了许多内部自测试技术(CSBL、BEST、RTS、LOCST、STUMPS、CBIST、CEBS、RTD、SST、CATS、CSTP 和 BILBO);并且本章讨论了几个深一层的概念,例如测试调度和部分侵入内部自测试。

第十二章讨论逻辑级诊断。所讨论的题目包括故障位置中的基本概念、故障词典、引导

深测测试、诊断专家系统、结果分析及使用人工智能的推理方法。

第十三章介绍了自校验电路,在这儿用一个称为检查程序的分支电路来测试故障。自校验电路依赖于编码输入。首先回顾编码理论的基本概念,然后讨论特殊的编码—奇偶校验码、伯格码和剩余代码,同时也讨论了使用这些代码的检验程序的设计。

第十四章概括地介绍了可编程逻辑阵列(PLAS)的测试。首先它回顾了用于 PLAS 的故障模型和用于这些故障的外部测试的测试生成方法。然后它描述且比较了许多用于 PLAS 的内部自测试方法。

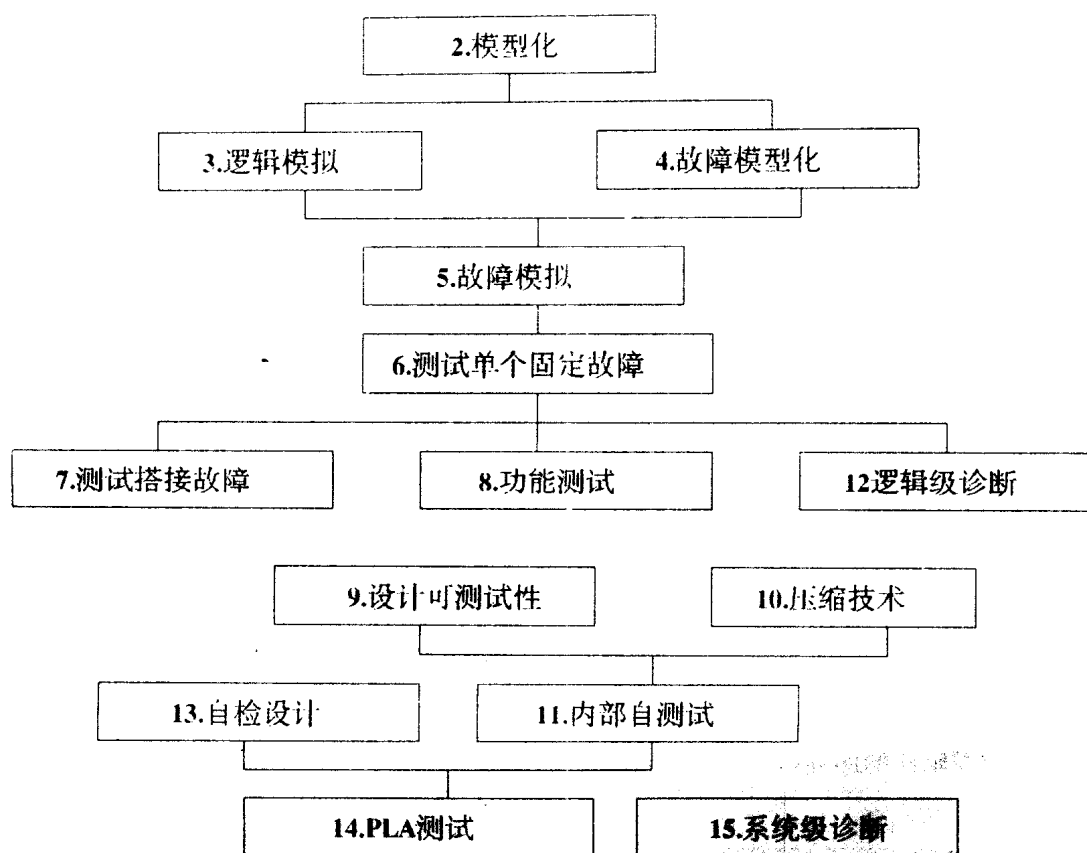
第十五章论述了由几个相互独立的处理部件(单元)生成的一个系统的测试与诊断问题,在这个系统中一个单元可以测试和诊断其它的单元。讨论的重点在于该系统的结构与能够达到的可诊断性的级数之间的关系。

课程安排

本书可作为计算机工程、电子工程或计算机科学专业的研究生的教课书。本书是能够被单独使用的,它广泛地讨论了本领域的多数议题,且由基本概念到先进的技术都给予了详尽的介绍。我们要求学生已修过逻辑设计、计算机科学和概率论这几方面的基础课程。大多数算法是以一种易于理解的格式,即伪代码的形式给出的。

本书是以逻辑顺序来组织议题的,大多数的章节依赖于前面章节的内容。下面的示图给出了章节之间最重要的次序关系。例如,故障模拟(5)需要对逻辑模拟(3)和故障模型(4)的理解。

本书的课程设计需要两个学期,且可以略过一些内容。对第一学期的课程,建议以较快的速度了解第 1 至第 6 章和第 9 章至第 11 章。讲师可以只讲大约一半的内容。这门“测试入门”课程应强调基本概念、算法和设计技术,且仅偶而地谈一下进一步的题目。在介绍性的课程中,应掠过或只需简单的讨论的题目是 Simulation Engines(模拟机制)(3.11 节)。



各章之间的优先顺序

第一章 引言

测试和诊断

测试是一项试验,在这个试验中运行该系统且分析它的结果应答,以判定该系统是否正确地运转。若测出不正确的运行行为,测试试验的第二个目标可能是诊断、或定位发现错误行为的原因。诊断假定了解测试下的系统的内部结构。这两个测试与诊断的概念具有广泛的应用范围。例如,考虑医学测试与诊断、汽车的驱动测试或调试一个计算机程序。

不同抽象级上的测试

本书的题目为数字系统的测试与诊断。“数字系统”表示一个复杂的数字电路。一个电路的复杂性与用有意义的方式来表示它的运转所需的抽象级有关。粗略地我们可用由电路处理的信息的类型来表示抽象级的特征(图 1.1)。虽然一个数字电路可认为处理模拟量,例如电压和电流,但是所涉及的最低的抽象级为逻辑级。在这一级上处理的信息用离散的逻辑值来表示。古典的表示法使用二值逻辑值(0 和 1)。然而,更精确的模型需要二个以上的逻辑值。在这一级上可进一步的划分,即组合电路与时序电路。组合电路的输出逻辑依赖于它的当前输入值,与组合电路不同,时序电路也能够记忆过去的值,因此它处理逻辑值的序列。

控制	数据	抽象级
逻辑值 (或逻辑值的序列)		逻辑级
逻辑值	字	寄存器级
指令	字	指令集级
程序	数据结构	处理机级
信息		系统级

图 1.1 由数字系统处理的信息中的抽象级

我们以处理逻辑值的方式考虑一个系统的运行,当它变得不易用无意义的 **and/or** 来处理时,便开始将一个电路作为一个系统了。通常我们认为一个系统由一个数据部件及其相互作用的控制部件组成。当控制操作仍以逻辑值的方式定义时,由数据部件处理的信息由字组成,这里字是一组(局量)逻辑值。由于数据字被存于寄存器中,这一级称为寄存器级。在下一个抽象级即指令集级,控制信息也作为字来进行组织,这些控制信息属于指令。一个系统,由一个指令集合来指示它的操作,这样的系统叫做指令集处理机。在更高一级的抽象级,即处理机级,可把一个数字系统看作指令或程序的处理序列,它在一块数据即数据结构之上进行操作。对一个系统的另一种看法(不一定为更高的抽象级)是将一个系统看作由几个子系统或几个单位部件组成,这些子系统通过称为消息的字块进行通讯;这一抽象级通常被称为系统级。

通常,激励与应答定义一个测试试验与由测试之下的该系统处理信息类型相一致。因此,测试是一个普通的术语,它广泛地概括了不同的活动与环境,例如

- 通过发送或接收消息,一个或多个子系统测试另一个子系统;
- 通过执行诊断程序,一个处理机测试它本身;
- 自动测试设备通过应用与观察二进制模式来检测电路。

本书中,将不涉及参数测试,即不处理电路中诸如阈电压和偏压、漏泄电流等等这样的电子特性。

错误与故障

正在被测试的系统(或用 UUT 来代表测试之下的部件)的不正确的操作便称为一个(被观察到用)错误。错误的概念具有不同层次的含义。例如,在诊断程序一级上观察到的错误可能表现为一个算术运算的不正确的结果,而对于 ATE,在一个错误通常意味着一个不正确的二进制值。

被观察到的错误的原因可能是设计错误、制造错误、制造缺陷和物理故障。

设计错误的实例是

- 不完全或不一致的技术要求;
- 设计的不同层次间不正确的变换;
- 违反设计规则。

制造过程中出现的错误包括

- 错误的元件;
- 不正确的接线;
- 由不适当的焊接而引起的短路。

制造缺陷不能直接地归结于一个人的错误;它是由不完善的制造过程而引起的。例如,在制造 MOS 大规模集成电路中,断路和短路是普遍的缺陷。其它的制造缺陷包括外形涂漆不适当、掩膜对齐错误和蹩脚的封装。确定制造缺陷的精确位置在提高制造产量中是很重要的。

一个系统的生存周期期间出现的物理错误归结于被磨损的元件和/或环境因素。例如,IC 包中的铝接点随着时间推移变得越来越薄,且由于电子移动或侵蚀而损坏。例如温度、湿度和风这些环境因素可加速元件的老化。宇宙辐射和 α 粒子诱发含有高密度的随机存取存储器 (RAM) 的芯片出现故障。一些称为早期错误的物理故障在制造完成之后不久便出现了。

制造错误、制造缺陷和物理错误合起来被称为物理故障。根据这些故障的稳定性,可将它们划分为

- 永久性故障,发生错误之后,该错误便总是出现;
- 间歇故障 仅偶而出现一次
- 瞬时故障 由一些环境因素中的暂时变化而引起的一次性故障。

通常,物理故障不允许直接地进行测试与诊断的数学处理。这种方法用于处理逻辑故障,逻辑故障是系统运行的物理故障出现的影响的方便的表示。通过观测一个故障引起的错误来测试它。我们将逻辑故障的本质称为故障模型。最广泛地使用的错误模型是永远地固定在一个逻辑上的单线故障模型。第四章的题目是故障模型化。

模型化和模拟

由于设计错误位于系统的制造之前,因而可以通过一个测试试验来完成设计修正测试,该试

验使用一个被设计系统的模型。在这里的上下文中,“模型”的意思是以数据结构和/或程序的方式来表示一个数字计算机。用一种输入信号的表示方法来模拟它,这样便可测试此模型。这个过程被称为逻辑模拟(也被叫做设计修正模拟或真值模拟)。逻辑模拟对应于所给的输入序列决定该模型中某时刻的信号输出。在第二章和第三章中将讨论模型化的范围和逻辑模拟。

测试评价

测试中的一个重要问题是测试评价,它指的是确定一个测试的效果或质量。通常在故障模型的上下文中完成测试评价,且通过使用测到的故障与设想的故障总体中总的故障数目之比来衡量一个测试的质量;这个比率被称为故障复盖范围。测试评价(或测试分级)通过一个被称为故障模拟的模拟测试来完成,它在被评价的测试系统具有故障的情况下,计算电路的应答。

测试的类型

可根据不同的标准为测试方法分类。图 1.2 概括了测试方法的最重要的特征和相应的术语。

标准	测试方法的特征	术语
何时进行测试?	- 与正常的系统操作并行 - 作为一个单独的活动	联机测试、并行测试 脱机测试
激励的发送点在何处?	- 在系统内部 - 由一个外部的装置提供(测试机)	自测试 外部测试
测试什么错误?	- 设计错误 - 制造错误 - 制造缺陷 - 早期物理失效	设计修正测试 验收测试 老化 质量保证测试 现场测试 维护测试
被测的物理实体是什么	- 物理失效 - IC (识别码) - 插件板 - 系统	元件级测试 插件板级测试 系统级测试
如何产生激励和/或期待答应?	- 由存储器中取出 - 测试期间生成	存储型测试
如何提供激励?	以一个固定的(预定的)顺序	算法测试、比较测试
提供激励的速度如何	- 依赖于目前获得的结果 - 比正常的运行速度慢得多 - 以正常的运行速度	自适应测试 DCC 静态测试 AC 测试、常速测试
观察到的结果的什么	- 整个的输出模式 - 输出模式的几个操作	压缩测试
为了测试可访问哪些线路?	- 仅可访问 I/O 线路 - I/O 和内部线路	边缘管脚测试 引导探测测试