

intel. 单板计算机系统手册之一

# MULTIBUS II 和 iSBX 总线产品数据手册· 应用说明·开发工具

Intel 公司 著 曹德明 王琪 张正兴 等译 胡传国 审校



上海科学普及出版社

# 第三部分

**Multibus II I/O**

**产品**

# Multibus II I/O 产品系列

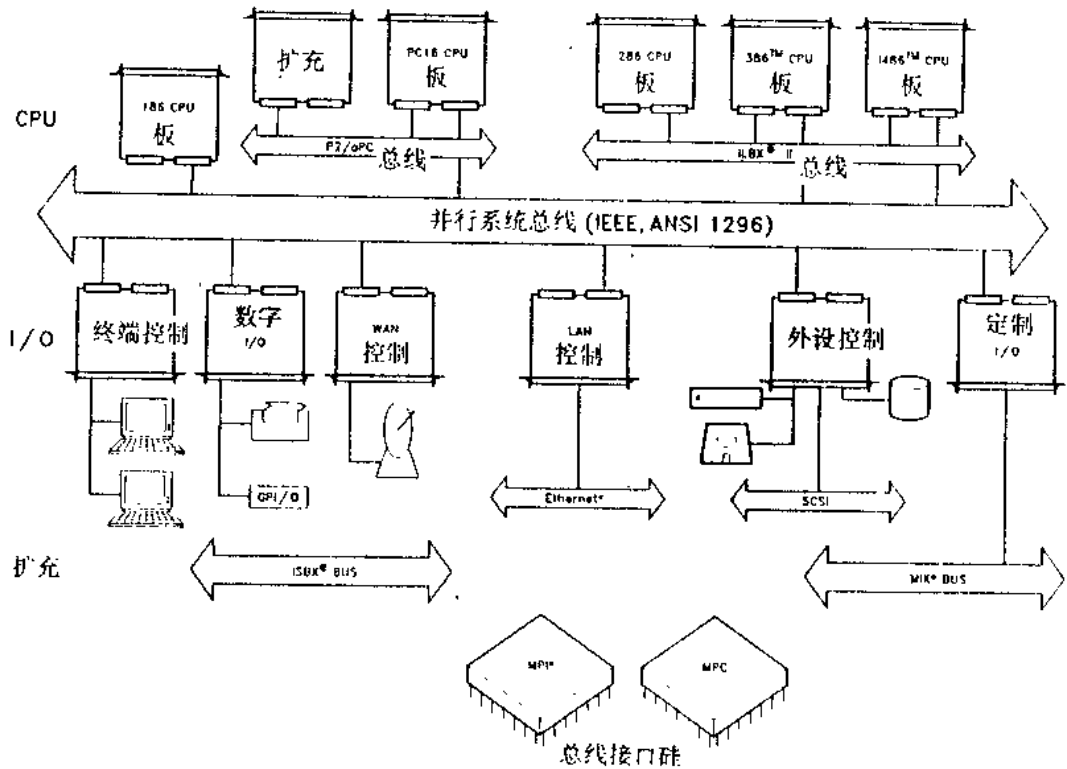


图 0-1

广泛的 Intel Multibus II I/O 产品的设计能帮助你容易地完成你的应用。这些板包括大量的标准 I/O 产品，如终端控制器，广域网络控制器，以太网控制器，SCSI 外围控制器和数字 I/O 板。Intel 还为设计专用 I/O 板提供了开发方式的选择。现在你可以基于 Multibus II 外设接口 (MPI) 硅片设计低价的、非智能化 I/O 板，或者也可以基于模块接口扩展 (MIX) 结构，快速方便地设计出高性能的、采用 386™ CPU 的 I/O 板。下面就说明这些产品。

# Multibus II I/O 开发产品

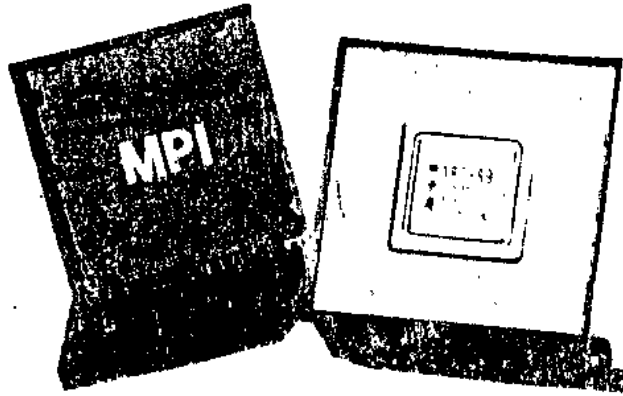


图 0-1

# 目 录

<b>第一章 Multibus II 硅片产品</b> .....	3-4
1.1 MPI—Multibus II 外设接口 .....	3-4
1.2 82389—Multibus II 信息传送协处理器 .....	3-7
<b>第二章 MIX 的体系结构</b> .....	3-10
2.1 用于建立特制的 Multibus II I/O 实现的 MIX 高性能体系结构 .....	3-10
2.2 体系结构特性 .....	3-10
<b>第三章 MIX I/O 平台系列</b> .....	3-14
3.1 用于建立智能化 Multibus II I/O 实现方法的基于 i386™ 和 i486™ CPU 的核心部分 .....	3-14
3.2 MIX 母板特性 .....	3-14
3.3 用于开发 MIX I/O 模块的工具 .....	3-18
<b>第四章 固件开发软件包</b> .....	3-21
4.1 固件开发软件包 .....	3-21
4.2 固件开发软件包特性 .....	3-21
<b>第五章 Multibus II 桥硅产品</b> .....	3-24
5.1 VIM / 001: 用于 Multibus II 接口模块的 VMEbus .....	3-24

# 第一章 Multibus II 硅片产品

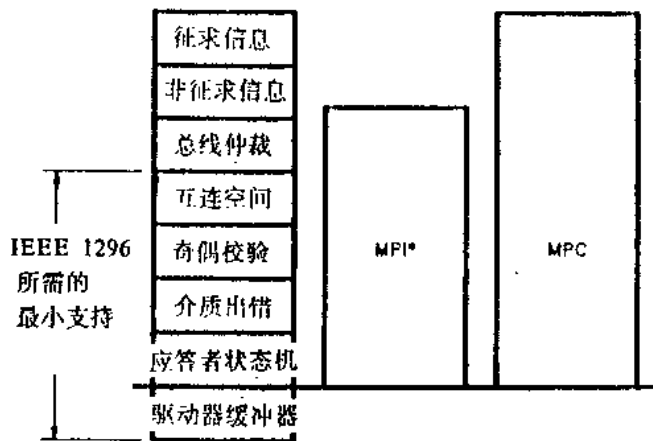


图 1-1 MPI 和 MPC 能力比较

Intel 的 Multibus II 总线接口器件产品系列是用来帮助设计者将应用模块与 Multibus II 并行系统总线 (PSB) 连接。IEEE / ANSI 1296 规范定义了一套由中央总线时钟定时的同步状态机。遵守这类规范是简单的，而且证明是正确的。这种结构上的约束导致了所有厂商 Multibus II 产品之间的兼容性。Intel 用 82389 信息传送协处理器 (MPC) 器件提供了 IEEE / ANSI 1296 状态机的硅片实现，从而提供了面向智能板产品的高性能接口。Multibus II 外设接口 (MPI) 省略了 MPC 的块数据传送能力，因而是一种非智能的低价板产品。

Multibus II 外设接口 (MPI) 是为非智能化 I/O 应用提供 PSB 接口的 Multibus II 总线接口器件。MPI 是在 I/O 和互连空间中的应答者，而且可以由少量的附加逻辑实现。像中断那样，MPI 支持具有发送和接收非征求信息（没有数据）能力的 Multibus II 结构的标准信号发送方法。对于使用 MPI 的应用来说，不需在板 CPU 微控制器（如 8751）。互连空间可以使用单个 PAL 或 PROM 实现。

82389 信息传送协处理器 (MPC) 是较早用于智能应用的 Multibus II 总线接口器件。它为 PSB 提供了一个完整的、功能齐全的接口，包括仲裁、双端口存储器识别及 Multibus II 结构的标准信号发送和数据传送方法。MPC 部件需要一个 8751 型微控制器器件的支持，而对高性能数据传送来说建议储用 DMA 器件。在与 iSBC<sup>®</sup> CSM / 002 模块或附加的在板逻辑连接时，MPC 提供了完整的中央服务模块，以支持 0 槽口系统位置上使用。

## 1.1 MPI—Multibus II 外设接口



图 1-2

Multibus II 外设接口、MPI 是单芯片“只应答”并行系统总线接口器件，MPI 实现了 IEEE / ANSI 1296 应答状态机，见图 1-3，只需适当监控并生成所有出错条件。

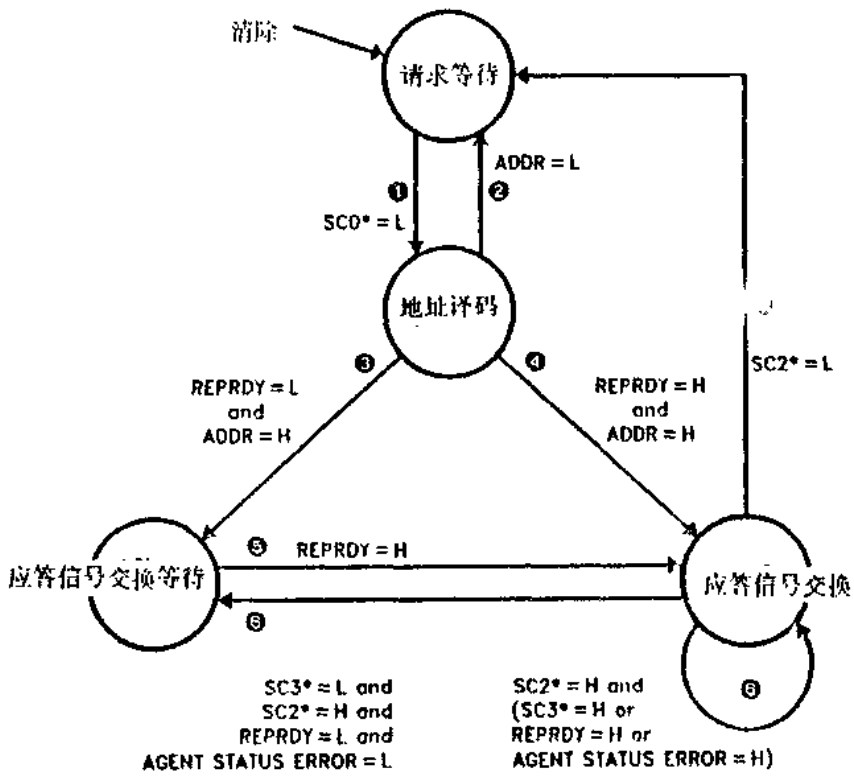


图 1-3 应答事件流程图 (引自 IEEE / ANSI 1296 规范)

### 1.1.1 特性

- I/O 空间中的应答器
- 每块板上有 2KB 地址
- 8/16 位总线数据宽的介质
- 无 CPU 需要的应用
- 无微控制器需要的支持
- 最多支持 8 个局部中断源
- 发送/接收广播式信息
- 发送/接收非征求信息 (没有数据)
- 完整的仲裁协议
- 支持公正的和高优先级方式
- 遵循 ANSI/IEEE 1296
- 124 针塑料 PGA 封装

## 1.1.2 说明

MPI 部件是 16 位集成的 CMOS 接口部件, 遵循 IEEE/ANSI 1296 标准, 且与使用 82389 信息传送协处理器的其它板级产品兼容。像 IEEE 规范定义那样, 它在 I/O 空间支持数据传送。它尤其适合于低成本、非智能化 I/O 板的设计。由于 MPI 部件采用了所有接口逻辑 (除了 5 个强电流缓冲驱动器), 因此可简化加速 I/O 板设计。局部接口的设计是为了给 I/O 板部件提供简单的接口, MPI 还包含配置寄存器, 这些寄存器可通过 PSB 进行编程以适应多种应用。

### 1.1.2.1 互连空间

MPI 部件支持 IEEE/ANSI 1296 应允的互连空间, 它的寄存器只能通过并行系统总线访问, MPI 包含支持外部的局部存储器件或 PAL 的接口逻辑, 从而实现大多数互连寄存器。寄存器 34 到 38 在 MPI 内部。

### 1.1.2.2 I/O 空间

MPI 部件能使 I/O 板用作 I/O 空间的应答器 (见图 1-2), 板地址空间可通过互连空间进行编程。互连空间允许多块基于 MPI 的板子用于无跨接器的 Multibus II 系统。局部 I/O 数据总线宽度可以是 8 或 16 位, 多路复用总线上可提供局部 I/O 所需的地址和数据。

### 1.1.2.3 信息空间

MPI 部件能使 I/O 板在标准或广播传送方式下, 接收和发送没有数据的中断信息 (数据传送在 I/O 空间中执行) 包最多 8 个中断可以向 PSB 产生一个中断包。可将最高



优先中断等级编码这个中断包。MPI 完全控制 PSB 总线的访问仲裁过程和中断包传送。MPI 可以从 PSB 接收中断包并利用它们产生一个局部中断信号。

MPI 接口在需要时能支持奇偶校验信号并且有能力处理总线上出现的所有出错信号。

### 1.1.3 MPI 规格

电源电压: 0~5V

操作温度: 0~70℃

存储温度: -65~+150℃

$V_{cc} = 5.0 \pm 10\% V$

## 1.2 82389—Multibus II 信息传送协处理器



图 1-4

82389 MPC 是高集成度的 VLSI CMOS 器件，它极大地提高了基于 Multibus II 的多处理器系统的性能。像 IEEE / ANSI 标准 1296 所定义的那样，MPC 实现了完全信息传送协议和 PSB 总线接口控制功能（仲裁，传送和异常循环协议）。

82389 MPC 的设计可与 32 位、16 位和 8 位处理器连接，它支持 PSB 上的信息传送、互连空间、存储器和 I/O 引用。除此之外，82389 MPC 部件的设计，简化了与信息传送通信协议共存的双端口存储器功能的实现。

### 1.2.1 MPC 特征

- 并行系统总线上的单片接口
- 1.0 $\mu\text{m}$  CMOS 技术
- 149 针陶瓷 PGA 封装 (15 $\times$ 15 栅格)
- 最佳的实时响应 (对 32 字节中断包，最大 900ns)
- 与并行系统总线连接的处理器独立接口

- 支持双端口与信息传送通信协议共存
- 双缓冲器输入和输出 DMA 能力

## 1.2.2 MPC 82389 接口

MPC 三个主要接口 (PSB, 接口主机, CPU 接口和互连接口) 的所有功能相互异步。这是通过内部锁存器和 FIFO 实现的。FIFO 可允许在所有接口上同时发生访问, 除了这三个主要的接口之外, MPC 还含有一个双端口接口, 提供了与共享存储系统设备和软件的兼容性。

### 1.2.2.1 PSB 接口

PSB 接口是 Multibus II 系统中同步通信通路, PSB 与 Multibus II 底盘上的其它板子接口是全 32 位的, PSB 接口支持 PSB 仲裁, 数据传送和错误处理。

### 1.2.2.2 主 CPU 接口

主 CPU 接口是一组具有寻址能力的寄存器和端口, 该接口是供 Multibus II 板上局部微处理器用的未用通路, 主 CPU 接口将一个 32 位、16 位和 8 位处理器与 MPC 相连接, 主 CPU 接口支持对 PSB 上的存储器、I/O 和互连寻址空间的直接访问, 主 CPU 接口同样地支持 DMA 操作, Multibus II PSB 和 MPC 被规定是不依赖于处理器。

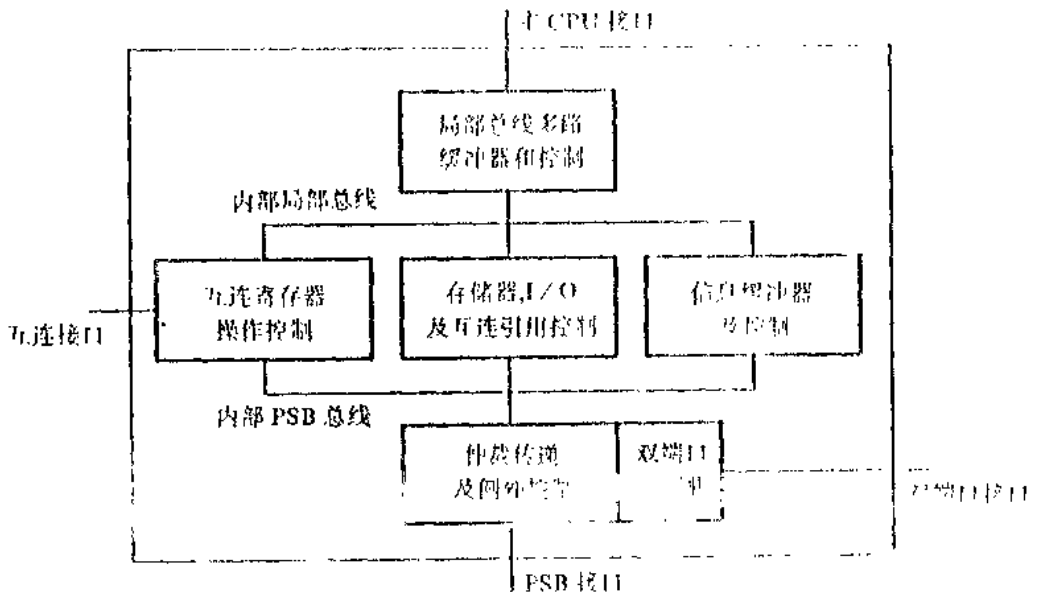


图 1-5 MPC 总线接口

### 1.2.2.3 互连接口

互连接口为独立于主 CPU 的附加板功能提供了通路，互连接口是 8 位的通信接口，它需要 MPC 与一个微控制器或一个简单的状态机相连，微控制器将执行诸如启动时的插件配置和局部诊断任务，所有的互连总线信号都和总线时钟和局部总线信号异步。

一个介质的互连空间只要求按 IEEE / ANSI 1296 规格所规定的总线空间，并具有 512 字节的寄存器范围。

### 1.2.2.4 双端口接口

双端口接口支持 PSB 介质之间的共享存储器访问，MPC 包含可编程的地址识别器和 PSB 周期控制，为了完全实现双端口存储器，需要一些附加的双端口存储器控制逻辑。

## 1.2.3 主要 MPC 操作

MPC 能使 Multibus II 系统中多智能化介质之间的信号发送和数据传送标准化。传统的存储器和 I/O 地址空间不足以完成这项标准化任务，因此增加了一个新的地址空间，称为信息空间。信息空间中的信息移动称为信息传送。MPC 支持两种类型的信息：征求信息和非征求信息。征求信息用于传送大量的数据，在单个征求信息传送序列中最多可以传送的数据 16MB（至少一个字节）。征求信息传送要求接收介质明确地分配一个缓冲区，数据由 MPC 分组并重新结构化，以优化 PSB 利用率并保持确定的性能，发送与接收介质之间的缓冲器流通是引用非征求信息处理的。

非征求信息最短的、具有固定长度的信息，它可能出乎意料地到达。非征求信息的传送，不需要明确的缓冲器分配，也不需要 PSB 上发送和接收介质的协同操作。非征求信息通常被称为智能中断或虚拟中断，因为它们用作插件间的信号发生机制，替代了传统系统（硬件）中断并使 CPU 摆脱对信息的获取，除产生中断之外，非征求信息允许多达 28 字节的用户数据。

### 1.2.3.1 MPC 规格

操作温度	0~+70℃
存放温度	-65~+150℃
任意引脚上的电压	0.5~V <sub>cc</sub> +0.5V
功耗	2.5W

直流和交流规格说明在 82389 信息传送协处理数据中。

## 第二章 MIX 的体系结构

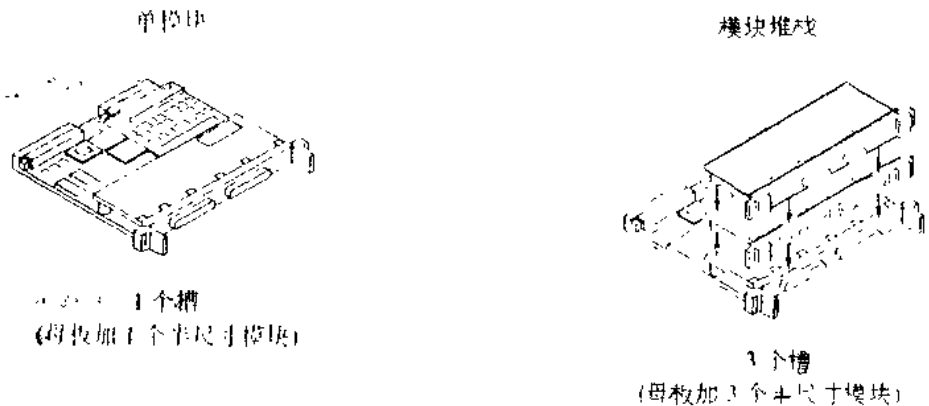


图 2-1

### 2.1 用于建立特制的Multibus II I/O实现的MIX高性能体系结构

Intel 的模块接口扩充 (MIX) 体系结构, 提供设计用于高性能在板 I/O 扩充的 32 位异步总线技术, 它为 386 微处理器家族和 Multibus II 系统体系结构进行优化, MIX 总线使用 130 接触点的表面安装连接器来实现, 并支持由 1 个到 3 个 MIX I/O 模块的叠加。对 MIX 总线的 I/O 模块接口是开放的, 具有来自 Intel 的用于 MIX I/O 模块开发和实现的规格说明和文本。

MIX 体系结构使系统设计者, 能在 I/O 性能层次和 I/O 功能数和类型之间求得均衡。使用 MIX 模块, 可实现许多 I/O 方案: 从单模块单槽高性能 I/O 控制器到三模块三槽 I/O 服务器子系统。现在系统设计人员可选择 I/O 和 CPU 的正确组合, 从而有效地管理系统 I/O。

### 2.2 体系结构特性

- 与 Multibus II (IEEE/ANSI 1296) 系统体系结构 (MSA) 的全兼容性
- 支持在基板上多达 3 个 MIX 模块的重叠, 这三个模块中有一个模块可以是全尺寸的, 带有单个半尺寸的 MIX 模块的 MIX 基板适用于单个 Multibus II 卡插槽。
- MIX 总线数据宽度为 32、16 或 8 位。
- 把 I/O SBC 体系结构划分成 CPU 和 Multibus II 核心和 I/O 模块。
- 用于支持主控或从属 MIX I/O 模块的多个主板总线拥有权。
- 支持具有动态内装自测试 (NIST) 和互连能力的类似或非类似 MIX 模块的叠加。
- 用于建立 MIX I/O 模块的完整的文本。

## 2.2.1 Multibus II 兼容性

MIX 体系结构加入一子系统总线技术为高性能 I/O 提供一条途径，并把一高性能 I/O 服务器子系统能力引入 Multibus II 体系结构。

## 2.2.2 CPU 从 I/O 中的物理解耦

MIX 使用基板加上模块的方法从模块的 I/O 技术中解耦出基板的 CPU 技术。这种解耦对 I/O 设计有两个益处。第一，它使得 CPU 和 I/O 技术独立地发展，因此新的技术能更方便地应用到系统设计中。其次，它允许基板通过增加或减少 I/O 模块来改变自己的特点。这就在保持软件投入的同时提供 I/O 的灵活性。

## 2.2.3 通过高性能的总线接口连接 CPU 和 I/O

体系结构提供高性能的总线接口用于 CPU 母板和 I/O 模块的耦合。MIX 体系结构和总线接口的组件包括：

### 1) 信号集

MIX 总线由 130 个信号、电源和接地连接组成。共有两类信号：专用和公用的。专用信号属于在 MIX 组块中的专用模块，而公用信号则由所有模块共享。

### 2) 寻址能力

MIX 总线支持 386 微处理器和其它兼容微处理器的全 4GB 物理寻址能力。

### 3) 数据通道

MIX 在 MIX 模块上支持 8、16 和 32 位物理数据通道，MIX 母板数据通道为 32 位。

### 4) MIX 总线传输

该母板在 MIX 总线上能执行存储、I/O 和 DMA 传输。该母板还能执行由总线引导的中断传输周期。总线主控模块能够使用母板存储器执行存储传输。

### 5) 仲裁

MIX 总线在母板和主控模块间使用简单的循环仲裁机制来保证所有模块和母板具有对共享母板存储器的保证访问时间和共享存储器带宽的某一百分比。

### 6) 中断

每个 MIX 模块上具有一条专用的中断线路。每个模块还具有一条能用作中断线路的可选线路。

### 7) DMA

MIX 总线支持在模块和母板存储器间的 DMA 传输。提供支持的有单周期和双周期 DMA 两种。

### 8) 配置支持

MIX 配置支持设计成与 Multibus II 互连空间体系结构相兼容。MIX 模块被并行系统总线上的介质看作是母板功能。母板微控制器读出存在 MIX 组块中每个模

块的 EEPROM 中，用互连信息在母板互连空间中建立功能记录。

#### 9) 内装自测试 (NIST) 支持

MIX 提供一种功能，使得驻留在模块 EPROM 中的 BIST 代码可以卸下，并作为母板 BIST 的一个扩充来执行。

### 2.2.4 用于 I/O 模块开发的开放接口

MIX 为建立 Multibus II I/O 实现方法提供一出色的平台。Intel 备有可供使用的完整成套的手册、设计技术规格和用于建立 MIX I/O 模块的设计实例。

### 2.2.5 MIX 总线接口技术规格

#### 1) 总线

总线类型:	异步
理论带宽:	双 MB/s
一般带宽:	10MB/s
总线开销:	7% × change / Refersh
中断来源:	任意模块
总线向量支持:	有
仲裁机制:	公平 (循环)
模块最大数:	3 (主技或从属)
总线保持期限:	8μs (一般)
特征位字节支持:	有

#### 2) 线路

总共 130 条信号、电源和接地线:

数目	功能组
37	地址
32	数据
7	传输控制
6	仲裁
3	中断
6	DMA
3	可选
7	配置
9	DC: +5V
13	GND
2	DC: +12V
2	DC: -12V
3	保留

3) 母板寻址范围

存储器 4GB  
I/O 64KB

4) 模块寻址范围

存储器 256MB  
I/O 1KB

5) 数据通道

8、16 和 32 位

6) MIX 连接器

连接器类型: 表面安装  
连接器垫片: 130

7) MIX 扩充模块

半尺寸:

宽: 8.9 英寸  
长: 3.75 英寸  
面积: 33 英寸<sup>2</sup>

全尺寸:

宽: 8.9 英寸  
长: 7.9 英寸  
面积: 70 英寸<sup>2</sup>

最大配置: 1 块母板  
3 个模块

8) MIX 总线电源限制

电压 (DC)	总电流 (A)	
	半尺寸	全尺寸
+ 5V (+5%, -2%)	9.0	9.0
+12V (+5%, -15%)	1.5	2.0
-12V (+5%, -5%)	1.5	2.0

9) 模块电源限制

一般电压 (DC)	每块最大电流 (A)	
	半尺寸	全尺寸
+5V	3.0	9.0
+12V	0.5	2.0
-12V	0.5	2.0

热量限制 (所有资源):

每模块最大 20W (半尺寸)

最大 70W (全尺寸)

## 第三章 MIX I/O 平台系列

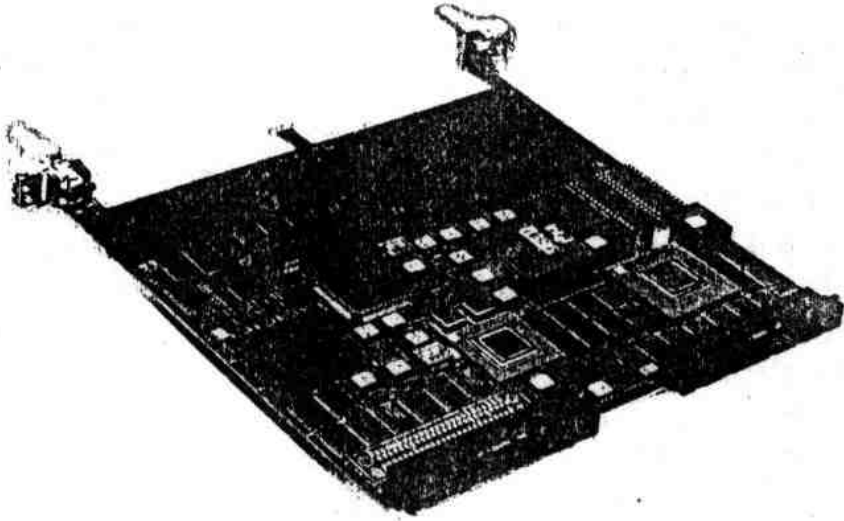


图 3-1

### 3.1 用于建立智能化Multibus II I/O实现方法的基于 i386<sup>TM</sup> 和 i486<sup>TM</sup> CPU 的核心部分

Intel 模块接口扩充 (MIX) I/O 平台系列提供 i386 或 i486 微处理器核心部分、硬件开发工具和建立用于 Multibus II 系统的高性能客户 I/O 实现方法所需的文本。

MIX 母板组合了一个 32 位微处理器、高级的直接存储器访问 (ADMA) 控制器和消息传递协处理器 (MPC)，为支持 I/O 处理提供特别强大的功能。另外，母板具有高达 64MB 的 DRAM 扩充，能提供足够存储容量来容纳大量 I/O 软件的在板执行。除了该 MIX 接口的 I/O 扩充能力，还具有多种高性能的应付 I/O 处理的机制。

有三种可用的不同模型。MIX 386/020 的特性是一个 20MHz、i386CPU、1MB 在板可扩充存储器和支持半尺寸的 MIX 模块。MIX 386/02A 和 MIX 486/02A 母板的特性分别为 i386 和 i486 CPU，都支持全尺寸和半尺寸 MIX 模块和包括 4MB 可扩充的在板存储器。

### 3.2 MIX 母板特性

- 以 20MHz 运行的 i386 或 i486 微处理器。
- 1MB (1020) 或 4MB (1020A) 在板快速页面模式的具有奇偶校验的 DRAM。
- 存储器可扩充到附加的 16MB (1020) 或 64MB (1020A) 快速页面模式的具有奇偶校验的 DRAM。
- 用于处理母板 DRAM 和 MPC 间以及母板 DRAM 和 MIX 模块间数据传输的



82258 ADMA.

- 387<sup>TM</sup>数学协处理器支持具有用于MIX 386/020和MIX 386/020A母板的可选的iSBC 387MX25数学扩充模块。
- Multibus II系统体系结构兼容的固件包括内嵌自测试(BIST)代码用于母板,加上为相配接的MIX模块卸下和执行BIST代码。
- 386/020母板能支持多达3块半尺寸MIX模块。
- 386/020A和486/020A母板能支持多达3块MIX模块,其中一块可以是全尺寸模块。

### 3.2.1 i386<sup>TM</sup>和i486<sup>TM</sup>微处理器核心部分

MIX母板从以20MHz运行的i386和i486微处理器中获得其I/O处理功能。

该微处理器的保护虚拟寻址模型(PVAM)提供具有全4GB寻址能力的MIX母板,顶部1GB用于母板EPROM和MIX模块存储器访问,下面的3GB在母板DRAM和并行系统总线访问间进行划分,PVAM操作也提供对代码保护、虚拟存储和分页机制的支持。

另外,微处理器具有自测试功能,它用于该板的上电时BIST测试,此功能可通过某个板跳接选择来取消。

### 3.2.2 从1到68MB存储器

母板的DRAM部分由一个异步快速页面类型DRAM控制器、寻址多路转换器、具有奇偶测试和产生的数据产生器、母板DRAM和使用MM××接口的DRAM扩充。

MIX 386/020设计用于接收一个或两个MM××DRAM模块,总共有17MBDRAM存储器可由两个iSBC MM08FP存储器模块的安装来获得。

提供给MIX 386/020A和MIX 486/020A母板4MB的母板存储器,还能接收两个MM××DRAM模块,使用MM32FP存储器模块时最大的总存储器容量是68MB。

母板DRAM(在板和在MM××模块上)对于在MIX总线上的总线主控模块可直接访问,字节奇偶保护用于在该板上的DRAM错误检查,传送器为存储器写周期产生奇偶和为存储器读周期检查奇偶。

母板的CPU块要求快速页面模式DRAMS,它通过微处理器为代码预取提供零等待状态性能,并为所有其它的DRAM访问提供零等待状态性能。

### 3.2.3 用于快速存储器传输的ADMA

MIX母板使用以8MHz运行的82258ADMA(020A模块为12MHz),用于32位的DMA地址产生器(DAG)门阵列、4GB寻址和快速页面方式的DRAM负责控制逻辑线路,用于处理母板DRAM和MPC及MIX模块间的高速数据传输。

82258ADMA为DMA服务提供四个独立的通道,两个通道用于为MIX组块服