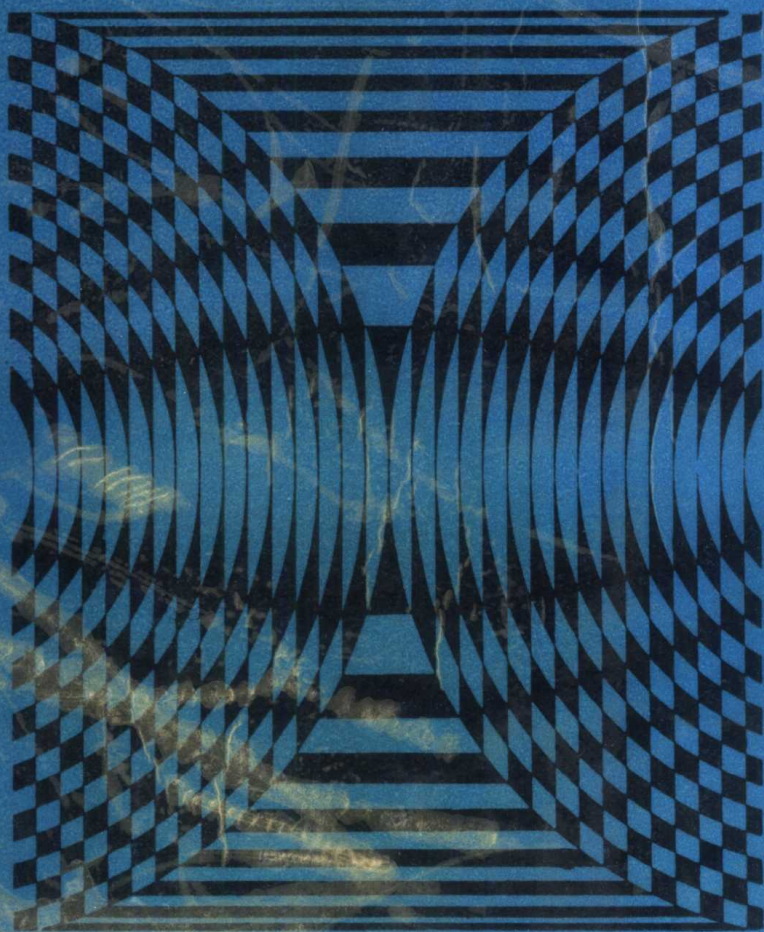


386 微机系统结构 与逻辑组成原理

张集祥 编译



陕西电子编辑部

386 微 机 系 统 结 构 与 逻 辑 组 成 原 理

陕 西 电 子 编 辑 部

责任编辑：董振兰
封面设计：傅化群

陕西电子编辑部

地址：西安市西五路 16 副 5 号

邮编：710004

电话：794344

电挂：7795

陕西省内部图书准印证：

陕新出批(1991年)字第 0024 号

前 言

近年来 386 高性能微型计算机发展迅速, 国内已普遍推广使用, 为了配合广大科技工作者进行科研、维修和应用开发, 作者在阅读大量资料和整理讲稿的基础上, 译、编了这本书, 本书从多种型号的 386 高档微型计算机系统中, 选择了以硬件组成技术先进的 386CPU 芯片, 配以七片 CHIPS set 系列芯片组成的 386 计算机系统为例; 在系统、详尽地介绍了各种芯片的内部逻辑结构, 信号与时序关系的基础上, 阐述了 386 计算机系统的体系结构, 及其逻辑组成, 使读者能够深入、详细地掌握 32 位高性能 386 微型计算机硬件组成的内部原理, 本书可供计算机专业的工程技术人员、教师、研究生使用, 是 386 计算机系统维护人员的工具, 也可作为应用 386 计算机人员的参考资料。

全书共分十三章, 第一章至第十二章由张集祥同志译编; 第十三章由肖雄兵同志翻译。

深圳南方信息有限公司、深圳超群科技有限公司在参考资料、计算机系统方面给予很大帮助, 张忠智同志对该书的出版给予很大支持, 在此, 表示衷心感谢!

作者 张集祥

一九九一年元月十日

0758/98

目 录

第一章 80386 32 位微型计算机系统概述

- 1.1 80386 微处理机 (1)
- 1.2 浮点协处理器 (2)
- 1.3 组成系统的外围控制电路 (2)
- 1.4 386 微型计算机系统中央处理机简介 (3)

第二章 INTEL 80386 的主要性能

- 2.1 80386 芯片内部结构和逻辑功能 (10)
 - 2.1.1 总线接口部件 (11)
 - 2.1.2 指令预取部件 (11)
 - 2.1.3 指令译码部件 (11)
 - 2.1.4 执行部件 (14)
 - 2.1.5 分段部件 (14)
 - 2.1.6 页面部件 (14)
- 2.2 80386 微处理机支持的数据类型 (15)
- 2.3 80386 寄存器结构 (17)
 - 2.3.1 通用寄存器 (17)
 - 2.3.2 段寄存器 (18)
 - 2.3.3 段描述符寄存器 (18)
 - 2.3.4 状态和控制寄存器 (19)
 - 2.3.5 系统地址寄存器 (21)
 - 2.3.6 调试寄存器 (21)
 - 2.3.7 测试寄存器 (22)
- 2.4 80386 寻址方式 (22)
 - 2.4.1 80386 的几种寻址方式 (23)
 - 2.4.2 基地址位移量 (27)
 - 2.4.3 位和位串的操作 (28)
 - 2.4.4 16 位地址和 32 位地址的区别 (30)
- 2.5 80386 设计中的一些特点 (30)

第三章 80386 的指令系统

- 3.1 数据传送类指令 (32)
 - 3.1.1 通用指令 (32)
 - 3.1.2 输入/输出指令 (37)
 - 3.1.3 地址目的传送 (39)
 - 3.1.4 标志传送 (40)

3.2 算术运算指令	(40)
3.2.1 加法指令	(40)
3.2.2 减法指令	(43)
3.2.3 乘法指令	(47)
3.2.4 除法指令	(48)
3.3 逻辑运算指令	(51)
3.3.1 逻辑“非”	(51)
3.3.2 逻辑“与”	(52)
3.3.3 逻辑“或”	(52)
3.3.4 逻辑“异或”	(53)
3.3.5 检测、逻辑比较指令	(53)
3.4 串操作指令	(54)
3.4.1 字节或字串的传送	(54)
3.4.2 从端口输入字串	(54)
3.4.3 向端口输出字串	(55)
3.4.4 串操作数的比较	(56)
3.4.5 装入字节或字串	(56)
3.4.6 比较字符串数据	(57)
3.4.7 存字符串数据	(58)
3.4.8 重复串操作	(58)
3.5 移位环移指令	(59)
3.5.1 移位指令	(59)
3.5.2 环移指令	(60)
3.6 控制转移指令	(61)
3.6.1 条件转移	(61)
3.6.2 无条件转移	(62)
3.6.3 重复控制	(65)
3.6.4 中断指令	(66)
3.7 标志指令	(67)
3.7.1 标志指令	(67)
3.7.2 外部同步指令	(69)
3.7.3 空操作	(71)
3.7.4 执行环境控制	(71)
3.7.5 保护控制	(72)
3.8 高级指令	(76)
3.8.1 按界检查数组下标	(76)
3.8.2 为过程参数产生堆栈页框	(76)
3.8.3 高级过程退出	(77)
3.9 80386新增加的指令	(77)

3.9.1	位串插入	(77)
3.9.2	析取位串	(78)
3.9.3	根据条件置字节	(78)
3.9.4	向前/向后位扫描	(79)
3.9.5	位的测试/置1/清0/求补	(80)
3.9.6	双精度移位指令	(81)
3.9.7	控制寄存器的装入和存储	(81)
3.9.8	调试寄存器的装入和存储	(82)
3.9.9	测试寄存器的装入和存储	(82)

第四章 80386 的存储器管理和保护

4.1	内存分段、分页种类	(83)
4.2	内存分段、分页机构	(83)
4.3	分页存储管理	(84)
4.4	分段存储管理	(86)
4.4.1	几个术语	(86)
4.4.2	描述符表	(86)
4.4.3	分段存储管理	(87)
4.5	存储器保护	(91)
4.6	80386 的三种工作方式和兼容性	(92)

第五章 局部总线操作

5.1	总线操作	(95)
5.1.1	总线状态	(96)
5.1.2	地址流水线方法	(98)
5.1.3	32-位数据总线传输和参数对齐	(98)
5.1.4	读周期	(102)
5.1.5	写周期	(103)
5.1.6	流水地址周期	(105)
5.1.7	中断响应周期	(106)
5.1.8	停止/停机周期	(107)
5.1.9	BS16 周期	(107)
5.1.10	16 位字选通和参数对齐	(108)
5.2	总线定时	(112)
5.2.1	读周期定时	(112)
5.2.2	写周期定时	(112)
5.2.3	READY [#] 信号定时	(113)
5.3	时钟发生器	(113)
5.3.1	82384 时钟发生器	(113)

5.3.2 时钟定时	(114)
5.4 中断	(115)
5.4.1 不可屏蔽中断	(115)
5.4.2 可屏蔽中断	(116)
5.4.3 中断等待时间	(116)
5.5 总线锁定	(116)
5.5.1 锁定周期的建立	(117)
5.5.2 锁定周期定时	(117)
5.5.3 LOCK [#] 信号保持时间	(118)
5.6 HOLD / HLDA 响应	(118)
5.6.1 HOLD / HLDA 定时	(118)
5.6.2 HOLD 信号延迟	(119)
5.6.3 HOLD 状态引脚的情况	(121)
5.7 复位	(121)
5.7.1 复位定时	(121)
5.7.2 80386 内部状态	(122)
5.7.3 80386 外部状态	(122)

第六章 协处理器硬件接口

6.1 80287 数值协处理器接口	(123)
6.1.1 80287 的连接	(124)
6.1.2 80287 总线周期	(125)
6.1.3 80287 时钟输入	(125)
6.2 80387 数值协处理器接口	(125)
6.2.1 80387 的连接	(125)
6.2.2 80387 总线周期	(126)
6.2.3 80387 时钟输入	(127)
6.3 与 80287 / 80387 连接的局总总线的活动	(127)

第七章 80C301 总线控制器

7.1 概述	(129)
7.2 功能描述	(129)
7.2.1 时钟产生和复位控制	(129)
7.2.2 处理机时钟选择	(130)
7.2.3 AT 总线时钟选择	(131)
7.2.4 复位控制	(132)
7.2.5 总线仲裁、CPU 总线和 AT 总线机器状态	(132)
7.2.6 CPU 机器状态	(132)
7.2.7 NA 管道线控制	(133)

7.2.8	总线暂停	(133)
7.2.9	AT 总线机器状态	(133)
7.2.10	I/O 通道的速度控制	(133)
7.2.11	数据转换	(133)
7.2.12	端口寄存器 port B	(134)
7.2.13	CS8230 内部寄存器访问端口	(135)
7.2.14	配置寄存器	(135)
7.3	82C301 引脚说明	(137)
7.4	82C301 物理特性	(142)
7.5	82C301 时序关系	(145)

第八章 82C302 页式/交叉内存控制器

8.1	概述	(151)
8.1.1	存储阵列的配置	(151)
8.1.2	页式交叉存储器的操作	(151)
8.2	功能说明	(153)
8.2.1	存储器访问机器状态和仲裁逻辑	(153)
8.2.2	CPU 访问机器状态	(153)
8.2.3	RAS 和 CAS 信号的产生	(153)
8.2.4	RAS 信号的暂停	(155)
8.2.5	CPU 访问周期序列	(155)
8.2.6	DMA 访问机器状态	(155)
8.2.7	动态 RAM 访问逻辑	(155)
8.2.8	刷新周期	(155)
8.2.9	内存映象逻辑	(155)
8.2.10	时钟、复位和其它逻辑	(156)
8.2.11	配置/诊断寄存器	(156)
8.2.12	内存配置寄存器	(156)
8.2.13	DRAM 的阵列配置和定时	(159)
8.2.14	诊断访问寄存器	(160)
8.3	82C302 引脚说明	(161)
8.4	82C302 物理特性	(163)
8.5	82C302 时序关系	(166)

第九章 82A303 高地址缓冲器

9.1	功能说明	(177)
9.1.1	地址译码	(177)
9.1.2	地址总线接口	(177)
9.1.3	27 位地址扩展	(177)

9.2	82A303 引脚说明	(179)
9.3	82A303 物理特性	(180)
9.4	82A303 时序关系	(182)
第十章 82A304 低地址缓冲器		
10.1	功能说明	(184)
10.1.1	地址译码	(185)
10.1.2	地址总线接口	(185)
10.2	82A304 引脚说明	(186)
10.3	82A304 物理特性	(187)
10.4	82A304 时序关系	(190)
第十一章 82A305 数据缓冲器		
11.1	功能说明	(192)
11.1.1	总线控制	(193)
11.1.2	数据转换	(193)
11.2	82A305 引脚说明	(194)
11.3	82A305 物理特性	(195)
11.4	82A305 时序关系	(197)
第十二章 82A306 控制缓冲器		
12.1	功能说明	(198)
12.1.1	14MHz 的振荡器和分频器	(199)
12.1.2	AF32 信号的产生	(199)
12.1.3	字节使能锁存	(199)
12.1.4	奇偶校验和产生	(199)
12.1.5	总线驱动	(199)
12.2	82A306 引脚说明	(200)
12.3	82A306 物理特性	(202)
12.4	82A306 时序关系	(205)
第十三章 82C206 外设控制器		
13.1	概述	(210)
13.2	引脚说明	(210)
13.3	设备译码子系统	(215)
13.4	时钟和等待状态控制子系统	(215)
13.5	DMA 子系统	(217)
13.5.1	DMA 操作	(217)
13.5.2	自动初始化	(221)

13.5.3	设备请求优先级	(221)
13.5.4	地址形成	(222)
13.5.5	压缩计时	(223)
13.5.6	DMA 寄存器	(223)
13.5.7	几条特殊命令	(226)
13.6	中断控制子系统	(226)
13.6.1	概述	(227)
13.6.2	中断控制器操作	(228)
13.6.3	中断过程	(228)
13.6.4	终止中断	(228)
13.6.5	优先级裁决	(229)
13.6.6	中断控制器编程	(229)
13.7	计数/计时器子系统	(233)
13.7.1	概述	(233)
13.7.2	编程 CTC	(234)
13.7.3	计时/计数器操作方式	(236)
13.7.4	门 2 功能小结	(237)
13.8	实时时钟子系统	(238)
13.8.1	寄存器访问	(238)
13.8.2	地址映象	(239)
13.8.3	时间、日历和告警字节	(239)
13.8.4	静态 RAM	(239)
13.8.5	控制和状态寄存器	(239)
13.8.6	更新周期	(241)
13.8.7	电源	(242)

附录: 80386 指令系统时钟数一览表

第一章 80386 32 位微型计算机系统概述

美国英特 (Intel) 公司继 8086、80186、80286 16 位微处理器之后, 又推出了高档、换代产品 80386 微处理器, 它是一个先进的 32 位微处理器, 是为多任务操作系统优化而设计的, 是为需要非常高的性能的运用而设计的, 采用它可以构成高性能的 32 位计算机系统。80386 微处理器把许多功能集成到一块半导体芯片上, 这些性能包括: 32 位寄存器和数据通路支持 32 位的地址和数据类型。处理器能编址多达 4G 字节的物理存储器, 支持多任务、内存管理、流水线结构、地址转换、高速缓存和高速度总线接口。这些功能的综合加快了指令执行速度, 减少了系统的总芯片数。80386 微处理器具有可任选的页面调度方式或动态数据总线长度方式, 使 80386 适合于各种系统设计和用户应用。

80386 微处理器不但提供了比英特公司以前所生产的几代各种微处理器优越得多的性能, 更主要的是从系列化结构设计充分考虑到和英特公司的各种微处理器的兼容性。保证了和以往本系列微处理器所组成的微计算机系统, 软、硬件资源兼容、共享。在软件上, 提供了目标代码级的兼容性, 这就保护了已有的 8086 和 80286 上的软件投资。新的软件也可在已有的子程序上开发, 以缩短新产品投放市场的时间。硬件兼容通过动态总线长度来实现。

1.1 80386 微处理器

80386 提供了很强的性能。主频 16 兆赫时, 80386 的持续执行速度高达 3~4 百万条指令/秒, 可与大多数超级小型机相比拟。这些性能是通过先进的设计达到, 包括: 内部流水线结构, 地址转换高速缓存和高性能总线。

80386 微处理器具有宽度为 32 位的外部 and 内部数据通路。它的指令集支持 8 位、16 位、32 位等数据类型。处理器直接地输出 32 位物理地址, 支持四千兆字节的物理内存空间。80386 具有分开的 32 位数据通路和地址通路。一次 32 位的内存存取操作可在两个时钟周期内完成, 这使得总线可维持每秒 32 兆字节的吞吐量 (在主频 16 兆赫时)。高速总线的设计实现了微处理器、内存、外设间的快速传输, 这就保证了处理器的高性能在系统中得到发挥。

流水线结构使得 80386 可以并行地完成指令的读取、译码、执行和内存管理等各功能。80386 微处理器的流水线建立在 6 个相对独立的功能模块基础上。由于 80386 预取指令并使这些指令进行内部排队等待, 这样取指令时间和译码时间就可在流水线中省略; 处理器极少需要等待指令的执行 (见图 1-1)。

现在的微处理器中应用流水线技术是常见的, 可是把内存管理功能块和流水线做在同一块芯片内部是 80386 所独具的。由于 80386 的内存管理功能与别的功能一起在同一芯片内实现, 80386 消除多芯片组成系统时的严重延迟。这不仅有利于性能的提高, 而且降低了对内存存取时间的要求, 降低了系统成本。

一体化的内存管理和保护结构把逻辑地址翻译成物理地址，并实施一些保护规则，这些规则保证多用户环境下各任务的完整性。页面调度功能提供了一个对内存物理结构进行管理的统一机制，因而简化了操作系统的交换算法。

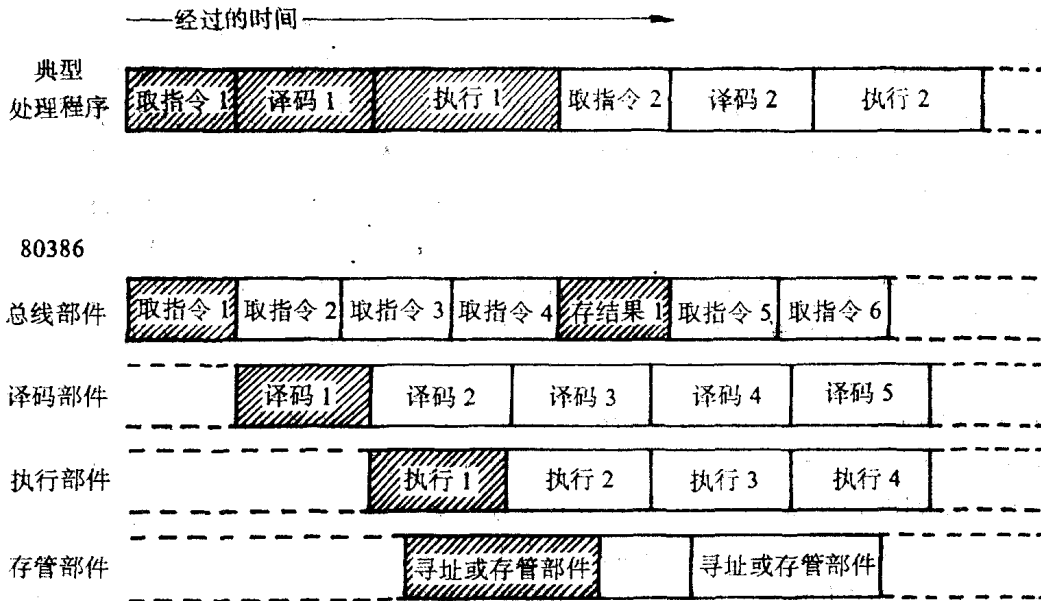


图 1-1 指令流水线

任务切换常出现在多任务和多用户实时系统中。为了有效地实现任务切换，80386 采用了特别的高速硬件。80386 完成一个完整的任务切换动作只需一条指令或一次中断。

1.2 浮点协处理器

使用特别的协处理器可以提高大多数应用软件实现的功能，协处理器也扩展了 80386 微处理器的指令集。

80386 微处理器具有数字协处理器接口，支持 80387 或 80287 浮点协处理器之一。浮点协处理器完全支持 IEEE 浮点操作标准，适用于高速、高精度整数和浮点数运算的应用程序。80386 为系统设计者提供了两种可选的方案：低成本协处理器或高性能协处理器。

1.3 组成系统的外围控制电路

近年来国际上采用英特 80386 微处理器，设计成 32 位高性能的 386 微型计算机系统，特别是 IBM 宣布了其新一代的个人计算机系统中采用 INTEL 的 32 位微处理器 80386 作为其高档产品的 CPU 以后，象雨后春笋一样，很多厂商纷纷推出各种 80386 微型计算机系统，如 COMPAQ 386 微机系列，VST-386 微机及我国的长城-386 微型计算机系统，……等。这些 386 微型计算机系统所采用的外围电路芯片各不相同，英特公司为其 80386 微处理器构成 386 计算机系统也提供了配套外围集成电路。但目前比较先进的

80386 微处理器外围配套芯片以 VLSI CHIPS 芯片功能最佳, 采用 CHIPS 系列芯片共用七个品种八个芯片和 80386 微处理器结合就能构成 386 微型计算机系统, 并和 IBM PC/XT、AT……等软、硬件完全兼容。

这些芯片是:

82C301	总线控制器
82A306	控制信号缓冲器
82A303	地址总线接口
82A304	地址总线接口
82A305	数据总线接口
82C302	页面/交叉存贮管理部件
82C206	I/O 总线接口控制器

1.4 386 微型计算机系统中央处理机简介

采用 Intel 386 高性能微处理器芯片和 CHIPS、VLSI 系列芯片 82C301、82C302、82A303、82A304、82A305、82A306、82C206、CS8230 等系列芯片组成了 32 位高性能微计算机系统 AT/386 的中央处理机。其系统主要特点:

- 和 IBM PC/AT 计算机 100% 兼容。
- 方便灵活的体系结构, 可用于任何一种 iAPX386™ 的设计。
- 具有按页方式操作的交叉存贮器子系统。
- 16MHz、零等待操作。
- 支持 IBM 到 16MB 的 DRAM 存贮器。
- 完整的 PC/AT 所需要的 40IC'S 附加存贮器。
- 独立的时钟提供正确的 AT 总线定时。

CS8230 AT/386 CHIPSet 系列是七个 VLSI 超大规模芯片集成电路, 它们实现了绝大部分 iAPX 386 基本系统的系统控制逻辑, CHIPSet 设计成和 PC/AT 100% 兼容, CHIPSet 的方便灵活结构, 允许它们被用于任何 iAPX386 基本系统设计, 如 CAD/CAE、工作站、办公系统、工业和财会处理系统。

CS8230、CHIPSet (系列) 和 CHIPS 82C206 相结合, 完成外设控制, 支持 PC/AT 全兼容系统, 仅使用 40IS'S 组成附加存贮器, CS8230 CHIPSet 系列组成包括一个 82C301 总线控制器, 一个 82C303 页/交叉存贮器控制器, 82A303 和 82A304 地址总线各自的十个接口, 两个 82A305 数据总线接口, 和一个 82A306 控制信号缓冲器。

CHIPSet 提供一个局部 CPU 总线, 一个 32 位系统存贮总线和 AT 总线, 像在系统图 1-2 中所表示的, 82C301 和 82A306 提供所有总线控制信号的产生和同步。82C301 还提供了单独的 AT 总线时钟, 并且处理机时钟允许在 16MHz 时钟和 AT 总线时钟之间动态选择, 82A306 除了其它各种逻辑功能外, 还提供了总线控制信号的缓冲。

82C302 页/交叉存贮器控制器提供了设计成具有页方式操作的交叉存贮子系统。提供和 256Kbit 和 1Mbit DRAM 相结合的 DRAM 的 1MB 到 16MB, 处理机工作在零等待状态, 使用 100nsec DRAM 存贮器存取, 其频率为 16MHz。

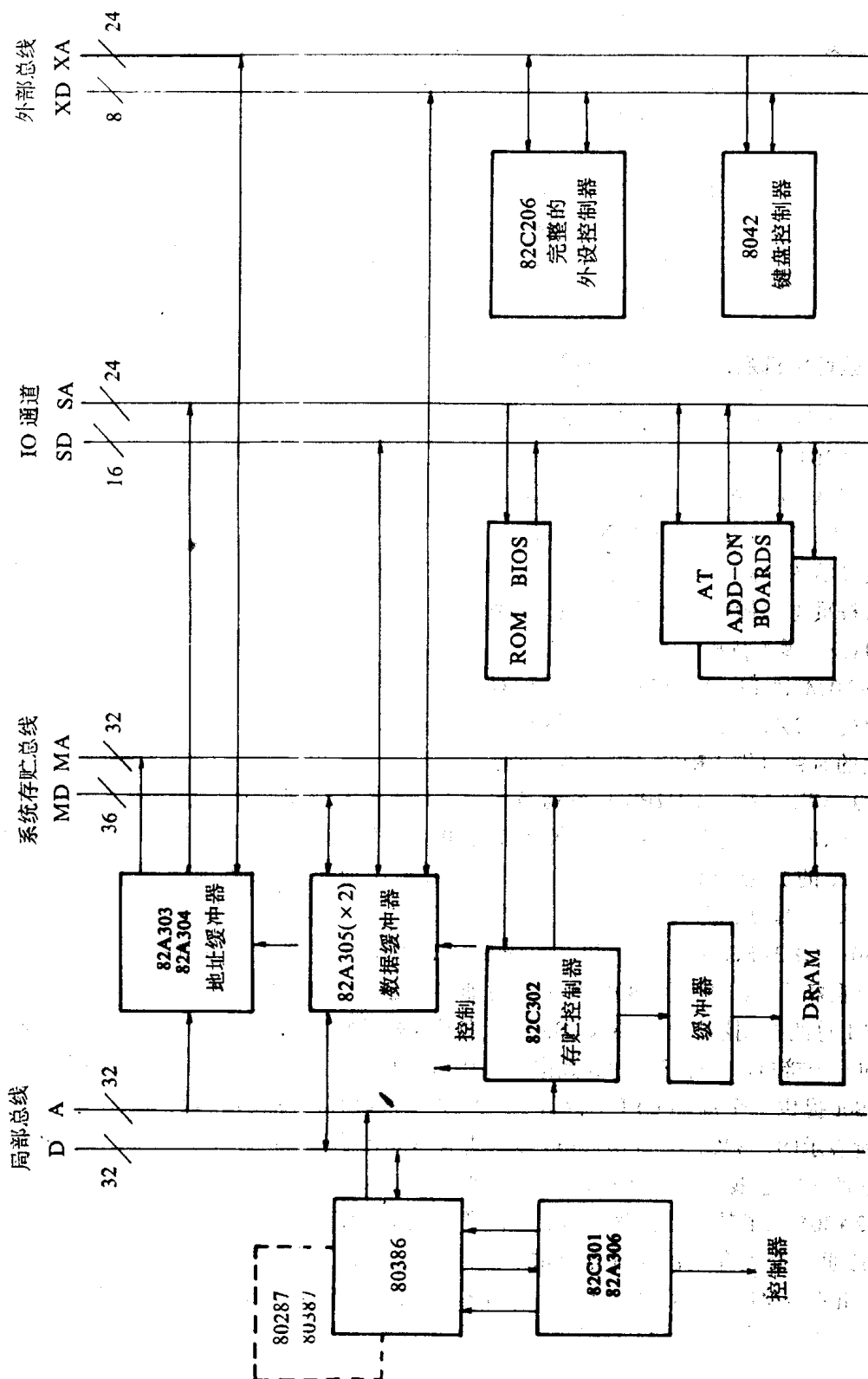


图 1-2 AT / 386 系统框图

82A303 和 82A304 是所有地址总线之间的接口，产生系统存储器的 RAS / CAS 地址，并产生正确的数据通路的地址变换。

两个 82A305 用于局部、系统存储器和 AT 数据总线之间的接口，除了大流量的驱动器外，它还实现不同宽度数据通路之间所需要的变换。

该 32 位 386 微计算机系统结构支持四种总线：

- CPU 局部总线 (A 和 D)
- 系统存储总线 (MA 和 MD)
- IO 通道总线 (SA 和 SD)
- X 总线 (XA 和 XD)

系统存储总线用于由 82C302 接口到 DRAM'S 的控制。IO 通道总线所指的是支持 AT 总线的变换器，应该是 8 位设备和 16 位设备。X 总线指的是设备总线到 DMA 的控制，并且定时是附加到 IBM PC / AT 上，X 总线仅有 8 位的数据通路，概括起来说“AT BUS”是用于所指定的 I / O 通道总线和 X 总线，还提供使用构成 I / O 通道到 32 位总线的扩展。

第二章 INTEL 80386 的主要性能

80386 是全部 32 位的体系结构, 其内部数据通路, 包括寄存器、ALU、以及内部总线都是 32 位的宽度; 它提供 32 位寻址能力、32 位的指令, 以及 32 位的数据类型, 还有 32 位的外部总线接口。在 INTEL 的 iAPX 系列中, 它扩展了 iAPX86 系列的体系结构, 增加了指令、寻址方式、以及数据类型, 它的芯片上还有一个片上存储管理部件 (MMU)。80386 还扩展了 iAPX286 的分段功能, 分段容量从 64K 字节扩展到 4 千兆字节。它还提供标准的两级页面机构来做存储管理。系统设计可以使用分段方式, 也可以使用分页方式进行存储管理。

微机系统的不同应用要求在体系结构方面有不同类型的支持。例如, UNIX 操作系统环境下的运用要求有线性的地址空间; 而 DOS 环境下的应用软件又要求有分段存储管理。INTEL 80386 设计时的一个很重要的出发点就是, 它既能适用于 UNIX 系统, 又适用于 DOS 操作系统。

80386 体系结构设计的另一个重要特点是, 它在接口方面有效而又灵活。它使用了每个总线周期只用两个时钟的总线接口, 使它与高速存储器或低速存储器系统接口时效率都很低。在 16 兆赫的时钟工作时, 该总线可达每秒 32 兆字节的传送速率。此外, 总线接口设计还可以动态地改变总线数据传送的宽度, 既能支持 16 位也可支持 32 位的接口电路。

80386 的目标代码可以和 INTEL 的 iAPX 处理机系列兼容, 即与 8088、8086、80186 和 80286 兼容, 80386 还有三种工作方式, 即真实工作方式、保护工作方式以及虚拟 8086 工作方式, 在虚拟 8086 工作方式下, 可使 MS-DOS 为基础的 8086 程序与为 32 位操作系统编写的程序并发地运行, 而在保护工作方式下, 可以执行多任务操作。

从硬件实现上来说, 80386 是用 CHMOSIII 工艺制造的, 线宽为 1.5 微米, 有二层金属引线, 片上晶体管数为 27.5 万个。INTEL 提供 16 和 20 兆赫二种 80386 芯片, 采用 132 条引线的陶瓷引线栅阵列封装。见图 2-1、2-2、2-3、2-4、2-5 和表 2-1、2-5。

管脚分配

从组件顶盖上面看, 80386 管脚引出分配表示在图 2-1 上, 从组件插针面看, 80386 管脚引出分配表示在图 2-2。