

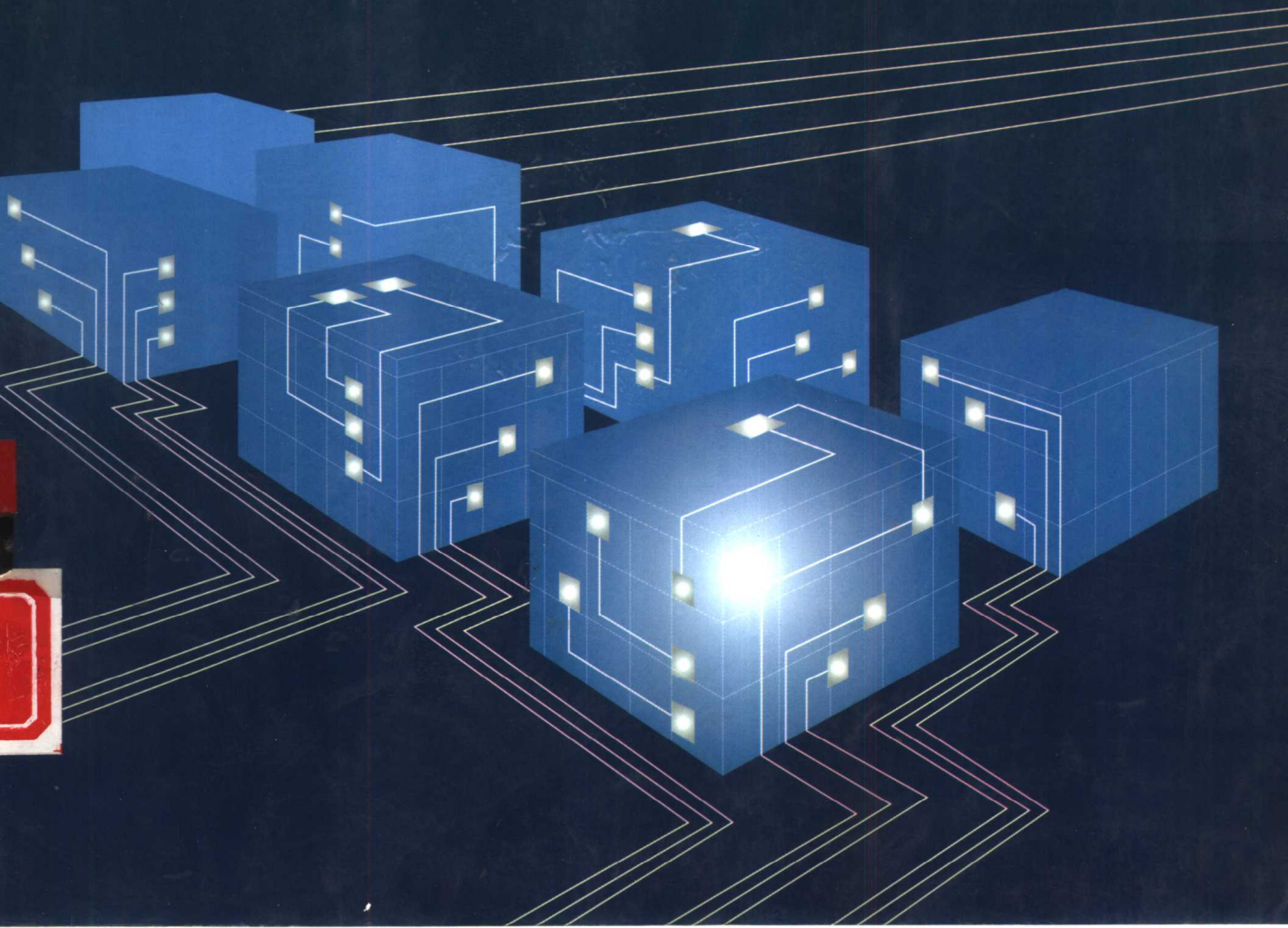
计算机实验指导丛书

计算机 组成实验

■ 赵志英 涂时亮 汪 栋

马国森 俞根富 编写

■ 复旦大学出版社



计算机实验指导丛书

计算机组成实验

赵志英 涂时亮 汪栎
马国森 俞根富
编写

复旦大学出版社

图书在版编目(CIP)数据

计算机组成实验/赵志英,涂时亮编写. —上海:复旦大学出版社,2000.9
ISBN 7-309-02660-8

I. 计… II. ①赵…②涂… III. 电子计算机-实验-教材 IV. TP3

中国版本图书馆 CIP 数据核字(2000)第 47311 号

出版发行 复旦大学出版社

上海市国权路 579 号 200433

86-21-65102941(发行部) 86-21-65642892(编辑部)

fupnet@fudanpress.com <http://www.fudanpress.com>

经销 新华书店上海发行所

印刷 复旦大学印刷厂

开本 787×1092 1/16

印张 13.75

字数 343 千

版次 2000 年 9 月第一版 2000 年 9 月第一次印刷

印数 1—6 000

定价 21.00 元

如有印装质量问题,请向复旦大学出版社发行部调换。

版权所有 侵权必究

序 言

对计算机专业类学生开设“计算机组成原理”和“计算机体系结构”等课程无疑是十分必要的,但这些理论课程的教学效果离不开与之相辅的实验教学,这在强调对学生进行素质教育,加强对学生创新能力和动手能力培养的今天,实验教学的作用更应得到重视和挖掘。

FD-CES (Fudan Computer Experiment System)是一种多功能计算机实验系统,尤其适用于计算机组成原理实验和计算机体系结构实验。藉此实验系统,可使实验者较透彻地剖析电子数字计算机的基本组成和工作原理,了解计算机体系结构的内特性,从而从较深层次上理解电子数字计算机内部的运作机理,掌握设计计算机系统的基本技术,培养实验者分析和解决较大数字系统问题的实际能力。另外,还可使学生接触新颖的 ispLSI (in-system programmable Large Scale Integration,在系统可编程大规模集成)器件应用技术,使传统的计算机硬件实验不同程度地软件化,从而有效地提高实验教学的效率和效果。

该实验仪本身为实验者提供构成电子数字计算机的基本功能模块和键盘、打印机两种外设,提供智能化控制台供实验者以代码化调试运行实验计算机,还提供连接 PC 设计调试实验计算机的软硬接口。实验者的主要任务是根据实验仪提供的硬件资源设计“自己的计算机”的指令系统和微操作控制信号发生器。它不仅支持采用常规 TTL 器件设计微操作控制信号发生器,而且支持采用先进的 ispLSI 器件技术设计实现微操作控制信号发生器,使实验者能在较少学时内开发出一台可实际运行的实验计算机,并且使实验者受到多方面的技能训练。

本书是为采用 FD-CES 计算机实验系统开展计算机组成原理实验和计算机体系结构实验的师生而编写的教材。全书共分五章。第一章主要由涂时亮编写,第二、第四、第五章主要由赵志英编写,第三章主要由汪栋编写。马国森、俞根富参加了第四章的编写,并对其他章节提出不少宝贵意见。

全书由赵志英统筹,涂时亮审定。

限于作者水平和时间,书中恐有不妥和错误,恳请读者指正。

编 者
2000 年 6 月

内 容 简 介

全书共分五章。第一章简要介绍可编程逻辑器件 PLD 技术,第二章介绍 FD-CES 计算机实验系统硬件,第三章介绍 FD-CES 计算机实验系统软件,第四章介绍用 FD - CES 计算机实验系统进行计算机部件实验的原理和方法,第五章先介绍利用 FD-CES 计算机实验系统开展计算机整机实验的原理和方法,然后由简单到复杂编排了若干计算机整机实验设计题,供选择。

本书可作为大专院校开设“计算机组成原理实验”和“计算机体系结构实验”的教材。

FD-CES 实验仪

FD-CES 是复旦大学计算机科学系专为“计算机组成原理”和“计算机体系结构”等课程研制的一种先进的多功能实验系统,获国家教育部鉴定和推广。

该实验系统能使实验者在较少学时内透彻理解计算机基本组成及其工作原理,动态地跟踪数据信息流如何在控制信息流作用下实现传输处理的过程,掌握研制计算机核心部件——控制器的基本原理和方法,掌握编程 PLD 器件实现某些硬件功能的基本原理和方法,培养分析和设计较大规模数字系统的能力。

FD-CES 为实验者提供研制一个 8 位计算机的基本逻辑功能模块,采用总线结构。提供单片机控制的智能化操作控制台和与 PC 通讯的软硬件支持。

FD-CES 可用于计算机部件实验、计算机整机实验和计算机原理示范教学等方面。

2015.3.19

目 录

第一章 可编程逻辑器件 PLD 技术简介	1
§ 1.1 可编程逻辑器件简介	1
1.1.1 只读存储器	1
1.1.2 现场可编程逻辑阵列	3
1.1.3 可编程阵列逻辑	4
1.1.4 通用阵列逻辑	5
1.1.5 大规模 PLD	7
1.1.6 现场可编程门阵列	10
§ 1.2 可编程逻辑器件设计语言 ABEL 简介	11
1.2.1 ABEL-HDL 语言的基本语法	11
1.2.2 ABEL-HDL 语言源文件的基本结构	14
1.2.3 逻辑描述	20
§ 1.3 ISP Synario System 简介	26
1.3.1 ISP Synario 的使用方法	27
1.3.2 ISP Synario 逻辑图输入方法	30
1.3.3 ABEL-HDL 语言和逻辑图混合输入方法	30
1.3.4 引脚锁定方法	31
1.3.5 Synario System 产生的文件	31
§ 1.4 在系统编程	37
第二章 FD-CES 系统硬件简介	38
§ 2.1 FD-CES 特性	38
§ 2.2 FD-CES 控制台及其使用方法	43
2.2.1 内存操作	45
2.2.2 控存操作	46
2.2.3 EEPROM 操作	47
2.2.4 程序运行	49
§ 2.3 实验计算机使用外设的方法	49
2.3.1 键盘的等效框图和工作原理	50
2.3.2 打印机的等效框图和工作原理	50
2.3.3 实验计算机与外部设备的连接使用方法	52
§ 2.4 FD-CES 功能模块	53
2.4.1 运算器模块	53

2.4.2	寄存器堆模块	58
2.4.3	指令部件模块	61
2.4.4	内存模块	66
2.4.5	总线缓冲模块	68
2.4.6	微程序控制模块	70
2.4.7	启停和时序模块	73
2.4.8	控制台控制模块	75
2.4.9	与 PC 机串行口通信模块	77
§ 2.5	FD-CES 实验板	77
2.5.1	TTL 器件实验接线板	77
2.5.2	PLD 实验板	83
第三章	FD-CES 系统软件简介	87
§ 3.1	“FD-CES Assembler”功能	87
3.1.1	编辑功能	87
3.1.2	汇编功能	92
3.1.3	反汇编功能	94
3.1.4	微程序代码文件生成功能	94
§ 3.2	“FD-CES Debugger”功能	94
3.2.1	整机框图选择功能	94
3.2.2	文件下载功能	95
3.2.3	实验机运行功能	96
3.2.4	状态检测功能	98
第四章	计算机基本部件实验	100
§ 4.1	TTL 器件部件实验	100
4.1.1	时序电路实验	100
4.1.2	运算器部件实验	107
4.1.3	存储部件实验	112
4.1.4	总线传输实验	118
4.1.5	中断控制器实验	123
§ 4.2	PLD 部件实验	128
4.2.1	总线传输实验	128
4.2.2	运算器部件实验	134
4.2.3	中断控制器实验	138
第五章	计算机整机实验	141
§ 5.1	实验计算机的设计	143
5.1.1	确定设计总要求	143
5.1.2	设计整机逻辑框图	143
5.1.3	设计指令系统	143
5.1.4	设计指令执行流程	152

5.1.5	确定微操作控制信号及其实现方法	158
5.1.6	设计微指令格式	159
5.1.7	确定微程序控制方式	159
5.1.8	编写各指令的微程序	161
5.1.9	设计实验接线表	161
5.1.10	编写调试程序	164
5.1.11	编写应用程序	165
§ 5.2	实验计算机的组装	167
5.2.1	用 TTL 器件实验板实施	167
5.2.2	用 PLD 实验板实施	167
§ 5.3	实验计算机的调试	168
5.3.1	调试准备	168
5.3.2	程序调试	168
§ 5.4	实验计算机故障的排除	168
5.4.1	故障类型和原因	169
5.4.2	故障的分析查找	169
5.4.3	故障的纠正	173
§ 5.5	实验计算机研制举例	173
5.5.1	设计要求	173
5.5.2	样机逻辑框图	173
5.5.3	样机指令系统和指令执行流程	175
5.5.4	样机微指令格式和指令微程序	176
5.5.5	设计微操作信号	178
5.5.6	微操作信号的实施	179
5.5.7	调试程序	184
§ 5.6	计算机整机实验设计题	187
附录一	FD-CES 实验仪符号表	196
附录二	FD-CES 有关集成电路	198

第一章 可编程逻辑器件 PLD 技术简介

可编程逻辑器件是用户可通过编程实现各种逻辑功能的一类集成电路。本章将简单介绍它的原理、结构和编程方法。

§ 1.1 可编程逻辑器件简介

集成电路产生已有三十余年,它的集成度从小规模(SSI)、中规模(MSI)、大规模(LSI)发展到超大规模(VLSI)。

以前设计数字电路均使用 SSI 和 MSI。如 70 年代的计算机(如 NOVA 机等)均采用 SSI 和 MSI 的 TTL 电路构成,现在计算机的 CPU 等已采用单片电路(LSI 和 VLSI)。但逻辑设计很多还采用 SSI 和 MSI。为缩小体积、降低成本,开发了许多专用集成电路,如电话、电视和计算机等应用的芯片。它们的优点是集成度高、价格低,缺点是开发时间长、初次投资高、要求的批量大。对于数量少而且开发时间短的产品,采用定制的专用电路是不合适的。这样就产生了半定制电路,如门阵列(Gate Array)或标准单元等。但它的编程制造仍需由专业制造厂完成,故其开发时间较长。应运而生的是用户可编程的逻辑器件,包括可编程逻辑器件(PLD)和现场可编程门阵列(FPGA)。

1.1.1 只读存储器

现在广泛用于计算机的 ROM(包括 PROM、EPROM 等)实质上也是一种可编程的逻辑器件。ROM 的组成如图 1-1。

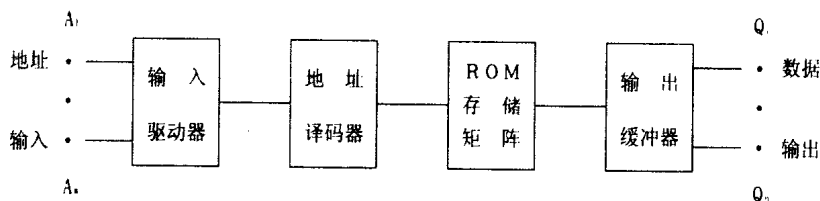


图 1-1 ROM 的组成

使用 ROM 完成任何组合电路的功能,下面以 4×4 的 PROM 为例介绍原理。

PROM 可采用各种工艺,图 1-2 给出的是由二极管及熔丝的 4×4 的 PROM。图中熔丝可按需烧断或保留。例如要实现一个两输入四输出的逻辑电路,其要求如下:

$$\begin{aligned} F_1 &= I_1; & F_2 &= \bar{I}_1 \wedge I_2; \\ F_3 &= I_1 \vee \bar{I}_1 \wedge \bar{I}_2; & F_4 &= I_1 \oplus I_2; \end{aligned}$$

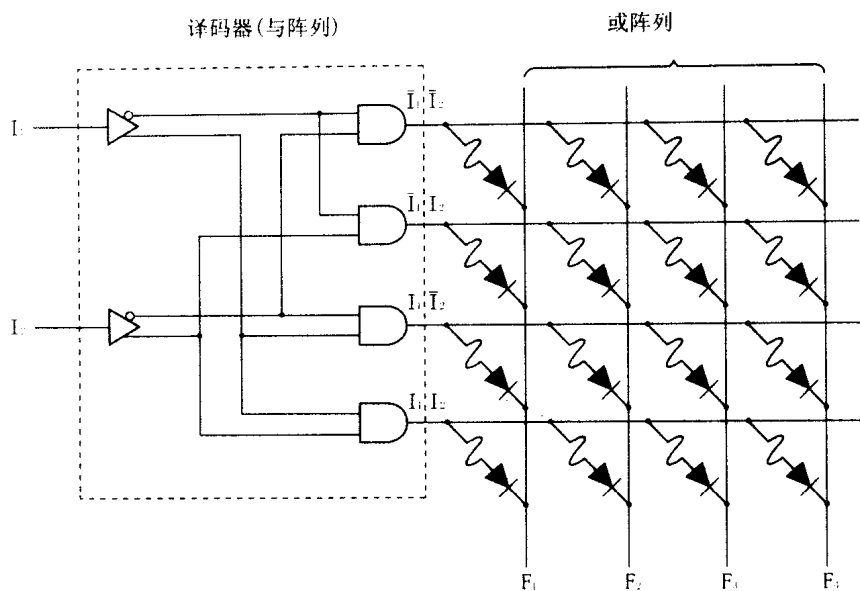


图 1-2 4×4 的 PROM

按以上表达式,可得如下的真值表:

I_1	I_2	F_1	F_2	F_3	F_4
0	0	0	0	1	0
0	1	0	1	0	1
1	0	1	0	1	1
1	1	1	0	1	0

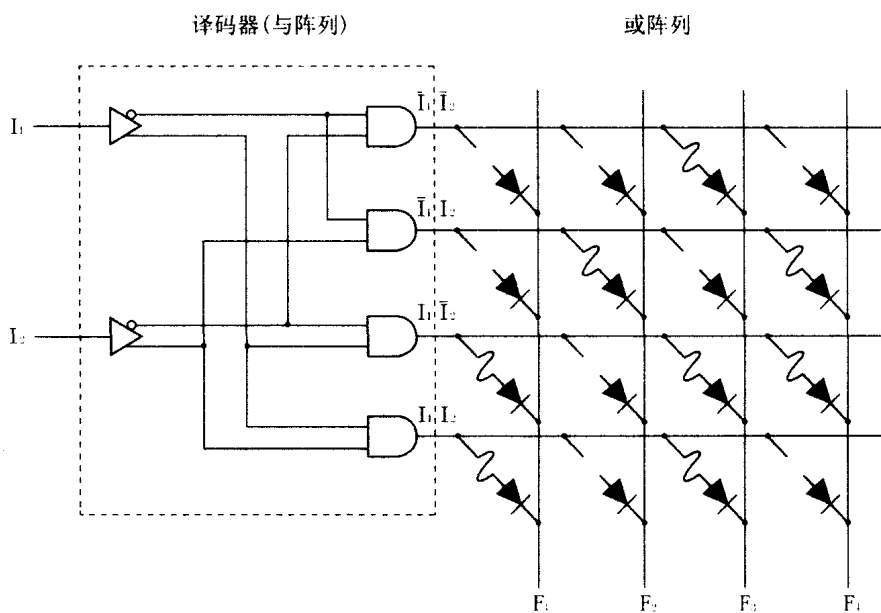


图 1-3 已完成编程的 PROM

我们可按真值表对 PROM 进行编程,即烧断对应于表中为 0 的熔丝,保留表中为 1 的熔丝。这样就可实现所要求的逻辑功能,见图 1-3。

由于 PROM 的译码部分采用与门组成,我们称之为“与阵列”,而存储单元及输出采用或门组成,称之为“或阵列”。如把不可编程的固定结构用“●”表示,把编程后保留下来的连接点用“×”表示,可把图 1-3 画成图 1-4 的形式。

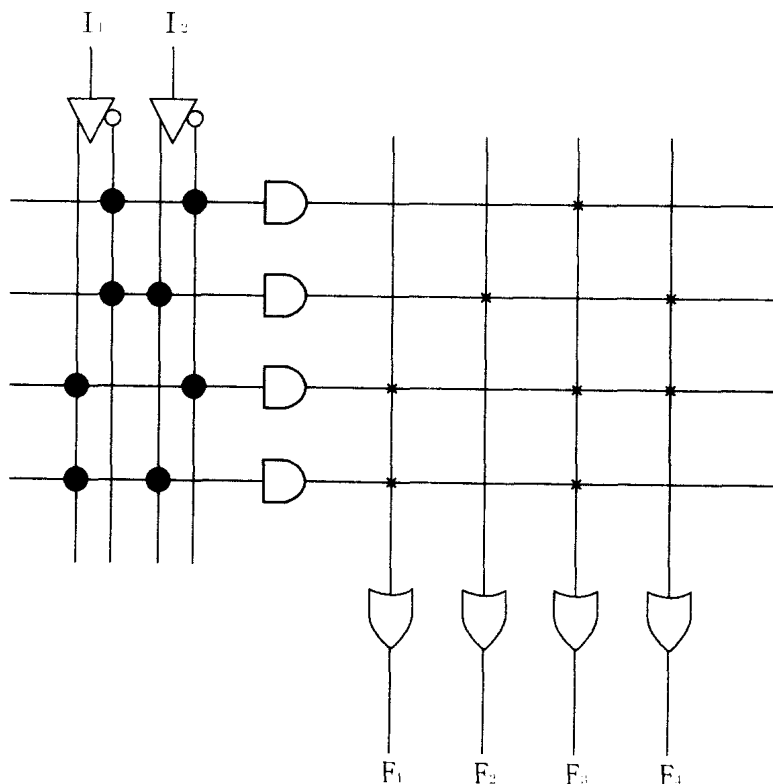


图 1-4 图 1-3 的简化画法

PROM 与阵列是固定的,或阵列可编程。它的输入为 n 时,或阵列有 2^n 行。所以当输入变量较多时,将难以实现,其成本将非常高。

1.1.2 现场可编程逻辑阵列

由于 PROM 的与阵列固定,引起或阵列的庞大,于是诞生了另一种可编程器件——现场可编程逻辑阵列 (FPLA)。

FPLA 的与阵列和或阵列都是可编程的,因此它的输出函数可以用简化的积——和形式表示。例如对三输入四输出的逻辑函数:

$$F_1 = I_1 \wedge I_2 \wedge I_3;$$

$$F_2 = I_1 \vee I_1 \wedge I_2 \wedge I_3$$

$$F_3 = \bar{I}_1 \wedge \bar{I}_2 \vee I_2 \wedge I_3;$$

$$F_4 = I_1 \vee I_2 \wedge I_3;$$

可得到如图 1-5 的 FPLA。

FPLA 的优点是或阵列比 PROM 可大大减少,灵活性比较强,但由于与阵列和或阵列均可编程,增加了结构的复杂性,成本也较高,它适用于“不关心项”较多的场合。

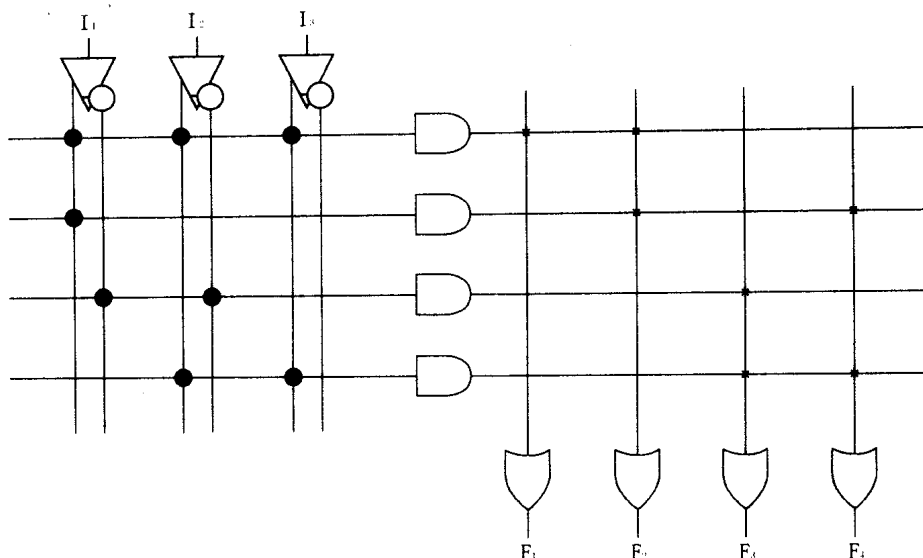


图 1-5 三输入四输出的 FPLA

1.1.3 可编程阵列逻辑

可编程阵列逻辑(PAL)的与阵列可编程,或阵列是固定的。这样它的结构比较简单。但它的容量不仅由输入和乘积项来决定,而且还由或门输入的数目来决定。图 1-6 给出了三输入一输出的 PAL 结构,它的或门输入数为 4。

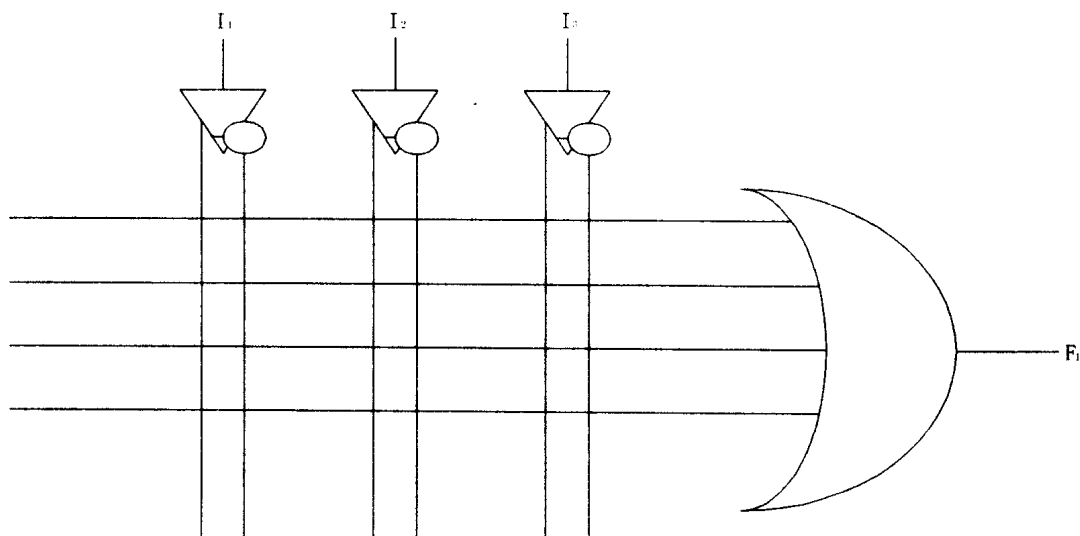


图 1-6 三输入一输出的 PAL 结构

PAL 的价格较便宜,编程方便,符合“积和”表达式的特点(积项较多,和项较少),在实际中得到广泛的应用。现在已有各种 PAL 的产品。图 1-7 给出了 PAL16L8 的结构框图。

PAL16L8 有一个 $32 \times (7+1) \times 8$ 的与阵列,它的输入为 9~16 个,每个有正反输入,积项为 7 个,输出为 2~8 个,8 个输出均有三态允许端,其中 6 个有反馈至与阵列,通过对与阵列进行编程,可构成各种与或逻辑。

现有各种 PAL 型号,一般为 PAL $n_1 \times n_2$ 。 n_1 为输入数; n_2 为输出数,X 表示输出方式: H 为高电平输出,L 为低电平输出,P 为输出极性可编程,C 为互补输出,X 为带异或门的输出,R 为带寄存器输出,RP 为极性可编程且带寄存器输出,V 为有功能或宏单元的输出,RA 为带有非同步的寄存器输出。PAL 一般采用熔丝方式,但也有采用 EPROM 或 EEPROM 技术实现熔丝控制,这使它们可擦除,从而可重复使用。

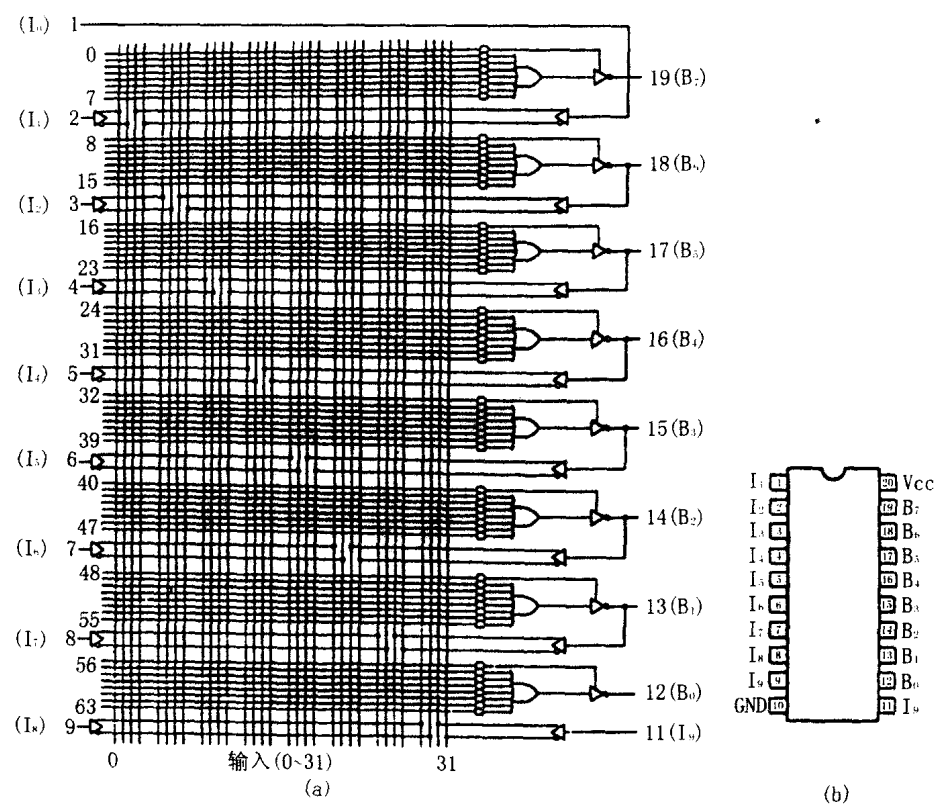


图 1-7 PAL16L8 的结构框图

使用 PAL 可减少元件数目,降低印刷电路版制造成本,提高速度,具有保密性,提高可靠性。

1.1.4 通用阵列逻辑

通用阵列逻辑(Generic Array Logic, 简称 GAL),它是在 PAL 的基础上发展起来的。它采用宏单元(Macrocell)作输出结构,因而可根据需要选择组合逻辑或寄存器输出,它还带有三态门控制、I/O 反馈和输出极性控制,使 GAL 在使用时更灵活。

GAL 是 LATTICE 公司采用 EECMOS 工艺制成的电可擦除器件,具有高速、低功耗、改写方便等特点。其他公司也生产有类似产品,如 AMD 的 PALCE16V8 等。

图 1-8 为 GAL16 V8 的结构框图,图 1-9 为它的一个输出逻辑宏单元(OLMC)结构。由图可知,宏单元由或门、寄存器、积项输入多路开关(TSMUX)、输出多路开关(OMUX)、反馈控制多路开关(FMUX)等构成,它共有 XOR(n)、AC0、AC1(n)、SYN 等控制信号。

GAL16 V8 宏单元可有三类工作方式,包括寄存器方式、复合方式、简单工作方式,每个宏单元可用作寄存器输出(可反馈)、带三态组合逻辑输出(可反馈、带三态)、输入等。

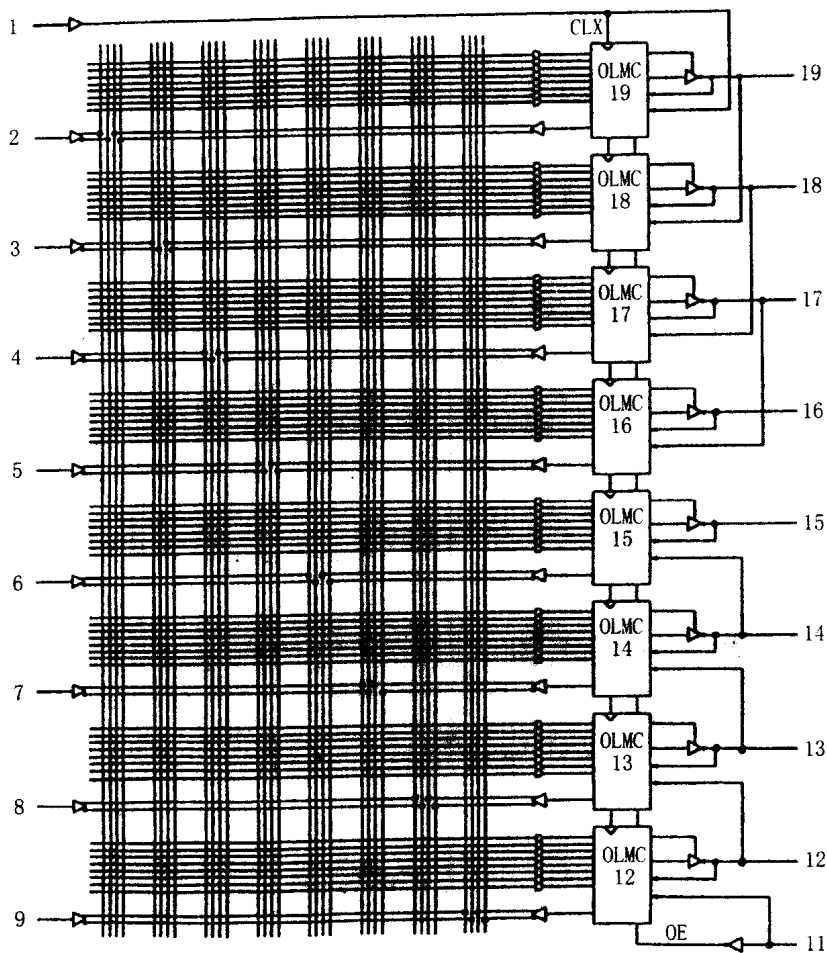


图 1-8 GAL16V8 的结构框图

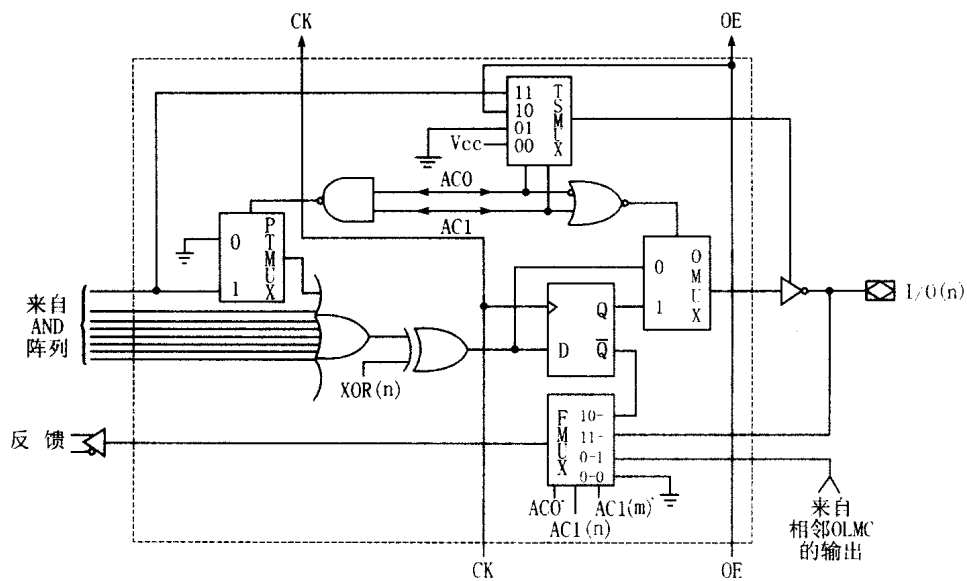


图 1-9 GAL16V8 的输出逻辑宏单元结构

1.1.5 大规模 PLD

Lattice 公司于 1991 年开始推出可编程大规模集成 (Programmable Large Scale Integration, 简称 PLSI) 及在系统可编程大规模集成 (In-system Programmable Large Scale Integration, 简称 ispLSI) 的 PLD。它首次将 PLD 的使用方便和优良性能与现场可编程门阵列 (FPGA) 的高密度和使用灵活性结合起来。它们均采用 EECMOS 技术制造, 分为 1000, 2000, 3000 三大系列, 最高工作频率可达 154MHz, 可广泛应用于各种高性能的复杂的数字系统中。

1. ispLSI2096 结构

PLSI 和 ispLSI 结构相同, 只是后者多了在系统编程功能。下面以 ispLSI2096 为例来说明它的结构。图 1-10 为 ispLSI2096 的结构框图, 由图可知, 它由以下几部分组成:

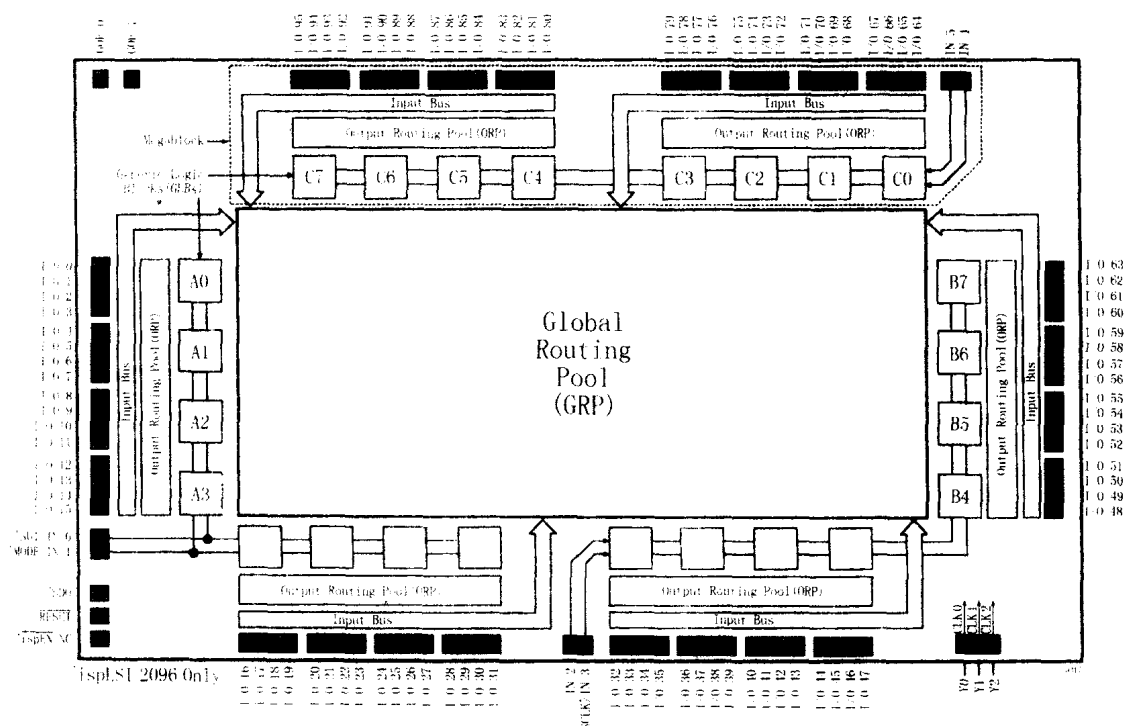


图 1-10 ispLSI2096 结构框图

(1) 集总布线区 (Global Routing Pool, 简称 GRP)

它处于中间区域, 其输入包括所有 GLB 的输出和各个 I/O 单元的输入, 这些信号可输出至各个 GLB。

(2) 通用逻辑块 (Generic Logic Block, 简称 GLB)

GLB 的逻辑结构见图 1-11, 它有 18 个输入与阵列可产生 20 个积项, 分成 4 组或门, 由积项共享阵列分配至 4 个宏单元, 每个输出宏单元可为 D、J-K 或 T 型触发器, 也可为直接输出 (组合逻辑)。触发器的时钟可来自 CLK0 (Y0), CLK1 (Y1), CLK2 (Y2) 或 PT 时钟 (来自积项), 触发器的异步复位可来自全局复位 (RESET) 或 PT 复位 (来自积项)。

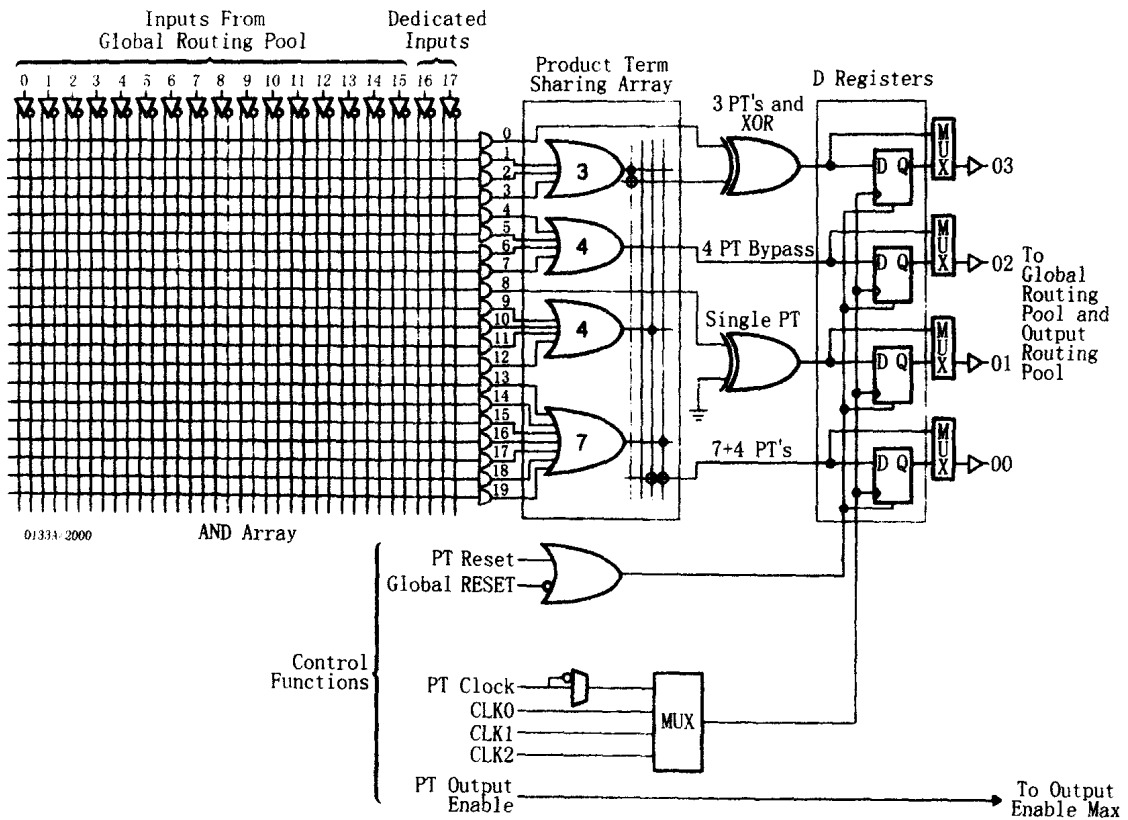


图 1-11 GLB 的逻辑结构

(3) I/O 单元

图 1-12 为 I/O 单元的结构框图，它有一个三态门，OE 为输出允许，它可为高电平有效，也可为低电平有效，可来自 GOE0, GOE1 或积项 OE。积项 OE 可来自某个 GLB。三态门输出与 I/O 脚相连，同时它也连 GRP。三态门输入可来自 ORP 多路开关，也可直接来自对应的 GLB，以加快速度。

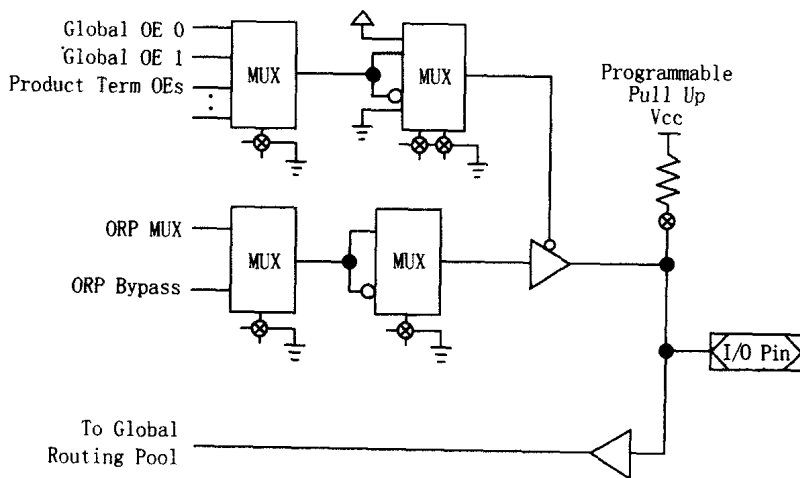


图 1-12 I/O 单元结构框图