

郑 筠 编 著

MOS
MOS

存储系统及技术

MOS

MOS

科学出版社

12

MOS 存储系统及技术

郑 筠 编著

科学出版社

1990

内 容 简 介

本书系统地介绍了 MOS 存储系统及技术。书中对 MOS 管工作原理，MOS RAM 器件结构及制造方法，MOS 数字电路，MOS 存储原理，主存系统及 MOS 存储体系结构，检测方法，容错技术等作了全面的介绍，突出了采用 MOS 技术的存储系统设计方法及其有关技术。

书中力求在阐述中提供完整、明确的技术概念，并反映当前国内外这方面的最新研究成果。

本书可供从事 MOS LSI 设计及计算机存储系统设计的工程技术人员阅读，也可提供大专院校有关专业师生参考。

MOS 存储系统及技术

郑 筠 编 著

责任编辑 黄岁新

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码：100707

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1990 年 3 月第 一 版 开本：850×1168 1/32

1990 年 3 月第一次印刷 印张：13 7/8

印数：0001—1400 字数：362 000

ISBN 7-03-001498-7/TP·102

定 价：13.80 元

前 言

MOS 存储电路在 VLSI 中占有十分重要的地位，十多年来它的发展一直非常迅速，其集成度平均每三年增大了四倍，目前发展趋势未见衰减。MOS 存储电路在计算机及其他数字设备、通信设备等领域中均得到广泛的应用。多年来计算机中以存储为中心的体系结构日益得到巩固与发展，MOS 存储系统技术在新的计算机体系结构中也日新月异地变化。

过去国内由于技术上的分工，从事计算机系统的设计人员往往不了解芯片的具体逻辑结构，而从事器件设计的人员又不知道它如何在系统中使用，为了满足 MOS 器件设计人员及存储系统设计人员的需要，使他们能较系统地掌握这方面的知识，特编著此书。

书中第一章从 MOS 管特点、器件物理概念及制造方法等出发进一步说明了 MOS 管工作原理和特性，重点介绍了存储电路器件结构及工艺方法。

第二章介绍 MOS 数字电路中最基本电路 NMOS 及 CMOS 反相器的静态及动态参数分析方法以及由它们组成的各种逻辑电路。

第三章介绍了各种 MOS 存储电路 RAM, ROM, EPROM 等的工作原理，并对 MOS RAM 芯片逻辑电路及发展动向作了详尽的说明。

第四章阐述了存储系统技术概念，讨论了 MOS DRAM 的各种刷新方法，对主存体、主存系统及 MOS 存储信息保护、静电感应等问题作了介绍。

第五章重点讨论了 MOS 存储器件测试的各种方法及测试中需要考虑的问题，对插件板测试及存储系统检测的必要性及方法作了阐述。

第六章系统地介绍了各种存储器纠错码技术及用逻辑电路方法提高存储系统可靠性的措施。在动态冗余方法中，重点讨论了字向冗余技术方法并提出处理存储系统不可校正双错的方案。

第七章介绍了 MOS 存储体系结构中有关虚拟存储系统，磁盘缓存及半导体盘，多端口存储系统及智能存储等几方面的系统结构。

由于本书涉及知识面广，书中难免有错误和不当之处，望读者提出批评与指正。

本书的写作得到信息存储技术学会范新弼、黄玉珩同志的支持；张务健、杨肃英、陆庆元、应秋雁等同志协助审校，在此一并表示感谢。

郑筠

一九八七年五月

目 录

前言

第一章 MOS 场效应晶体管工作原理及特性	1
一、MOS 概况	1
1. MOS 发展历史	1
2. MOS FET 的特点	2
3. MOS 晶体管类型	5
二、器件物理简要概念	7
1. 能带理论	7
2. 硅晶体结构	8
3. 本征半导体	9
4. 注入半导体	9
5. 硅 PN 结	10
6. 表面层下面的半导体	14
7. MOS 电容	15
三、MOS 集成电路的工艺制造方法	16
1. 工艺制造过程	16
2. MOS 基本工艺方法	22
3. MOS 存储芯片器件结构及工艺实现方法	24
四、MOS 场效应管的工作原理和特性	39
1. MOS 场效应管的工作状态	39
2. MOS 管输出特性曲线与 MOS 器件方程	41
3. MOS 管的转移特性曲线	45
4. MOS 场效应管的基本参数	47
5. 结漏电流及击穿特性	51
6. MOS 电容	52
参考文献	54
第二章 MOS 数字电路	56

一、NMOS 反相器	56
1. 几种类型 NMOS 反相器的静态工作条件	58
2. NMOS 反相器的暂态特性	72
二、其它 NMOS 数字电路	80
1. NMOS 射极跟随器及推挽式驱动器	80
2. 含有自举电容的驱动器	82
3. NMOS 传输门	85
4. 衬底偏压发生器	88
5. MOS 双极型接口电路	89
三、NMOS 静态逻辑电路	92
1. 静态门电路	92
2. 译码器	95
3. 静态触发器	96
四、动态 MOS 电路	100
1. 动态 MOS 电路的特点	100
2. 两相时钟动态电路	101
3. 四相时钟动态移位寄存器	110
五、CMOS 数字电路	110
1. CMOS 反相器	110
2. CMOS 传输门	118
3. CMOS 逻辑电路	120
参考文献	122
第三章 MOS 存储原理及芯片逻辑	123
一、MOS 存储技术概述	123
1. MOS 存储技术演变过程	123
2. 从 MOS RAM 发展过程初步归纳出的几点看法	125
3. MOS RAM 与磁芯存储器优缺点对比	127
二、存储单元及存储原理	128
1. NMOS 静态存储单元	128
2. NMOS 动态存储单元	131
3. CMOS 存储单元	136
4. 半导体只读存储器 ROM, EPROM, E ² PROM 等	139
5. NVRAM	149

三、芯片存储逻辑	153
1. 静态 MOS RAM (SRAM) 存储逻辑	153
2. 动态 RAM 存储逻辑	156
3. VLSI 存储芯片设计中的问题及解决办法	171
四、MOS 存储芯片应用的发展	177
参考文献	180
第四章 MOS 主存体及主存系统	182
一、存储系统技术概述	182
1. 存储系统的概念	182
2. 存储系统技术的演变与发展	183
二、动态 MOS 存储器的刷新	187
1. 动态 MOS 存储器为什么要刷新	187
2. 刷新方法	188
3. 刷新逻辑	193
三、MOS 主存体(或称主存模块)	200
1. 主存体的组成	200
2. 主存体工程设计上的一些考虑	203
四、主存系统	208
1. 单体存储系统	209
2. 并行存储系统	213
3. 主存系统有效带宽的分析	229
五、MOS 存储信息保护及静电感应引起损坏问题	233
1. 几种实现信息保护的方法	234
2. 用后备电池维持存储信息	234
3. MOS 静电感应引起损坏问题	242
参考文献	245
第五章 MOS 存储系统的逐级测试及测试系统	247
一、MOS 存储电路测试	247
1. 引言	247
2. 测试分类及内容	247
3. 功能测试	250
4. 动态参数测试	261
5. MOS 存储电路测试中需要考虑的几个问题	263

二、存储插件板及存储系统的测试	268
1. 概述	268
2. MOS 存储插件板的诊断方法	270
3. 联机自检电路	278
4. 其它检查方法	287
三、测试系统	293
1. 测试系统的发展过程	293
2. 测试系统实例——S-50 测试系统	294
参考文献	297
第六章 MOS 主存系统容错技术	299
一、概述	299
二、利用纠错码进行纠错的方法	300
1. 编码理论	300
2. 几种可用于存储系统的编码	304
三、从逻辑方法上提高存储系统的可靠性	325
1. 页面更换法	325
2. 地址置换法	326
3. 故障消错技术	329
4. 使用实例	333
四、存储系统冗余技术	341
1. 半导体存储器件冗余技术	341
2. 存储系统冗余技术	346
五、容错存储系统可靠性评价	354
1. 可靠性分析	354
2. 可靠性模拟	355
六、容错技术方法对比	358
1. 存储系统故障类型	358
2. 存储系统容错技术方法对比	359
参考文献	364
第七章 计算机中的 MOS 存储体系结构	366
一、虚拟存储系统	366
1. 多级存储系统的发展	366
2. 虚拟存储系统的基本功能	369

3. 虚拟存储系统实例	388
二、磁盘缓存及半导体盘	397
1. 为什么要用磁盘缓存及半导体盘	397
2. 磁盘缓存及半导体盘的基本概念	399
3. 磁盘缓存设计中几个问题的考虑	400
4. 磁盘缓存实例	403
5. 半导体盘应用情况	409
三、多端口存储系统	412
1. 概述	412
2. 类型及实现方法	415
3. 多机系统中如何提高多端口存储系统访存效率	416
4. 各种类型多端口存储系统应用实例	418
四、智能分布式存储系统	427
参考文献	430

第一章 MOS 场效应晶体管工作原理及特性

一、MOS 概 况

MOS 英文原名为 Metal-Oxide-Semiconductor, 其中文名为金属-氧化物-半导体。它是自从双极型晶体管问世以来, 电子工业中又一项最卓有成效的成就。现就几方面情况分述如下:

1. MOS 发展历史

MOS 绝缘栅场效应管 (MOSFET 或称 IG FET) 基本思想很早就产生了, 远在 30 年代初期 J. E. Lilienfield 就进行过利用场效应原理做半导体晶体管的实验。1948 年美国贝尔实验室作出场效应管模型, 50 年代前后有不少人进行过场效应管的实验, 但在当时由于对半导体表面状态工艺控制掌握不好, 加之对其理论基础也了解得很少, 因而实验取得的电气特性都不稳定, 这些实验没有取得最终的成功。直到 60 年代初期硅平面工艺技术开发后, 在硅基片上生成一绝缘层, 然后通过生成、刻蚀等工艺才得到较稳定的半导体表面层, 因而 MOSFET 开发才成为现实。1962 年发明了真正的 MOS 晶体管, 由于 MOS 器件工艺简单, 有自动隔离等优点, 同年就制成了 MOS 集成电路。1964 年美国 Fairchild 公司研制成了第一个 16×4 的 MOS RAM (MOS 随机存取存储器)。

1967 年以后在工艺控制问题上继续取得进展, 由于工艺技术及线路技术两方面的发展促进了 MOSFET 飞速发展。MOS 电路出现推动了 LSI (大规模集成电路) 的发展, MOS 每个门电路所占面积小, 工艺简单, 可靠性高, 因而在 LSI 中占据了主流地位, 1970 年以后, MOS LSI (MOS 大规模集成电路) 大踏步向前发

展,目前在计算机逻辑电路,存储电路,计算器,通信以及各种家用电器等各方面得到广泛的应用。

2. MOS FET 的特点

MOS 晶体管是由源、漏、栅三部分所构成,如图 1.1 所示。假设衬底为 N 型硅,源与漏由距离较近的两个高注入 P 型区域构成,

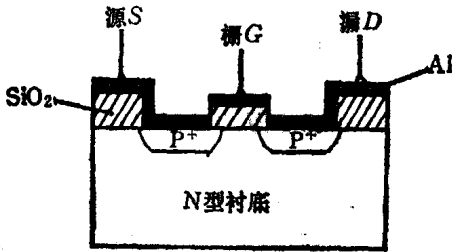


图 1.1 P 沟金属栅 MOS 结构

因此空穴成为多数载流子。栅极靠一层沉积金属层覆盖在漏与源的区域之上,金属层与源、漏间隔为一层氧化层,因此它同源、漏是绝缘的。用以上方法制成的 MOS 晶体管称为 P 沟金属栅

MOS 管。栅作为控制极加上一定电压后,则源、漏间产生沟道, MOS 管导通。栅、源、漏与基底都是绝缘的,其输入阻抗可高达 $10^{14}\Omega$ 以上。MOS 管详细原理分析见本章第四节。

MOS 晶体管与双极型晶体管的工作情况相类似,但在原理上有重要区别,主要差别有以下几点:

(1) MOS 晶体管是电压控制器件,而双极型晶体管是电流控制器件

导通一个 MOS 晶体管要在栅极上加电压,靠电场的作用,在源、漏间半导体表面层下面形成沟道而使 MOS 管导通。双极型晶体管的工作原理是靠从发射区向基区注入少数载流子。例如 NPN 晶体管基区多数载流子为空穴,由于基区很薄,发射区注入少数载流子为电子,其一小部分与基区空穴复合构成基流,大部分为集电极所吸收,构成 i_c 电流,这是晶体管的工作原理。因而,从原理上也可以这样说, MOS 管导通是多数载流子的流动,而双极型晶体管导通是基区少数载流子的流动。

由于导通时双极型晶体管需要有电流流入该管基极与发射极回路中去，这样就要有一个基极与发射极间的电压来克服基射回路间电阻，因此双极型晶体管输入电路需要电压与电流，也就是说要维持晶体管工作，就要消耗基极功耗。基极功耗大小应根据 i_b 及 β 大小而定，一般在 μW 到 mW 的范围内。但在 MOS 晶体管栅极和源、漏之间不存在直接通路，而电流仅为泄漏电阻所构成的电流，由于该阻值可达 $10^{14}\Omega$ ，因而所需功耗极小。假设栅极电压为 10V ，则输入功率为 $\frac{V^2}{R} = \frac{10^2}{10^{14}} = 10^{-12}\text{W}$ ，完全可忽略不计。

(2) MOS 工艺实现步骤比双极型工艺步骤简单

以 P 沟 MOS 与双扩散等平面双极型制造工艺步骤对比为例，如表 1.1 所示。从表中可以看出 MOS 关键性工艺步骤，如扩散、高温工艺、掩膜等均较双极型工艺少。

表 1.1 P 沟 MOS 与双扩散等平面双极型工艺对比

名称 工艺步骤	MOS	双极型
扩散	1	4+等平面
工艺步骤	38—45	130
高温工艺	2	20
掩膜	4	8

(3) MOS 电路所占芯片尺寸较双极型电路小

MOS 电路与双极型对比完成同样线路功能所占芯片尺寸要小 20% 左右，因而 MOS 集成度容易做得高，其原因有几个方面：

a. 由于 MOS 工艺过程简单，每个工艺步骤所需留冗余量小，因而 MOS 电路制作过程中对芯片所浪费尺寸较少。

b. MOS 工艺实现中不需要隔离槽，而双极型工艺中隔离槽

约占 20% 左右芯片面积。

c. MOS 工艺中多层布线 (2—3 层) 较容易实现。

(4) 性能对比

MOS 管由于电路尺寸小,所占芯片面积小,因而在逻辑设计中增加逻辑容易,便于从逻辑设计方法上提高可靠性,其功耗低也是有利于提高可靠性的因素。MOS 管输入阻抗高,因而 MOS 晶体管门驱动负载轻,门扇出数可以增加。MOS 作为动态电路使用更为合适,例如动态存储电路体积就很小。

与双极型晶体管比较, MOS 晶体管也有不足之处。MOS 管速度只有双极型电路的十分之几,由于提供电流较小,因而驱动电容负载能力较差。

根据以上对比情况, MOS 管作为线路元件使用,它的主要特点可以归纳如下:

a. 自隔离。MOS 器件中所有 PN 结都处于零偏或反偏状态,因此电路自然隔离,不需要专门空间作为扩散隔离。

b. 正常状态处于截止状态。增强型 MOS 器件在正常时处于截止状态,它与一个逻辑元件的基本设计要求相同。

c. 高输入阻抗。输入阻抗可达 $10^{14}\Omega$,因此基本上不需要输入电流维持器件通导,仅需要有对电容充电的电流,因此 MOS 管扇出能力较强。

d. 存储功能。电荷存于电容上保留信息,由于漏阻阻值大,信息可以保留较长时间,这种方法可用于动态存储信息。

e. 双向功能。源极与漏极从原理上来说可以互换,对下一级充电能力均相同,这种用法在存储电路设计中很有用。

f. 可同时作为有源元件或无源元件。MOS 管作为有源元件使用时,它是一个三端网络器件,跨导为 g_m 。它作为无源元件使用时可以作为 MOS 管负载电阻,电阻值一般每方块约 1 万欧。

g. 高成品率。MOS 工艺最少可以用一个扩散步骤,4 个掩膜刻蚀,工艺简单,成品率高。

3. MOS 晶体管类型

双极型晶体管有两种基本类型,即 NPN 和 PNP,这两种晶体管功能相似,在线路应用方面主要不同点是 NPN 在它的集电极上加一个正电压,而 PNP 需要在集电极上加一个负电压. MOS 晶体管类型要稍为复杂些. MOS 管栅极是控制极,它在 MOS 管通导时像一个 PN 结,不通导时又像一个绝缘电极. MOS 管类型可以按以下三种情况来分.

(1) 按转移特性不同, MOS 晶体管可以分为耗尽型和增强型两类

MOS 管在其栅极电压(相对于源极)等于零时,处于导通状态,则称其为耗尽型 MOS 管,如图 1.2(a)所示. MOS 管在栅极电压(相对于源极)等于零时,处于截止状态,则称其为增强型 MOS 管,如图 1.2(b)所示. 图 1.2 为 N 沟道 MOS 管的转移特性曲线.

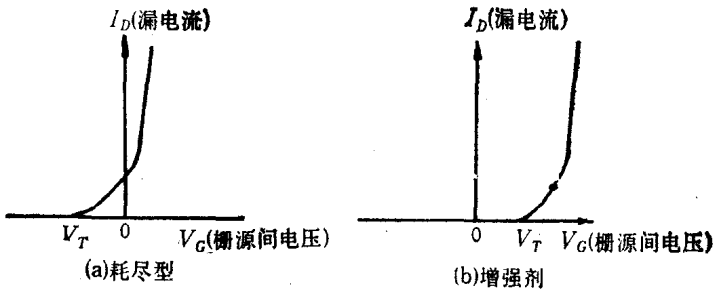


图 1.2 N 沟道 MOS 转移特性曲线

增强型 MOS 与耗尽型 MOS 工艺实现方法是不同的. 例如对 N 沟道 MOS 而言,在栅区注入 10^{11} — 10^{12} P⁺ (磷)离子,则成为耗尽型器件,如在同一区域注入相同量级的 B⁺ 离子,则成为增强型器件. 对于 P 沟道 MOS 达到同样目的,则注入相反的离子.

为什么需要耗尽型及增强型两种 MOS 器件呢? 主要由于线路应用中的需要,例如反相器管采用增强型 MOS 器件,而其负载

采用耗尽型 MOS 管, 这样的结构称之为 E/D MOS, 它比 E/E 型或 D/D 型 MOS 结构的静态参数及开关特性均有明显的改善。详见第二章所述。

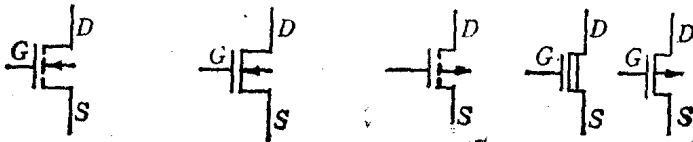
(2) 按沟道类型不同, MOS 管可分为 P 沟道和 N 沟道两类

P 沟道 MOS 晶体管和 N 沟道 MOS 晶体管是按照形成沟道载流子种类的不同(空穴或电子)而区分的。P 沟道是在 N 型衬底上注入源与漏的 P 型区域, 在栅极上加以负电压在半导体表面层形成 P 沟道, 沟道内引起空穴载流子流动, 因而产生漏电流。P 沟道 MOS 从外电路来看类似于 PNP 晶体管工作状态。N 沟道 MOS 是在 P 型衬底上注入源与漏的 N 型区域, 栅极通以正电压, 半导体表面层形成 N 沟道, N 沟道内引起电子载流子的流动, 产生漏电流、N 沟道 MOS 从外部电路方面来看类似于 NPN 晶体管工作状态。

由于电子迁移率约为空穴迁移率的 3 倍, 因此 N 沟道 MOS 晶体管的高频性能好, 可以实现 LSI 的高速工作, 但从工艺制造上来看, N 沟道 MOS 比 P 沟道 MOS 要困难些。

(3) 按栅极材料不同, MOS 管可分为金属栅和硅栅两类

栅电极材料采用金属栅时, 一般采用铝薄膜, 在这种结构中栅极和源、漏的重叠量必须满足光刻对准时余量的要求, 由于这些重叠部分使寄生电容增大, 影响 MOS 管的速度。采用硅栅结构优点是能进一步增加布线层数, 实现高密度设计, 同时具有自对准特性(详见本章第三节)。目前主要采用硅栅。



(a) N 沟增强型 (b) N 沟耗尽型 (c) P 沟增强型 (d) P 沟耗尽型

图 1.3 MOS 晶体管类型

综合以上情况,各种组合类型很多,但考虑到实际使用情况,MOS 晶体管类型可以归纳为图 1.3 所示的四种情况,即 N 沟道增强型, N 沟道耗尽型, P 沟道增强型及 P 沟道耗尽型。

二、器件物理简要概念

MOS 器件物理在很多半导体物理书籍中都有详细论述,本书考虑到前后章节的连贯性,对其作一简要的叙述。

1. 能带理论

晶体材料中大量原子结合在一起时,电子能级集中在两个分别的能带里,能带间有一个间隙,此间隙称之为禁止带。下能带称之为价带,此带中能级是由一对原子结合时所共享的电子所占有。上能带为导带,在导带中占有能级的电子是自由的,因而可以产生通导电流。禁带的宽度可以衡量材料导电率的大小,禁带越宽,导电率越低。图 1.4 中表示绝缘体、导体、半导体几种材料能带分布情况。

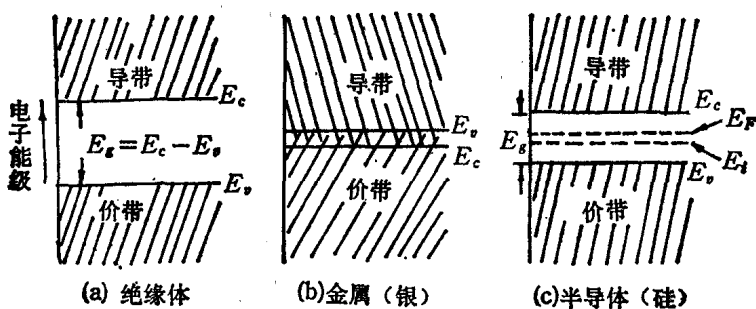


图 1.4 几种材料能带分布情况

石英为绝缘体,其体电阻为 $2 \times 10^{20} \Omega \cdot \text{cm}$, 其禁带宽为 6eV (图 1.4(a)). 金属银为导体,体电阻为 $1 \times 10^{-6} \Omega \cdot \text{cm}$, 从图 1.4 (b) 中可以看出,它没有禁带,而且导带与价带已交叉重叠。半导体