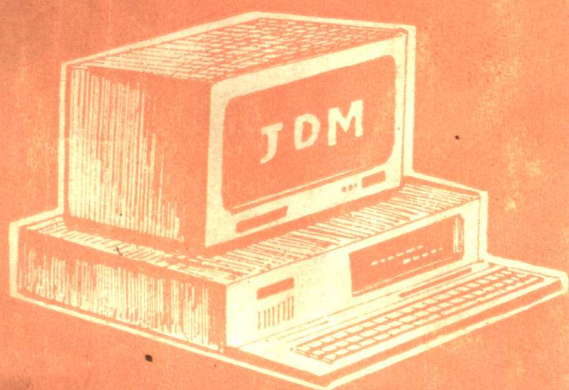


32 位 微 机 系 统



上 海 交 通 大 学 出 版 社

32 位 微 机 系 统

俞时权 编著

孙德文 审校

上海交通大学出版社

内 容 简 介

本书介绍了几种最重要、常用的32位微处理器构成的32位微机系统的结构、特点、性能及应用。内容包括：32位微处理器；RISC 技术及芯片；32位超级微机系统；32位微机工程工作站；32位微机的多机系统及联网；32位微机操作系统；80386 指令系统。本书适用于大专院校计算机、自动控制、电子工程、通信等专业高年级本科生及研究生的教材，也可作科研、工程技术人员参考书。

32 位 微 机 系 统

出 版：上海交通大学出版社
(淮海中路1984弄19号)

印 刷：上海市崇文印刷厂

开 本：787×1092(毫米) 1/16

印 张：14

字 数：358000

版 次：1990年11月第1版

印 次：1990年11月第1次

印 数：1—3000

ISBN7-313-00641-1/TP·3

定价：6.60元

前 言

随着微机在各行业中的广泛应用和普及、对微机性能提出了越来越高的要求；客观上也由于大规模集成电路工艺的长足进步，使得近十年来微处理器的集成度逐步提高，其功能也越来越强。1985年 Intel 公司推出了称为“32位微处理器”的80386其功能已超过了VAX11/780。32位字长是比较合理的，它能有效地综合处理各种信息——数据、图形、文字和声音。32位微处理器在系统结构、元器件技术、组装工艺和软件功能等方面都有很大进展，由32位微处理器构成的32位超级微机在实时控制、事务管理、数据处理、工程计算、CAD/CAM 以及人工智能方面都得到广泛应用。可以预见，九十年代微机将是计算机工业的主流，而32位超级微机的通用微机系统和工程工作站系统将得到广泛使用。

为了使计算机专业的教学能跟上这一形势的发展，我们编写了这本《32位微机系统》，本书旨在介绍32位微处理器及其微机系统的结构和原理，可作为高等学校计算机、自动控制等专业高年级学生和研究生教材，也可供从事微机开发和应用的工程技术人员参考。在本书付印前，承蒙白英彩教授对书稿提出了不少有益的意见和建议。同时，在编写过程中承蒙全国最大的计算机专业工厂之一的上海计算机厂为本书提供了翔实的技术资料和大力支持，在此谨致谢意。

由于本书急于付诸教学，编写和印刷都很仓促，书中难免有不足之处，恳请读者指正。

编 校 者

1990年8月

目 录

第一章 32位微处理器	(1)
§ 1.1 概述	(1)
§ 1.2 Intel 80386微处理器	(2)
1.2.1 基本结构	(4)
1.2.2 寄存器组	(5)
1.2.3 指令系统概述	(10)
1.2.4 存储器组织和I/O空间	(15)
1.2.5 操作系统模型	(17)
1.2.6 总线结构	(23)
§ 1.3 Intel 80486微处理器	(28)
1.3.1 内部结构	(29)
1.3.2 支持多处理器的功能	(29)
1.3.3 提高运算速度的其它措施	(30)
1.3.4 引脚信号及其它	(31)
§ 1.4 MC 68020微处理器	(32)
1.4.1 基本结构	(33)
1.4.2 指令系统	(36)
1.4.3 协处理器接口	(43)
1.4.4 总线接口特性	(45)
1.4.5 提高工作性能的措施	(49)
§ 1.5 MC 68030微处理器	(53)
1.5.1 概况	(54)
1.5.2 寄存器结构	(55)
1.5.3 指令系统概述	(57)
1.5.4 MC 68030片上的页面存储器管理	(58)
1.5.5 引脚信号	(60)
第二章 RISC	(62)
§ 2.1 RISC的特性	(62)
2.1.1 RISC技术的优势	(63)
2.1.2 RISC技术的难点	(63)
§ 2.2 RISC的实施要点	(64)
2.2.1 硬件代替固件	(64)
2.2.2 重叠寄存器窗口	(64)
2.2.3 高度的流水线技术	(66)

2.2.4 编译代替汇编指令	(68)
§ 2.3 Transputer——典型例 IMS T414	(68)
2.3.1 T414 结构	(69)
2.3.2 引脚及其功能	(70)
2.3.3 指令系统	(73)
2.3.4 进程、优先权和并发	(75)
2.3.5 通信链路	(75)
2.3.6 编程说明——OCCAM语言概述	(76)
§ 2.4 RISC的发展	(80)
2.4.1 九种RISC产品	(80)
2.4.2 结语	(84)
第三章 32位超级微机系统	(85)
§ 3.1 32位超级微机系统的特点	(85)
§ 3.2 IBM PS/2 微机系统	(87)
3.2.1 PS/2 的基本配置和主要性能	(87)
3.2.2 PS/2 的技术特点	(88)
3.2.3 PS/2-80型机	(93)
3.2.4 PS/2 的微通道结构	(97)
第四章 32位微机工程工作站	(104)
§ 4.1 概述	(104)
§ 4.2 APOLLO 工程工作站	(105)
4.2.1 DOMAIN结构和DN3000/DN580简介	(105)
4.2.2 DN10000系列个人超级计算机	(108)
4.2.3 DN10000 VS RISC个人图形超级计算机	(117)
§ 4.3 Sun-3工程工作站	(117)
4.3.1 硬件系统结构	(117)
4.3.2 物理设备结构	(122)
4.3.3 图形系统结构	(123)
4.3.4 软件编程环境	(127)
4.3.5 图形环境	(136)
4.3.6 网络环境	(138)
§ 4.4 Sun-4工程工作站	(145)
4.4.1 Sun-4/200系列概貌	(145)
4.4.2 SPARC 结构简介	(146)
第五章 32位微机的多机系统与联网综述	(149)
§ 5.1 多机系统概述	(149)
§ 5.2 Stratus连续处理计算机系统	(150)
5.2.1 系统结构	(151)
5.2.2 虚拟操作系统 VOS	(152)

5.2.3 针对COLA的开发工具.....	(153)
5.2.4 关系数据库SQL/2000	(155)
5.2.5 通信软件.....	(156)
§ 5.3 32位微机联网综述.....	(157)
5.3.1 微机和主机相联.....	(158)
5.3.2 PS/2-80 机在局部网络中的应用.....	(163)
5.3.3 联网的安全性问题及网络的改进.....	(169)
第六章 32位微机操作系统	(171)
§ 6.1 新一代微机操作系统.....	(171)
§ 6.2 OS/2操作系统	(174)
6.2.1 概况.....	(174)
6.2.2 体系结构.....	(177)
6.2.3 系统实现.....	(179)
6.2.4 设计目标.....	(191)
6.2.5 应用程序.....	(192)
附录 80386指令系统.....	(197)

第一章 32位微处理器

§ 1.1 概述

自 Motorola 公司在1984年推出全32位微处理器芯片68020后, 基于68020的32位微机系统不断涌现, 把微机系统从16位推进到32位领域, 使微机的性能价格比大为提高, 各国有关公司竞相开发性能更高、价格更低的32位微处理器。80年代的后五年, 由于 VLSI 电路集成度的不断提高, 设计手段日益完善, 加上体系结构设计概念的革新, 新一代的32位微处理器在各方面取得巨大进展, 单从微处理器的速度而言, 86年推出的32位微处理器的速度一般为1~5MIPS, 而到 87, 88年推出的32位微处理器的速度已高达 10~15MIPS, 有的甚至高达20MIPS, 其性能可与大型机相比。可以预见, 基于32位微处理器的32位微机将是90 年代的主流机型。

新一代32位微处理器的特点及发展趋势可归结如下:

1. 新一代32位微处理器的设计融入了大型机的体系结构的特点, 如内部的存贮管理、指令高速缓存和数据高速缓存、高度的并行性和流水线、大的寄存器堆、多机处理接口, 甚至片上带有协处理器。

2. 在新一代32位微处理器中, 标准的冯·诺依曼体系结构将逐渐让位于哈佛体系结构。由于CMOS硅片VLSI 电路的工作频率已逐渐接近极限, 要进一步提高微处理器的速度, 在保持32位数据宽度的前提下, 争取更大的并行度是一个可行的办法。而哈佛结构是单机条件下可争取更大并行度的一种体系结构。哈佛结构采取分开的数据和指令的高速缓存及其存贮器存取, 采用多个的数据与地址总线, 再加上使片内的存贮管理部件和转换后备缓冲器(TLB)与CPU 并行工作, 可使微处理器在同样的主频下取得更快的速度。如MC 68030就采用了哈佛体系结构。

另外, 精简指令系统计算机(RISC)的体系结构也在32位微处理器中得到应用, 如AMD29000。

3. 能全面支持多用户、多任务的UNIX操作系统和常用的高级程序语言, 如PASCAL、FORTRAN、COBOL、Ada和C语言。

4. 增强联网功能, 且符合IEEE802 国际有关标准的规定, 支持总线型(CSMA/CD)网和环型(Token Ring)网等。

5. 具有多处理功能的开放系统要求。

6. 含有多个微处理器的单片芯片已经出现, 系统集成已在各个角度实现。多机处理与并行处理是并行度进一步提高的途径, 而目前多机处理与并行处理已可在单片 VLSI 电路上实现。例如DEC公司把8000片多处理器芯片, 以及384片路径管理芯片(Router, 用来管理多处理器芯片上数据在各处理器之间传送的路径)一起组成一个并行处理系统, 每秒可执行2.6亿亿次4位操作, 相当于100亿次浮点操作。这种多处理器芯片系列的设计思想来源于INMOS

的 Transputer, Transputer 有效地实现了系统的集成, 以及有效地设计并实施了处理器之间的通信结构。其典型产品是IMS T414和IMS T212, 它们把处理器、快速存储器以及4条I/O连接通道集成在一个芯片上。INMOS的Transputer今后新产品将包含更多的片内存储器、提供更多与更快的I/O通道, 以提供更高级的联网能力与更快速的数据传送, 以满足更强的多机处理能力。

7. 新一代微处理器的一个重要发展趋势是面向人工智能。例如TI公司开发的面向LISP语言的32位微处理器。片上晶体管数达55.3万个, 包含114K字节的RAM, 每条指令执行时间为40 μ s。

8. 改变VLSI的材料工艺以提高微处理器速度。在CMOS的线条宽度和电路工作频率接近其极限时, 提高微处理器速度的另一途径是改变VLSI的材料工艺。目前砷化镓GaAs的微处理器已有产品, GaAs VLSI电路速度通常要比Si VLSI电路快5倍。例如麦克唐纳道格拉斯制造的GaAs的微处理器系列, 其速度可达100MIPS, 其中包括一个CPU片, 一个浮点运算部件, 一个存储管理部件以及一个高速缓存控制器。另外, GaAs工艺的存储器产品也已出现, 1KB或4KB的SRAM的存取时间只有1~2 μ s, 当GaAs的微处理器与存储器组成系统时, 其性能又可提高一个数量级。

几种主要的32位微处理器的性能比较如表1-1所示。表中NSC32532为美国国家半导体公司产品; V70是日本电气公司开发的主要用于个人计算机的32位微处理器; TRON/Gmicro/200为日本富士通、日立和三菱公司联合开发的32位微处理器。

§ 1.2 Intel 80386微处理器

Intel 80386是Intel公司于1985年10月推出的一种高性能的全32位微处理器, 采用先进的高速的CHMOS-III工艺, CHMOS-III不仅具有HMOS的高性能特点, 又具有CMOS的低功耗的特点。芯片的集成度为275000个晶体管, 整个芯片采用132引脚的陶瓷网格阵列封装, 具有高可靠性和紧密性。

80386微处理器的主要特性为:

- (a) 采用全32位结构: 其寄存器、ALU和内部总线的数据通路为32位;
- (b) 提供32位的指令, 可采用8位、16位或32位的数据类型;
- (c) 提供32位外部总线接口, 最大数据传送速率为32MB/s, 由于采用了流水线方式总线周期, 可同高速动态RAM接口, 其总线接口支持动态总线宽度控制, 能动态地切换32位/16位数据总线, 总线接口在每个总线周期中只使用2个时钟周期, 以使能实现与高速或低速存储系统的有效连接;
- (d) 具有片内集成的存储器管理部件(MMU), 可支持虚拟存储和链式保护, 保护机构采用4级特权层, 可选择片内分页单元。片内具有支持多任务机构, 能快速完成任务的切换, 与80286完全兼容;
- (e) 具有三种工作方式: 保护方式、实方式和虚拟8086方式。实方式和虚拟8086方式与8086相同, 8086的代码不作修改就能在80386的这两种方式下运行。保护方式可支持虚拟存储、保护和多任务, 完全包括了80286的保护方式功能;
- (f) 具有极大的寻址空间: 可直接寻址4G(千兆)字节的物理存储空间, 同时具有虚拟存储的能力, 虚存空间为64T(兆兆)字节。存储器采用分段结构, 一个段最大可达4G字

几种主要的32位微处理器性能一览

表 1-1

型 号	MC 68020	Intel 80386	Zilog 80000	MC 68030	NSC 32532	V70	AMD 29000	TRON G Micro/200	Intel 80486
制造工艺	CHMOS	CHMOS	n-MOS	HCMOS	M ³ CMOS	CMOS	CMOS	CMOS	CHMOS
设计规则 (μm)	2	1.5	2	1.2	1.5	1	1.2	1~1.3	1
晶体管数 (万)	17	27.5	9.3	30	37	38.5	20.8	70	118.5
芯片尺寸		95mm ²	7.9×8.1mm ²	10×8.3mm ²	13.5×15.8mm ²	14.35×14.2mm ²	115mm ²	7.74×9.45mm ²	16×11mm ²
时钟频率 (MHz)	12/16	12/16/20	10/25	16.7/20/30	20/30	20	25	20/24	25/33
处理速度 (MIPS)	2	3~5	2.5~2.7	4.5~7	8~10	6.6	17~25	6	15~20 VAXMIPS
指令缓存 (字节)	256	无	256	256	512			1K	8K
数据缓存 (字节)		无	256	256	1024			128	(共用)
存储管理 形式		分页段式	分页	分页	分页	分页		分页	分页段式
段 数		2	3或可变	4或可变	2	2	OS 支援	2	
逻辑地址	4G	64T	4G	4G	4G	4G	4G	4G	64T
物理地址	4G	4G	4G	4G	4G	4G	4G	4G	4G
页面大小 (字节)		4K	1K	256~32K	4K	4K	1K/2K/4K/8K 可变	4K	
TLB 的入口数		32	16	22	64	16	64	32	
保护级		4	2	2	4	4	2	4	
引脚数	114	132	84	128	175	132	198	135	168
封装形式		PGA	PGA	PGA	PGA	PGA	PGA	PGA	PGA
推出时间	84年7月	85年	86年	87年底	87年底	87年6月	88年初	88年上半年	89年4月
功 耗		2W		2W		1W			4.5W

节，

(g) 具有三种存贮器寻址方式：直接物理寻址、直接请求页式寻址和全分段保护方式；

(h) 通过80287或80387协处理器可支持高速数值处理;

(i) 在目标码一级与Intel的 iAPX系列芯片——8088, 8086、80188、80186, 80286兼容;

(j) 时钟为12.5MHz和16MHz, 处理速度可达每秒3~4百万条指令。

1.2.1 基本结构

80386的基本结构框图如图1-1所示，它由三大部件组成，即中央处理部件、存贮器管理部件和总线接口部件。

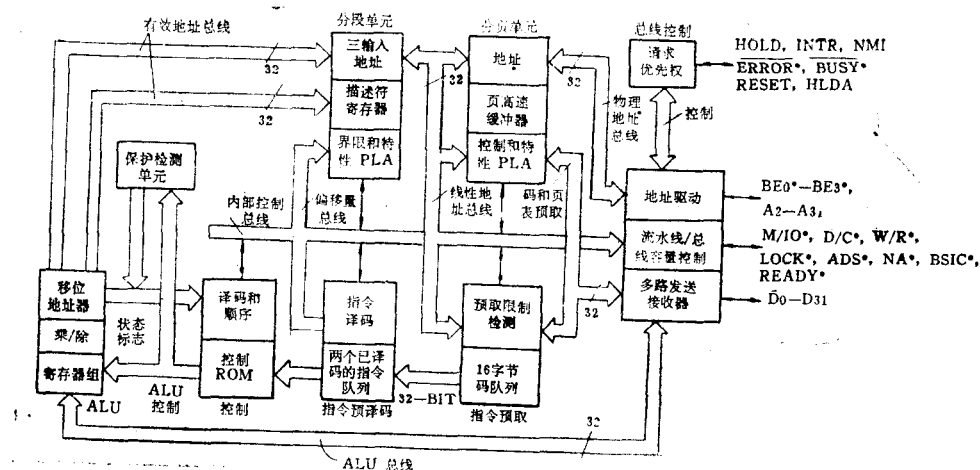


图 1-1 80386的基本结构框图

1. 总线接口部件 (BIU)

总线接口部件提供中央处理部件和系统之间的高速接口。其功能为：在代码提取、数据提取、分页单元请求和分段单元请求时，有效地满足中央处理部件进行外部总线传送的要求。为实现此功能，总线接口部件设计成能接收并优化多个内部总线的请求，使其在服务于这些请求时能最大限度地利用所提供的总线宽度。这些动作能与当前的任何事务重叠进行。80386的总线周期仅为两个时钟，若采用流水线方式，则80386总线能在完成当前总线事务之前，启动新总线周期的下一个操作地址。

2. 中央处理部件 (CPU)

中央处理部件又由指令部件和执行部件两部份组成。

(1) 指令部件包括图1-1框图中的指令预取单元和指令预译码单元,前者当总线空闲周期到来时,把指令流的下四个字节读取到指令预取队列中,后者对指令操作码进行预译码,可以完成指令到微指令的转换,并把它们存放在已译码的指令队列里供执行部件使用。这样,可省去取指令和译码的时间。

(2) 执行部件包括八个32位通用寄存器, 一个64位桶形移位器和一个乘/除法器。通用寄存器即可用于数据操作, 又可用于地址计算; 桶形移位器用来有效地实现指令的移位、循环移位和位操作, 同时也用来帮助乘法和其它操作。在一个时钟周期内, 能将任何类型数

据移动任意位；乘/除法器能在每个时钟周期内完成1位的乘除法，最快允许在40个时钟周期内进行32位的乘法或除法。因为很多乘法操作不需要把所有的32位都算完，故一次乘法运算的平均时间为20个时钟周期。

3. 存储器管理部件 (MMU)

存储器管理部件由分段单元、保护测试单元和分页单元等组成，所有的存储器管理保护和转换描述符都高速存入片上的 MMU。其中分段单元根据执行部件的请求，完成有效地址的计算，以完成从逻辑地址到线性地址的转换，同时完成总线周期分段的违法检查(由保护测试单元来完成)，然后将转换的线性地址随同总线周期事务处理信息发送到分页单元，再由分页单元负责请求总线接口部件的总线服务。分段单元通过提供一个额外的寻址器件对逻辑地址空间进行管理，可以实现任务之间的隔离也可以实现指令和数据区的再定位。而分页单元则将由分段单元或代码预取单元产生的线性地址转换成物理地址，这种转换是通过两级页面重定位机构来实现的。所以，分页单元提供了对物理地址空间的管理。每一页为 4K 字节，每一段可以是一页，也可以是若干页。为实现虚拟存储器系统,80386对所有的页和故障都支持完整的再启动功能。

在80386系统中，存储器按段来组织，段的大小可达4GM字节。一给定范围的线性地址空间或一个段可以有相应的属性。这些属性包括类型（堆栈、码或数据）、位置、大小及其保护特性。80386每一个任务可最多有16381个段，每个段最大都可达 4GM字节，故80386为每个任务都可提供最大为64MM字节的虚拟存储器。

1.2.2 寄存器组

80386微处理器片内有各种各样的寄存器组以支持其高级性能，这些寄存器可分为七类。

1. 通用寄存器

80386有八个32位通用寄存器，见图1-2。

31	16 15	8 7	0	
	AH A	X AL		EAX
	BH B	X BL		EBX
	CH C	X CL		ECX
	DH D	X DL		EDX
		SI		ESI
		DI		EDI
		BP		EBP
		SP		ESP

图 1-2 80386的通用寄存器

这八个通用寄存器分别命名为EAX、EBX、ECX、EDX、ESI、EDI、EBP以及ESP，它们是8086的16位通用寄存器的扩充。其功能可以互换，或者作为数据寄存器、或者作为地址寄存器。它们既可作为32位的寄存器，也可作为16位的寄存器——即其中低16位可分别存取，其命名为AX、BX、CX、DX、SI、DI、BP以及SP，与8086中的相同，而 AX、BX、CX、DX、SI、DI、BP和SP又可看作8位寄存器对，其高 8 位和低8 位可单独存取，这也与8086相同。

2. 指令指针和标志寄存器

80386的指令指针为 EIP 是一个32位寄存器，它是 IP 的扩充，与80386的32条地址线相对应，EIP 中存放着下一条要取出的指令的偏移量（相对于代码段—CS 基址的偏移量），

其低16位称为IP，用来存放16位的地址操作数。指令指针EIP如图1-3所示。

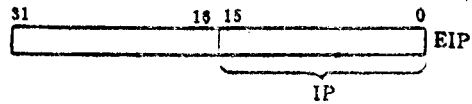


图 1-3 80386的指令指针

80386的标志寄存器 EFLAGS 也是一个32位寄存器，其各位或位域定义如图 1-4所示。

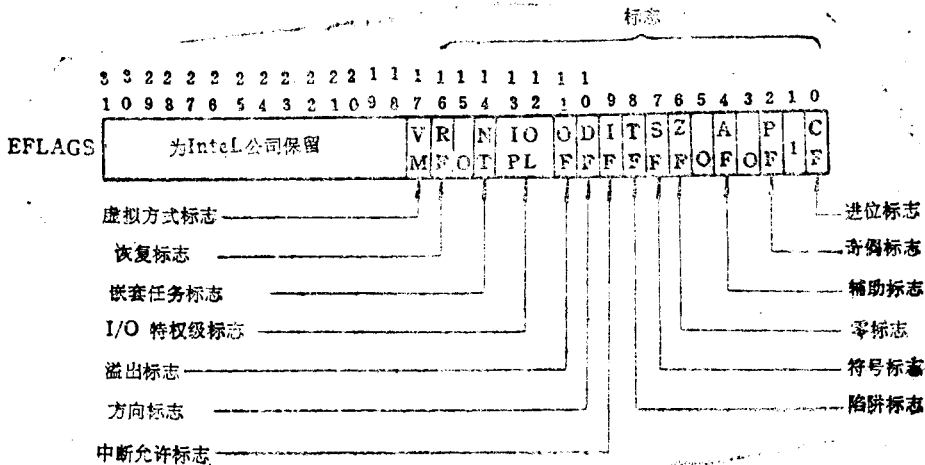


图 1-4 80386的标志寄存器

EFLAGS 的低 12 位（位 0~11）即 8086 的标志寄存器，而其低 16 位（位 0~15）命名为 FLAGS 即 80286 的标志寄存器。两个扩充的标志位 VM——虚拟方式和 RF——恢复标志的定义如下。

VM：虚拟方式，用于控制从保护方式转换为虚拟8086方式。在保护方式时，由 IREF 指令（若当前的特权级为0）或任务（任务特权级）切换，令 VM=1，引起方式转换。在虚拟8086方式时，一旦发生中断或异常，就使 VM=0，恢复到保护方式。

RF: 恢复标志, 用于发生页面故障时, 当指令执行完全结束时, $RF=0$; 执行过程中发生中断时, $RF=1$ 。因此, 页交换后参照 RF, 若 $RF=1$, 则再执行该指令, 否则从下一条指令开始执行。

3. 段寄存器

80386有6个16位段寄存器，又称为选择器，分别为CS，SS，DS，ES，FS和GS。CS指定代码段，SS指定堆栈段，DS指定数据段，ES、FS和GS则指定附加数据段。之所以增加FS和GS寄存器是为了减轻ES寄存器的负担，并能更好地配合适用于通用寄存器组的基址和变址寄存器。

80386中每一个段寄存器都有一个与之相联系段的描述符寄存器,用来描述一个段的段基地址,段的大小(范围)和段的属性等,每个段描述符寄存器保存64位信息,其中32位为段基地址,另外32位为段界限(大小)和其它一些必要的属性。段寄存器是程序员可见的,而段描述符寄存器对程序员而言是透明的。段寄存器和段描述符寄存器如图1-5。

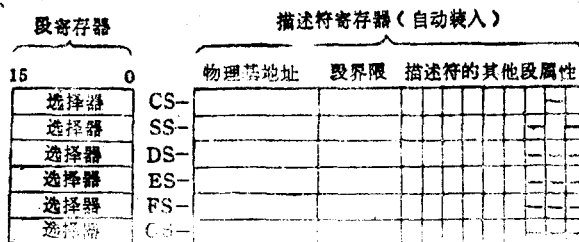


图 1-5 80386的段寄存器和段描述符寄存器

当一个段寄存器的值确定后，80386的硬件自动地根据该值从表中取出一个8个字节的描述符，装入到相应的段描述符寄存器中。当执行存储器访问时，可由所用的段寄存器直接用相应的段描述符寄存器中的段基地址作为线性地址计算中的一个元素，而不必在访问时去查表取出段基地址。从而加快了访问存储器的速度，这是80386对它的寻址方式的硬件支持。

4. 系统地址寄存器

80386中的段基地址由一个8个字节的描述符所确定，80386的段描述符如图1-6所示。

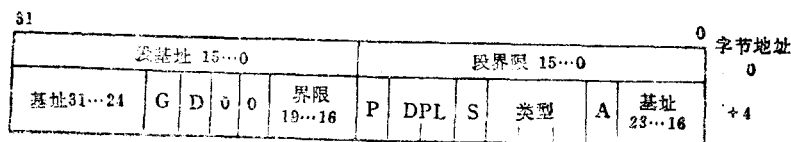


图 1-6 80386的段描述符

图中:

基址 段的基地址

界限 段的长度

P 存在位, 1=存在、0=不存在

DPL 描述符特权级 0-3

S 段描述符, 0=系统描述符、1=代码或数据段描述符

类型 段的类型

A 已存取位

G 粒度位, 1=段长度为页粒度、0=段长度为字节粒度

D 缺省操作数的大小 (仅在码段描述符中识别), 1=32位段、0=16位段

0 为与将来的处理器兼容必须设置为零的位

相关的描述符组成表，这些表为：

全局描述符表GDT (Global Descriptor Table)

中断描述符表IDT (Interrupt Descriptor Table)

局部描述符表LDT (Local Descriptor Table)

任务状态段TSS (Task State Segment)

这些表的基地址及其范围 (大小) 由相应的寄存器保存，见图1-7。

这些寄存器分别为GDTR、IDTR、LDTR和TR，其中GDTR和IDTR为32位寄存器，保存了GDT和IDT的32位的线性基地址和16位的范围；LDTR和TR为16位寄存器，保存了对LDT和TSS段的16位选择器。

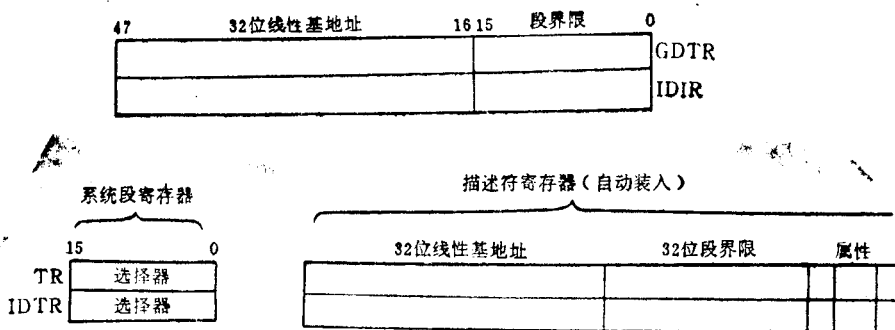


图 1-7 80386的系统地址和系统段寄存器

5. 控制寄存器

80386有4个32位控制寄存器 CR0, CR1, CR2, CR3, 如图 1-8所示。图中“0”表示 Intel公司已保留, 不要定义。

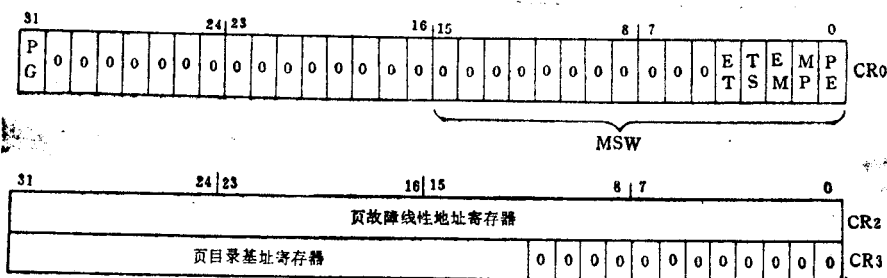


图 1-8 80386的控制寄存器

各控制寄存器中各位内容简述如下:

(1) 机器控制寄存器CR0

CR0包含了6个已定义标志, 用于微处理器的控制和状态, 各位定义为:

PG (Paging Enable): 分页允许位

1 = 允许分页

0 = 禁止分页

ET (Processor Extension Type): 处理器扩充类型位

1 = 80387

0 = 80287

TS (Task Switched): 任务切换位

1 = 发生任务切换

0 = 不发生任务切换

EM (Emulate Coprocessor): 仿真协处理器位

1 = 使所有协处理器操作码产生无效陷阱 (异常 7)

0 = 允许与协处理器通信

MP (Monitor Coprocessor): 监控协处理器位 (与 TS位一起用) MP = 1 (且 TS = 1时) 执行ESC和WAIT指令时产生协处理器无效陷阱 (异常 7); 否则不产生陷阱。

PE (Protection Enable): 保护允许位

1 = 允许CPU进入保护方式

0 = 禁止保护 (即处于实方式)

CR0的低16位即80286的机器状态字 MSW (Machine Status Word), 使 80386 与保护方式下的80286兼容。

用PG和PE位设定操作方式如下:

PG = 0、PE = 0为实方式;

PG = 0、PE = 1为保护方式 (不分页);

PG = 1、PE = 0未使用;

PG = 1、PE = 1为保护方式 (分页)。

(2) 页故障线性地址寄存器CR2

CR2保存最后发生页故障的线性地址。用软件读出即可得到发生页故障的线性地址。发生页故障时, 操作系统进行取页或交换, 用此寄存器 (CR2) 指出页表中的入口, 更新其内容。

(3) 页目录基地址寄存器CR3

CR3存放页目录表的物理基地址, 80386的页目录表是按页对齐 (4K 字节对齐), 因此写CR3时, 低12位是忽略的。

(4) 未定义寄存器CR1

CR1为Intel公司保留的寄存器。

6. 调试寄存器

80386有6个32位的调试寄存器DR0~DR3, DR6, DR7用于程序员调试, 各寄存器如图1-9所示, 另有寄存器DR4与DR5是为Intel公司保留的。

31		0
线性断点地址0		DR0
线性断点地址1		DR1
线性断点地址2		DR2
线性断点地址3		DR3
Intel 公司保留, 不要定义		DR4
Intel 公司保留, 不要定义		DR5
断点状态		DR6
断点控制		DR7

图 1-9 80386的调试寄存器

DR0~DR3用来设定4个线性断点地址, DR6 为调试状态寄存器, DR7 为调试控制寄存器, 用来控制断点并表示中断结束。可用 MOV 指令来写入或读出调试寄存器, 但不能用特权级 0 的任务以外的特权指令。6 个调试寄存器控制了多达 4 个代码的设置或数据断点的设置, 提供了前所未有的排除故障的功能。

7. 测试寄存器

80386有2个测试寄存器 TR6 和 TR7 如图 1-10 所示,用于控制对“转换后备缓冲器”(TLB)中的RAM和CAM(内容可寻址存储器)的测试。

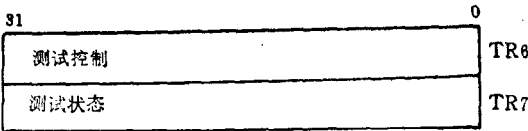


图 1-10 80386的测试寄存器

TR6是TLB命令寄存器,指示读出或写入TLB的入口;TR7是TLB的数据寄存器,保存着TLB测试中所获得的数据。可用 MOV 指令来访问 TR6 和 TR7。另有 TR0~TR5 由 Intel公司保留。

上述七类寄存器在80386的三种工作方式中的使用情况如表1-2所示。

表 1-2 80386寄存器的使用

寄 存 器	用于实方式		用于保护方式		用于虚拟方式	
	装 入	存 贮	装 入	存 贮	装 入	存 贮
通用寄存器	Y	Y	Y	Y	Y	Y
寄存器段	Y	Y	Y	Y	Y	Y
标志寄存器	Y	Y	Y	Y	IOPL	IOPL*
控制寄存器	Y	Y	PL=0	PL=0	N	Y
全局描述符表寄存器	Y	Y	PL=0	Y	N	Y
中断描述符表寄存器	Y	Y	PL=0	Y	N	Y
局部描述符表寄存器	N	N	PL=0	Y	N	N
任务寄存器	N	N	PL=0	Y	N	N
排错寄存器	Y	Y	PL=0	PL=0	N	N
测试寄存器	Y	PL=0	PL=0	PL=0	N	N

- 注: ① Y=是;
② N=否;
③ PL=0 仅当现行特权级为零时,才能读写该寄存器;
④ IOPL*: PUSHF和POPF指令造成虚拟8086方式的I/O特权级敏感。

1.2.3 指令系统概述

1. 指令的一般格式

80386的指令系统包括九大类指令,它们是:

- 数据传送类
- 算术运算类
- 移位/循环类
- 串处理类