

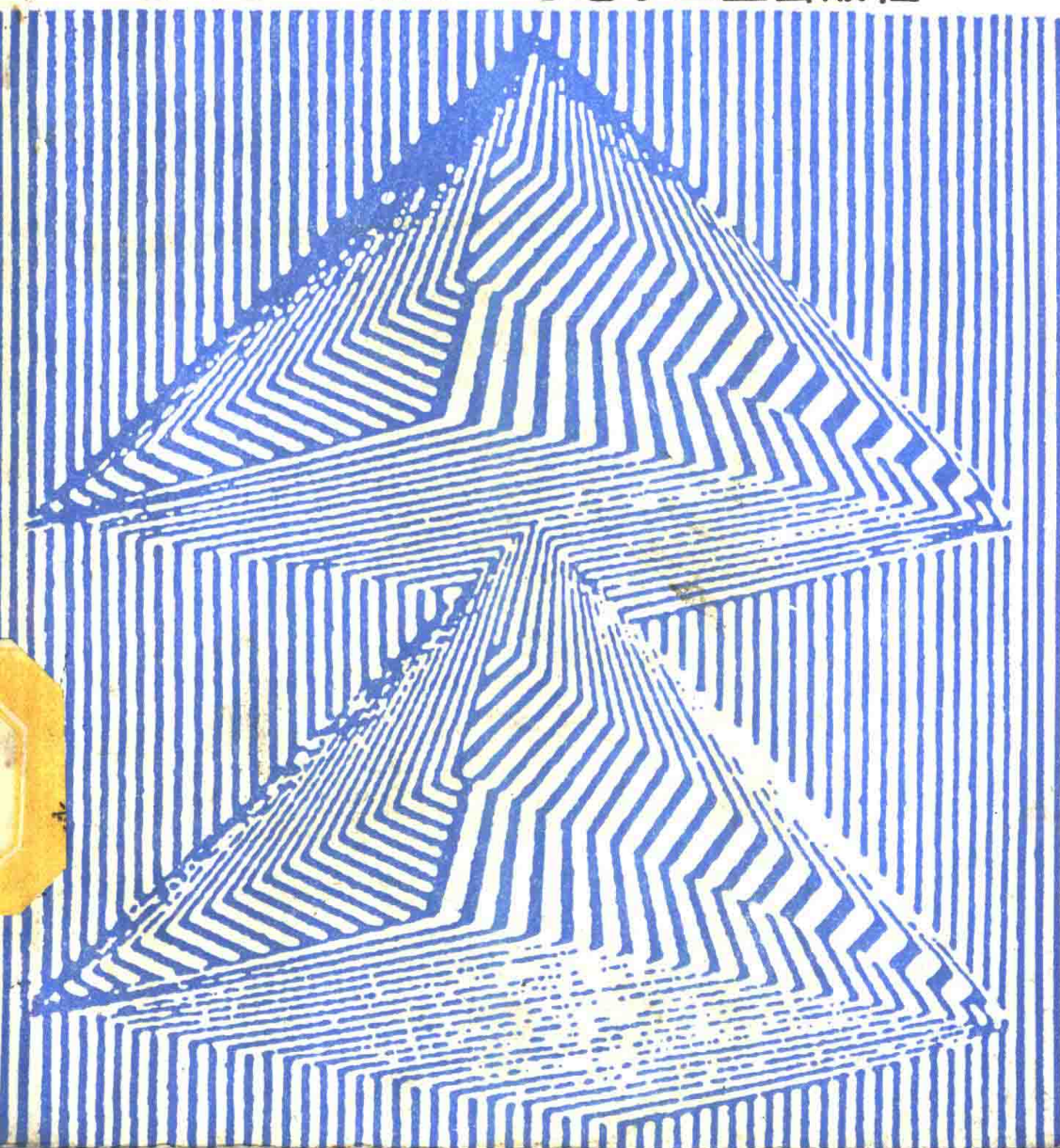
高等学校教学用书

CMOS

集成电路原理 制造及应用

● 刘忠立 编著

● 电子工业出版社



高等学校教学用书

CMOS集成电路原理 制造及应用

刘忠立 编著

电子工业出版社

内 容 简 介

本书较全面地介绍了 CMOS 集成电路的基本原理, 制造方法及应用技术。在制造技术方面, 除了介绍传统的 p 阱 CMOS 集成电路工艺外, 还以较多的篇幅介绍了正在发展中的各种新型 CMOS 集成电路工艺。它们包括 n 阱 CMOS 集成电路, 高低压兼容 CMOS 集成电路, 双阱 CMOS 集成电路, 双极-CMOS 混合集成电路, SOS-CMOS 集成电路以及 SOI-CMOS 集成电路等。在电路应用方面, 除了介绍 CMOS 集成电路的测试方法, 应用注意事项外, 还给出了各种 CMOS 集成电路的典型应用例子。

本书可作为从事 MOS IC 研究, 生产和应用的科技人员、专业教师和研究生的技术参考书。

CMOS 集成电路原理、制造及应用

刘忠立 编著

责任编辑 郭延龄

*

电子工业出版社出版(北京万寿路)

山东电子工业印刷厂印刷(淄博市周村)

新华书店北京发行所发行 各地新华书店经售

*

开本 787×1092 毫米 1/32 印张: 13.3125 字数: 308 千字

1990年6月第1版 1990年6月第1次印刷

印数: 1-1100 册 定价: 2.85元

ISBN7-5053-0871-8/TN·312

前 言

CMOS (互补金属-氧化物-半导体)集成电路具有低功耗、高抗干扰、宽工作电压范围及耐辐照等优点,因此被广泛地应用于各种数字及模拟电路中。人们使用的电子手表及袖珍计算器,主要采用的就是CMOS集成电路。

近年来,在大规模及超大规模集成电路领域中, CMOS 集成电路得到了很大的发展,其原因来自两个方面:一是由于采用了离子注入、微细加工和其它一些复杂的先进工艺技术,使得CMOS 集成电路的特性得到了空前的提高;二是由于其它工艺的集成电路在其发展中由于其固有的种种局限而受到了限制。CMOS 集成电路可能成为今后进一步发展超大规模集成电路的重要途径。面临CMOS 集成电路大发展的形势特编写本书以飨读者。

本书第一、二章简要介绍了CMOS集成电路的历史,概况及基本原理。第三章至第十一章介绍了各种CMOS集成电路的制造方法。第十二章介绍了CMOS集成电路的应用技术。

在本书编写的过程中,得到了王守觉教授、孙祥义高级工程师的热情支持和帮助。他们亲自审阅了原稿。陈建民及茅冬生同志在整理初稿中亦提供了很多帮助。编者对于所有给予指导和帮助的同志表示衷心感谢。由于编者水平有限,书中可能有缺点和错误,敬请读者批评指正。

作 者

1987年5月

目 录

第一章 CMOS 集成电路的发展概况.....	1
§ 1-1 CMOS 集成电路的发展简史.....	1
§ 1-2 CMOS 集成电路的优点及缺点.....	3
§ 1-3 CMOS 集成电路的工艺结构及发展前景.....	4
第二章 CMOS 集成电路的基本原理及基本电路.....	9
§ 2-1 MOS 场效应晶体管的基本知识.....	9
2-1-1 MOS 电 容 器.....	9
2-1-2 MOS 晶 体 管.....	11
2-1-3 MOS 晶体管的特性方程.....	14
§ 2-2 CMOS 倒相器.....	17
2-2-1 CMOS 倒相器的静态特性.....	17
2-2-2 CMOS 倒相器的动态特性.....	20
§ 2-3 CMOS 传输门.....	24
§ 2-4 其它的CMOS基本电路.....	27
2-4-1 电平变换电路.....	27
2-4-2 CMOS 门 电 路.....	29
2-4-3 具有三态输出的 CMOS 电路.....	36
第三章 p 阱 CMOS 集路电路.....	39
§ 3-1 p 阱 CMOS 集成电路的一般考虑.....	39
§ 3-2 采用离子注入技术的 p 阱 CMOS 集成电路.....	45
§ 3-3 硅栅 p 阱 CMOS 集成电路.....	48
§ 3-4 等平面 p 阱 CMOS 集成电路.....	51
§ 3-5 p 阱 CMOS 集成电路的新发展.....	52
3-5-1 全离子注入等平面 p 阱 CMOS 工艺.....	53
3-5-2 自对准接触孔技术.....	54

3-5-3 闭合漏 CMOS 集成电路	54
3-5-4 由DMOS-VMOS构成的 p阱CMOS 集成电路	57
第四章 n 阱CMOS 集成电路	61
§ 4-1 n阱CMOS集成电路的一般考虑	61
§ 4-2 铝栅 NMOS/CMOS 兼容的集成电路	62
4-2-1 工艺的一般考虑	62
4-2-2 n阱杂质浓度分布及p沟MOS管的阈值电压	64
4-2-3 阈值电压调整	70
4-2-4 PMOS晶体管的迁移率	71
4-2-5 n 阱工艺的设计准则	74
4-2-6 CMOS/CCD 兼容工艺	76
§ 4-3 兼容的硅栅 n阱CMOS集成电路	77
4-3-1 硅栅E/D NMOS工艺	77
4-3-2 硅栅NMOS/CMOS兼容的集成电路工艺考虑	80
4-3-3 2 μ m全离子注入硅栅NMOS/CMOS集成电路的工艺 设计及制造特点	81
4-3-4 2 μ m NMOS/CMOS 集成电路的实验结果	93
4-3-5 等平面隔离n阱硅栅CMOS 工艺	102
附录: 微分衬底效应系数D同耗尽深度 x_d 的关系	106
第五章 高低压兼容的CMOS 集成电路	109
§ 5-1 高压CMOS 集成电路的一般考虑	109
§ 5-2 MOS 晶体管耐压的一般分析	112
§ 5-3 以p阱工艺为基础的高低压兼容CMOS集成 电路	116
§ 5-4 以n阱工艺为基础的高低压兼容CMOS集成 电路	118
5-4-1 总的工艺结构	118
5-4-2 N沟高压MOS晶体管	120
5-4-3 p沟高压MOS晶体管	128
第六章 CMOS-双极混合集成电路	133
§ 6-1 CMOS-双极混合集成电路的基本考虑	133

§ 6-2	p阱 CMOS-双极集成电路	135
§ 6-3	以双极工艺为基础的混合CMOS 集成电路	139
§ 6-4	全离子注入 NMOS、CMOS-双极混合集成电路	140
§ 6-5	区熔重结晶 SOI CMOS-双极混合集成技术	144
第七章 CMOS集成电路中的锁定(Latch-up)效应		147
§ 7-1	CMOS 集成电路中的锁定效应的分析	147
§ 7-2	防止锁定效应产生的方法	153
7-2-1	利用版图设计技巧减小或消除锁定效应	153
7-2-2	改进工艺及电路结构以减小或消除锁定效应	155
第八章 SOS-CMOS 集成电路		161
§ 8-1	SOS-CMOS集成电路的一般考虑	161
§ 8-2	蓝宝石衬底	164
§ 8-3	外延硅膜的制备及其电学性质	168
8-3-1	晶面方向考虑	168
8-3-2	外延硅膜制备	169
8-3-3	SOS膜的电学性质	173
§ 8-4	SOS-CMOS集成电路的分类及制造	184
8-4-1	SOS-CMOS 集成电路的分类	184
8-4-2	SOS-CMOS 集成电路的制造	187
§ 8-5	SOS-CMOS 集成电路中的特殊问题	195
8-5-1	背界面态的影响	195
8-5-2	SOS-MOS管的异常漏电流	198
8-5-3	不规则的漏特性“扭曲”(kink)现象	200
§ 8-6	SOS-CMOS 集成电路的辐射效应及加固	203
8-6-1	辐射效应的一般概念	203
8-6-2	SOS-CMOS集成电路的辐射效应	204
8-6-3	SOS-CMOS集成电路的加固	205
第九章 其它新的CMOS技术		213
§ 9-1	双阱CMOS技术	213

§ 9-2 SOI(绝缘体上硅)CMOS 技术	215
9-2-1 多孔硅全隔离技术	216
9-2-2 离子注入埋绝缘层技术	218
9-2-3 绝缘层上多晶硅重结晶技术	221
第十章 CMOS集成电路晶体管的模型方程、工艺	
模拟及参数测量技术	228
§ 10-1 CMOS集成电路晶体管的模型方程	228
10-1-1 长沟MOS晶体管的模型方程	228
10-1-2 短沟MOS 晶体管模型方程	231
10-1-3 弱反型工作的模型方程	238
§ 10-2 工艺模拟	240
10-2-1 离子注入分布	242
10-2-2 扩散模型	245
10-2-3 氧化及杂质再分布	250
§ 10-3 参数测量技术	252
10-3-1 MOS 参数综合测量装置	253
10-3-2 参数自动测试装置	260
附录1 MOS晶体管的经典电流方程推导	270
附录2 沟道调制漏区空间电荷区长度 ΔL	273
第十一章 CMOS集成电路设计入门	275
§ 11-1 CMOS 倒相器的尺寸选择	275
§ 11-2 其它门电路的尺寸选择	277
11-2-1 多输入端或非门及与非门电路	277
11-2-2 传输门	280
§ 11-3 CMOS集成电路版图设计入门	282
11-3-1 版图设计举例	282
11-3-2 版图设计规则	284
11-3-3 版图设计中的其它问题	286
第十二章 CMOS 集成电路的应用技术	291
§ 12-1 通用CMOS集成电路	291

12-1-1	一般介绍	291
12-1-2	CMOS 集成电路的应用知识	293
12-1-3	CMOS 集成电路测试的基本知识	303
12-1-4	CMOS 集成电路同其它逻辑系列电路的接口方法	316
12-1-5	CMOS 集成电路的应用设计	328
§ 12-2	CMOS 存贮器电路	380
12-2-1	CMOS RAM	380
12-2-2	CMOS ROM	386
12-2-3	CMOS 移位寄存器	389
§ 12-3	CMOS 微处理器及微计算机	391
12-3-1	CMOS 微处理器	391
12-3-2	CMOS 微计算机	394
§ 12-4	CMOS 门阵列	398
§ 12-5	CMOS 模拟集成电路	402
12-5-1	CMOS 运算放大器和比较器	402
12-5-2	CMOS 功率开关	405
附录1	国产通用CMOS集成电路同国外型号对照表	412
附录2	TTL与CMOS国际型号对照表	415

第一章 CMOS集成电路的发展概况

§ 1-1 CMOS集成电路的发展简史

MOS 器件, 即金属氧化物半导体器件, 其发展历史可追溯到1948年Bardeen及 Brattain 在美国贝尔电话实验室发明点接触晶体管以前。那时, 他们企图用一薄绝缘层和金属片, 通过外加电压给半导体充电, 从而改变半导体中导电的电子及空穴的数目。Person 进行了这样的实验, 并且观察到这种效应。但所得到的这种效应比预料的要小得多, 其原因是接触问题及半导体表面存在的表面态屏蔽了外加电场。

1952年, Snockley 提出了完整的单极场效应晶体管的模型^[1]。所谓单极是指一种载流子(电子或空穴)导电。他们这一模型便是现今结型场效应晶体管(JFET)的雏形。直到1959年, 由 Atalla 建议, 用热氧化的 SiO_2 作为栅绝缘体, 在解决了一系列工艺净化问题以后, 便产生了高质量的 MOS 场效应晶体管^[2]。

开始制作的MOS器件是N沟耗尽型器件。后来在数字集成电路中, 发展了P沟和N沟MOS增强型器件。两种沟道MOS晶体管的制作成功, 为CMOS(即互补金属氧化物半导体)逻辑电路的发明奠定了基础。1963年, Wanlass 和 sah 最早提出采用互补MOS晶体管构成的毫微瓦逻辑结构^[3]。他们用一个N沟MOS管和一个P沟MOS管对接构成CMOS倒相器, 从实验上证实了这种逻辑结构具有极低的静态功耗。

高的输入阻抗和较快的工作速度等优点。1964年 Burns 对 CMOS 逻辑电路的开关响应进行了全面的分析，发表了一篇相当有价值的论文^[4]。1967年美国 RCA 公司(美国无线电公司)开始试销 CMOS 产品。七十年代初，该公司建立了较完整的 CMOS 标准逻辑电路产品系列——CD4000 系列。此后，RCA 又同 Motorola 公司共同开发了 CMOS 4500 系列。直到今天，4000/4500 CMOS 系列电路仍然是 CMOS 标准逻辑电路的主流。

在七十年代，CMOS 除了作为低功耗标准逻辑电路的主流以外，还在大规模集成电路的应用领域里，用来制作电子钟表电路及计算器电路^[5]。由于这两种产品应用的普遍性，使 CMOS 集成电路赢到了广泛市场。

CMOS 作为超大规模集成电路的元件，只是在近几年才开始引起注意的。其发展的动力来自两个方面：一是随着集成电路由大规模向超大规模集成电路方向发展，在实际应用中希望将多种功能集成在同一芯片上构成所谓的系统集成，而 CMOS 集成电路作为系统集成的基本单元特别合适；二是在超大规模集成电路的发展过程中，NMOS 及其它元件受到功耗和抗干扰度的限制，而 CMOS 集成电路在这些方面具有良好的特性。

大规模及超大规模 CMOS 集成电路的发展反过来又推动了 CMOS 标准逻辑电路的发展。由于用硅栅代替铝栅，采用了 $4\mu\text{m}$ 的沟道长度和其它超大规模集成技术，八十年代初期由美国 NSC(国家半导体公司)及 Motorola 公司共同开发，建立了高速 CMOS(H-CMOS)逻辑系列——MC54HC/74HC，MM54HC/74HC 系列^[6]。高速 CMOS 系列既有 LSTTL(低功耗肖特基 TTL)集成电路的高速度，又有后者无法达到

的低功耗的优点，因此获得了广泛的应用和飞速的发展。

CMOS集成电路的发展同单一沟道MOS集成电路的发展是紧密相连的。在同一单沟道MOS集成电路和双极型集成电路的竞争中，CMOS集成电路由于其突出的优点而倍受人们的重视。

§ 1-2 CMOS集成电路的优点及缺点

本节对CMOS集成电路的优缺点作一概述。其主要的优点如下：

1. 低的静态功耗

同单一沟道MOS集成电路相比，CMOS集成电路的最大优点在于，当CMOS倒相器或逻辑门电路处于静态时，无论输出高电平还是低电平，静态电流都很小。它主要取决于构成倒相器的NMOS或PMOS管的截止漏电流。在通常的体硅(用硅片作衬底)CMOS集成电路中，这一电流小于 1nA ，因此CMOS集成电路的静态功耗很小。尽管CMOS集成电路的动态功耗会随着频率的提高而增大，但在一个完整的集成电路芯片中，往往只有很少一部分电路工作在最高频率上，因此，CMOS集成电路的总功耗通常比单一沟道MOS集成电路要小得多。

2. 宽的电源电压范围

CMOS集成电路的工作电压范围一般为 3V 。若采用特殊工艺，其工作电压还可低至 1.5V ，高到 20V 。这一优点使得CMOS集成电路很容易同包括TTL电路在内的其它系列集成电路联用，同时也可以通过提高工作电压来提高集成电路噪声容限及工作速度。

3. 宽的输出电压摆幅

CMOS 集成电路的输出电压可以地电位至电源电压之间摆动, 没有单一沟道 MOS 电路那样因阈值电压压降引起的输出电压摆幅的损失。

4. 具有高速及高密度的潜力

适当地进行设计, CMOS 集成电路可以具有 ECL (发射极耦合逻辑) 电路的速度^[8], 采用改进的结构也可以达到很高的集成密度。

当然, CMOS 集成电路也有缺点。首先是工艺比单一沟道 MOS 集成电路复杂, 其次是集成密度一般比单一沟道集成电路低。另外, 对于体硅 CMOS 集成电路来说, 还存在不易克服的寄生闭锁(Latch-up)效应。这些内容将在本书的有关章节中详细论述。

§ 1-3 CMOS 集成电路的工艺结构 及发展前景

传统的 CMOS 集成电路采用 p 阱工艺结构。在这种结构中, 用来制作 N 沟道 MOS 管的 p 阱是通过 n 型硅衬底中扩散硼而形成的。如果栅 SiO_2 厚度降低, 为了维持器件阈值电压不变, n 型衬底及 p 阱的表面杂质浓度均需增加, 结果将产生大的结电容, 并产生影响器件稳定性的向栅 SiO_2 注入热载流子的效应。因而, 这种结构不适于高性能的 CMOS 集成电路。在第三章将要介绍为改善 p 阱 CMOS 工艺的特性而发展的一些新的工艺方法及工艺结构。

为了降低结电容, 最好是采用第九章将要介绍的双阱工艺结构。它的高电阻率衬底上同时形成低杂质浓度的 p 阱和 n 阱。NMOS 管及 PMOS 管分别做在这两个阱中。这样可以独立调节两种沟道 MOS 管的参数, 以使 CMOS 电路达到最优

特性。由于两种器件之间的距离也因采用独立的阱而减小，因此适合于高密度集成。

在第四章中将要介绍的n阱 CMOS 工艺结构，是一种倒置CMOS结构。它同p阱工艺结构正好相反，是向高阻p型硅中扩散磷形成一个作PMOS管的n阱。由于NMOS管做在高阻p型硅衬底上，因而降低了NMOS管的结电容及衬底偏压效应。这种工艺结构的最大优点是同NMOS器件及其它器件具有良好的兼容性。

进一步降低MOS管结电容及寄生电容，从而改善CMOS集成电路的速度特性的方法是采用SOS(蓝宝石上外延硅)结构，这一结构将在第八章中介绍。SOS-CMOS不仅因为完全消除了体硅CMOS固有的闭锁效应，而且由于无需附加的隔离扩散，有利于高密度的集成。此外抗辐照特性也很好。因此，尽管它的材料价格较高，难于普遍采用，但是，还是深受军事部门的重视。

为了克服SOS结构价格高的缺点，近年来正在发展各种SOI(绝缘体上硅膜)结构。从第九章的介绍中可以看到，一些特殊的SOI-CMOS结构不仅完全具有SOS-CMOS结构具有的优点，而且还可以向纵向集成发展。如果能用这种方法建立多层集成结构，势必极大地提高集成密度。尽管这些工作还只是刚刚开始，但对人们的鼓舞还是很大的。

为了对上述的内容有一个概括性的认识，图1-1列出了各种CMOS工艺结构的剖面、特性及其应用的简要说明。

除了上述CMOS结构以外，也出现了一些同它兼容集成的其它结构，例如第五章将要介绍的CMOS-双极混合集成结构等。这些结构能很好地用在以CMOS器件为主的系统集成中。

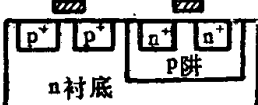
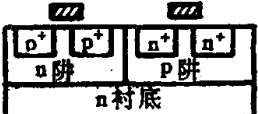
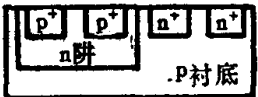
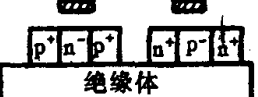
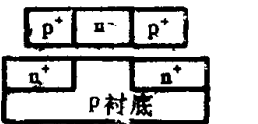
结 构	特 性	应 用
传统的P阱 	高浓度阱及衬底 → 较大的结电容	低档集成电路
双阱 	P阱及n阱独立控制 大的噪声容限 优良抗 α 粒子能力	存储器 处理器
n阱 	同NMOS兼容 NMOS有低的结电容	数字和模拟LSI应用
SOS, SOI 	小电容 抗辐射优良 工艺控制困难	军用高速数字电路及存储器
堆叠 	高密度 无闭锁效应	未来的技术应用

图1-1 各种CMOS工艺结构剖面、特性及其应用的简要说明

今后CMOS集成电路的发展前景如何？这是一个十分令人关心的问题。在标准逻辑电路中，CMOS的竞争对象主要是TTL，在以存储器为代表的超大规模集成电路中，CMOS的竞争对象主要是NMOS。从表1-1列出的1981年至1986年美国

的标准逻辑电路及存贮器电路的销售总额来看，尽管 CMOS 集成电路尚未占优势，但它的发展速度是最快的。在标准的逻辑电路中，由于高速 CMOS 系列的生产才开始不久，产量还不能一下超过 TTL，但是高速 CMOS 可能控制标准逻辑电路的市场。从价格和性能上讲是没有什么问题的，关键在于能否尽快地备齐产品系列。在超大规模集成电路中，CMOS 的发展前景也是乐观的。除了 SOS 及 SOI 这样的技术深入进行研究以外，重要的是利用先进的加工技术，例如离子注入、干法腐蚀、低压化学气相淀积、双层多晶硅及双层金属化等，将能进一步缩小器件尺寸，提高 CMOS 集成电路的特性及集成密度。

表1-1 美国1981年至1986年重要的标准逻辑电路及存贮器电路销售总额(单位: 百万美元)

集成电路类别	1981年	1982年	1983年	1986年
标准逻辑电路				
标准STTL	145.8	151.3	159.8	180
LSTTL	393.1	453.2	488.7	740
标准CMOS	236.0	243.0	260.0	300.0
高速CMOS	6.0	12.0	40.0	180.0
存贮器电路				
高速NMOS RAM	70.1	128.8	168.8	340.0
低速NMOS RAM	118.1	128.8	168.8	340.0
高速CMOS RAM	23.9	53.9	86.8	300.0
低速CMOS RAM	85.1	84.8	92.4	160.0
NMOS ROM	287.1	357.1	422.6	660.0
CMOS ROM	26.9	35.1	46.7	255.0

参 考 文 献

- (1) W. Schockley, Proc. of The. I.R.E, pp1356—1376, (1952)
- (2) O. Kahng and M. M. Atalla, "Silicon-Silicon dioxide field induced surface devices", in IRE AIEE Solidstate Device Res. Conf. (Carnegie Inst. of Technol. Pittsburgh, PA)(1960)
- (3) F. M. Wanlass and C.T. Sah, Tnt. Solid State Circuits

- Conf. Dig Tech Papers, Philadelphia, pp32—33(1963)
- [4] J. R. Burns, RCA Rev. Vol. 25, №.4, pp627—661(1964)
- [5] E. Vittoz, B. Gerter and Flenenberger, IEEE Solid State Circuits, Vol. SC—7, p100, (1972)
- [6] 高速CMOS 集成电路的性能与应用, 日本《晶体管技术》杂志1983年3月号, 中译本, 李文达译
- [7] K. Yu et al, Electronics, pp160—163 Feb, 10(1982)