

十、中继线接口电路

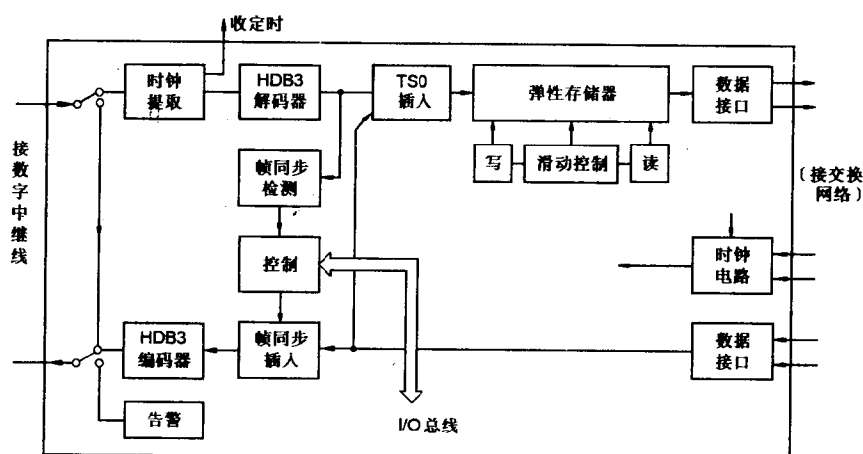
在交换系统中利用中继线实现交换机之间的连接,根据传输线路和所用接口方式的不同中继线分为模拟中继线和数字中继线两类,对于交换机相应的是模拟中继线接口单元(ATU—Analog Trunk Unit)与数字中继线接口单元(DTU—Digital Trunk Unit)。

通常,数字中继系统处于两个数字交换机之间,其传输信道一般采用CCITT建议的PCM基群或高次群连接,可以是同轴电缆或光缆数字传输系统,但目前的程控数字交换网基本采用后者。

根据所使用的信号方式不同,有两种数字中继电路,一种采用随路信号方式(CAS—Channel Associated Signalling),一种采用共路信号方式(CCS—Common Channel Signalling)。在我国,随路信号定为中国一号信号,它类似于CCITT R 2信号方;共路式信号目前一般都采用CCITT七号信号。

数字中继接口电路的主要作用是根据PCM时分复用原理,将30路64kb/s话路信号复用成2.048Mb/s基群PCM码流(欧洲和中国采用体制CEPT E1—PCM30/32),或将24路64kb/s话路信号复用成1.544Mb/s基群PCM码流(北美和日本采用体制AT&T T1—PCM24),然后经高次群复用设备(PCM二、三或更高次群电端机)和光端机发送出去,或者反之。而各路相应的控制信号则插入到各自规定的时隙位置上。

数字中继线接口电路通常应具有所谓的GAZPACHO功能,即帧和复帧同步码的产生(G)、帧定位(A)、连零抑制(Z)、传输码型变换(P)、告警处理(A)、时钟恢复(C)、帧同步(H)与信令插入和抽取(O)等。对于异步通信网,为保证输入数据与本地时钟同步,实现相位一致和帧对齐,以使得各数字中继线的话路正确地进行交换,因而在接口电路中含有一定容量(如两帧)的弹性存储器或帧调整器。典型的数字中继接口电路功能框图如下所示。



目前国际上已开发出一些数字中继线接口集成电路,其中常见的是MITEL公司,产品有MH89790B、MH89750、MH89780、MH89760、MT8970、MT8977及相应的配套电路MT8920B、MT8940、MT8941,模拟中继线接口电路有MH88630、MH88631、MH88632等。本部分将择要介绍几种典型电路。

并行接口电路

MT8920B

简要说明

MT8920B 是 MITEL 公司生产的用于高速串行通信总线 ST-BUS 上的并行接口电路, 可用作 T1 或 E1 数字中继链路的并行数据存取, 适用于程控交换系统和通信设备。电路基本特性有:

(1) 完成高速串行通信总线 ST-BUS 与并行数据总线间的数据转换。

(2) 有完整的微处理器并行接口, 特别适用于 MC68000 系列的微处理器。

(3) 有三种工作方式。

(4) 既可用在 PCM24 的 T1 链路, 也可用在 PCM30/32 的 E1 链路。

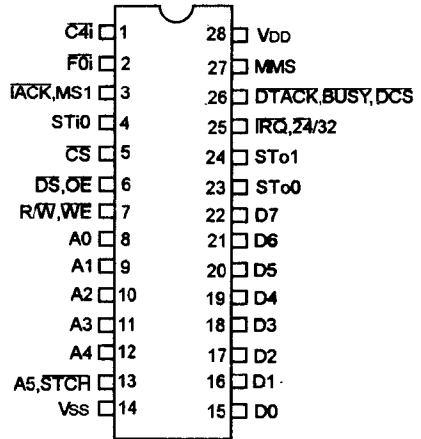
(5) 具有自环控制。

(6) 电源 +5V

(7) 工艺 CMOS

(8) 封装 DIP-28PIN

引出端排列



引出端符号说明

$\overline{C4i}$ 4.096MHz 位时钟输入

$\overline{F0i}$ 8kHz 帧起始脉冲输入

$\overline{IACK}$ (方式 1) 中断认可输入, 低电平有效

$\overline{MS1}$ (方式 2,3) 模式选择输入

$\overline{STi0}$ ST-BUS 输入

$\overline{CS}$ 片选, 低电平有效

$\overline{DS}$ (方式 1) 读写有效输入, 低电平有效

$\overline{OE}$ (方式 2) 输出选通信号输入, 低电平有效

$\overline{OE}$ (方式 3) 输出选通信号端, 用来读其它器件, 低电平有效

$\overline{R/W}$ (方式 1,2) 读写选择输入, $\overline{R/W}=1$, 为读操作;
 $\overline{R/W}=0$, 为写操作

$\overline{WE}$ (方式 3) 写信号输出, 低电平有效

A0 ~ A4 (方式 1,2) 地址输入

A0 ~ A4(方式 3) 地址输出

A5(方式 1,2) 地址 A5

$\overline{STCH}$ (方式 3) 时隙开始脉冲输出

V_{ss} 地

D0 ~ D7 数据总线

ST00, ST01 ST-BUS 输出

$\overline{IRQ}$ (方式 1) 中断请求输出, 低电平有效

24/32(方式 2,3) 24/32 时隙选择输入

$\overline{DTACK}$ (方式 1) 数据读写结束信号输出, 低电平有效

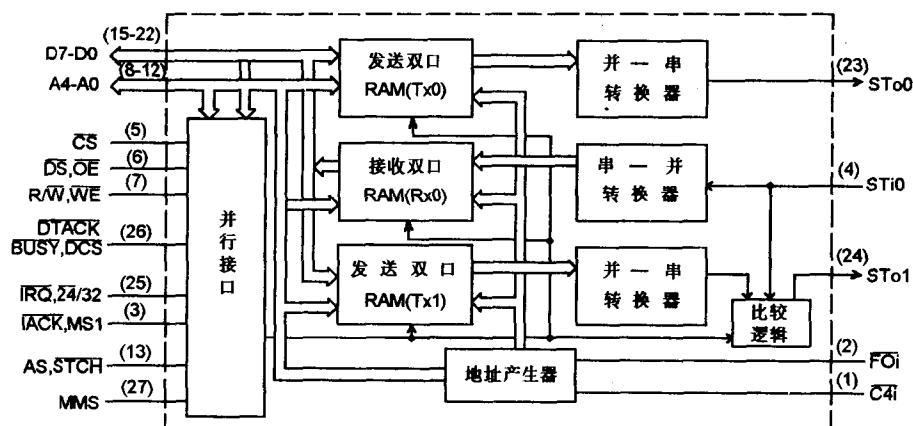
$\overline{BUSY}$ (方式 2) 忙信号输出, 低电平有效

$\overline{DCS}$ (方式 3) 延时的片选输出

MMS 主方式选通

V_{DD} 正电源(+5V)

功能框图



电路的功能说明

MT8920B 是 MTIEL 公司生产的用于 ST-BUS 上的并行端口。它为 MITEL 系列的 ST-BUS 和并行系统提供了简单的接口,其内部包含有:并-串转换器、三个 32 字节的双口 RAM、地址产生器、并口逻辑电路等功能单元电路。

MT8920B 提供了三种操作模式,分别为 MODE1、MODE2、MODE3。

MODE1 下,应令 $MMS=1$ 。这时,可把该电路看作一个 MC68000 系列处理器的外设, $\overline{CS}$ 、 $\overline{R/\overline{W}}$ 、 $\overline{DS}$ 、 $\overline{DTACK}$ 、 $\overline{IRQ}$ 和 $\overline{IACK}$ 用作控制信号。其中,可通过外部逻辑,让该器件与 MC68000 系列处理器做成“握手”操作,彻底消除了竞争。在 MODE1,该器件提供了强大的中断方式。控制寄存器 1 中给出了中断类型的选择位和中断允许位(见下页表 1)。控制寄存器 2 中含有组成方式与反馈控制位,可实现 STi0 到 STo0,发送 RAM 到接收 RAM 及两者兼而有之等多种方式的反馈。(见下页表 2)。中断通道地址寄存器 1 和 2 包含着两个中断源的通道地址。中断通道地址寄存器 1 和 2 的结构为:

B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----

其中, B7, B6, B5 未用。B4 ~ B0 用二进制数值指定中断源的地址。

中断映象寄存器 1 和 2 中包含了产生中断的那个时隙的内容。中断匹配寄存器 1 和 2 中包含了用作比较的数值,静态中断方式时,当指定的中断源为此值时产生中断;动态方式下,与中断屏蔽寄存器一起定义采用何种跳变产生中断。中断屏蔽寄存器 1 和 2 包含屏蔽位,为“1”时,屏蔽掉中断匹配寄存器中的相应位。中断标志寄存器中的相应位在产生中断时置“1”。中断向量寄存器中,含有中断向量号,中断发生时,中断向量输出到数据总线上。中断向量寄存器 1 和 2 的结构为:

B7	B6	B5	B4	B3	B2	B1	B0
V7	V6	V5	V4	V3	V2	IRQ2	IRQ1

其中 V7 ~ V2 为中断向量, IRQ1、IRQ2 用以指出中断时的中断源,置 1 时有效。

在 MODE1 中,控制寄存器与中断寄存器组和两组发送寄存器、一组接收寄存器是统一编址的。它们的寻址结构见下页表 3。

在 MODE2 中,MT8920B 用作高速双端口的 RAM,共有两组发送寄存器和一组接收寄存器,每组 32 个,分别与 STi0、STo0 和 STo1 的有关时隙对应,它们的寻址结构见 10-4。由于串口端为同步转换,并口端为异步方式,在对同一时隙同时进行串口存取和并口存取时,BUSY 端输出低电平,请求延长存取时间。

MODE2 中,控制端为 $\overline{CS}$ 、 $\overline{OE}$ 、 $R/\overline{W}$ 、 $\overline{24/32}$ 等没有中断形式,其内部的控制寄存器和各中断寄存器也都不再有效。寻址方式见下页表 4。

MODE3 中,MT8920B 用作 RAM、FIFO、锁存器、CODEC、A-D 和 D-A 等器件的驱动器。

在 MODE3 中 CS 用作片选输入。 $\overline{OE}$ 和 $\overline{WE}$ 由 MT8920B 发出,来把接收寄存器 0 中的内容写到外部器件或从外部器件把数据读入该器件的发送寄存器。

MT8920B 具有两条输出串行总线和一条输入总线。串行总线上采用同步、时分复用的方式。 $\overline{C4i}$ 用作串行总线上的时钟。 $\overline{F0i}$ 用作帧同步控制,它们均符合 MITEL 系列芯片的定时关系,可由 MT8940 或 MT8941 给出。

表1 控制寄存器1中各位定义

b7	未用
b6	中断自动复位控制,置“1”时有效
b5	置“1”时用于 24 时隙的 T1 链路,置“0”时用于 32 时隙的 CEPT 链路
b4	地址高位 A6
b3	中断源 2 方式选择。置“0”时,为静态方式;置“1”时,为动态方式
b2	中断源 1 的方式选择,同 b3
b1	中断源 2 选通控制,置“1”时允许
b0	中断源 1 选通控制,同 b1

表2 控制寄存器2中各位定义

b7~ b4	未用
b3, b2	STo1 输出控制 b3 b2=“00”, 正常 b3 b2=“01”, 输出 STi0 上一帧的内容 b3 b2=“10”, 输出 Tx1 与 STi0 异或的结果 b3 b2=“11”, 输出 Tx1 与 STi0 上一帧相异或的结果
b1, b0	自环控制, b1b0=“00”, 正常 b1 b0=“01”, STo0 与 STi0 内部自环 b1 b0=“10”, Tx0 与 Rx0 内部自环 b1 b0=“11”, STo0 与 STi0 及 Tx0 与 Rx0 均自环

表3 M ODE1寻址结构:

地址位 A6 A5 A4 A3 A2 A1 A0	寄存器	
	读	写
0 0 0 0 0 0 0	Rx0 的 TS0	Tx0的TS0
⋮	⋮	⋮
0 0 1 1 1 1 1	Rx0 的 TS31	Tx0的TS31
1 0 0 0 0 0 0	Rx0 的 TS0	Tx1的TS0
⋮	⋮	⋮
1 0 1 1 1 1 1	Rx0 的 TS31	Tx1的TS31
× 1 0 0 0 0 0	控制寄存器1	控制寄存器1
× 1 0 0 0 0 1	控制寄存器2	控制寄存器2
× 1 0 0 0 1 0	中断向量寄存器	中断向量寄存器
× 1 0 0 1 0 0	中断标志寄存器1	禁止
× 1 0 0 1 0 1	中断标志寄存器2	禁止
× 1 0 0 1 1 0	映象寄存器1	禁止
× 1 0 0 1 1 1	映象寄存器2	禁止
× 1 0 1 0 0 0	屏蔽寄存器1	屏蔽寄存器1
× 1 0 1 0 0 1	屏蔽寄存器2	屏蔽寄存器2
× 1 0 1 0 1 0	匹配寄存器1	匹配寄存器1
× 1 0 1 0 1 1	匹配寄存器2	匹配寄存器2
× 1 0 1 1 0 0	通道地址寄存器1	通道地址寄存器1
× 1 0 1 1 0 1	通道地址寄存器2	通道地址寄存器2

表4 M ODE2寻址结构

地址位 A5 A4 A3 A2 A1 A0	寄存器	
	读	写
0 0 0 0 0 0	Rx0 的 TS0	Tx0的TS0
⋮	⋮	⋮
0 1 1 1 1 1	Rx0 的 TS31	TS0的TS31
1 0 0 0 0 0	Rx0 的 TS0	TS1的TS0
⋮	⋮	⋮
1 1 1 1 1 1	Rx0 的 TS31	TS1的TS31

主要电参数

(1) 极限参数

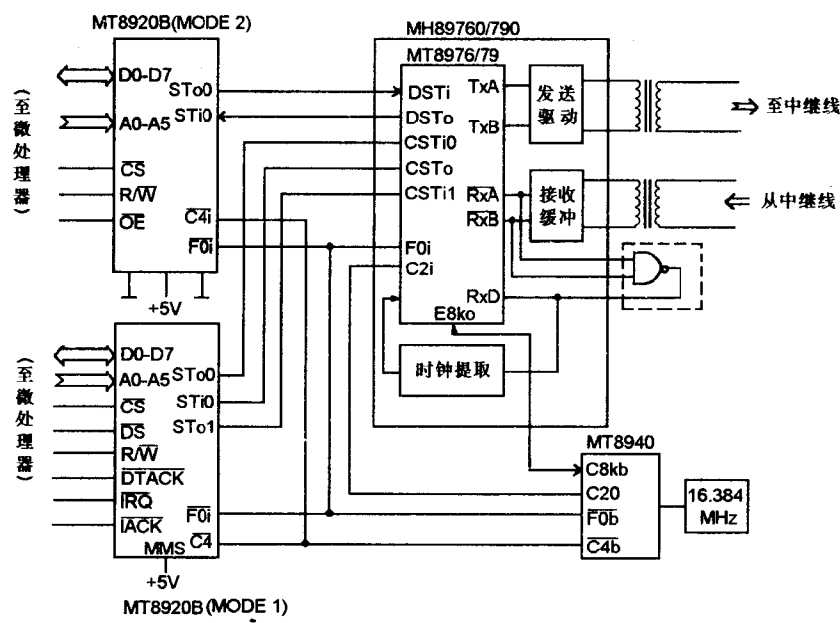
参数	符号	最小值	最大值	单位
电源电压	V_{DD}	-0.3	+7.0	V
输入、输出电压	V	-0.3	$V_{DD}+0.3$	V
功耗	P_D		600	mW
贮存温度	T_{stg}	-55	+125	℃

(2) 电特性

特性	符号	最小值	典型值	最大值	单位
电源电压	V_{DD}	+4.75	+5.0	+5.25	V
输入低电平	V_{IL}	0		0.4	V
输入高电平	V_{IH}	2.4		V_{DD}	V
输出电容	C_O			15	pF
$\overline{C4i}$ 周期	t_{CLK}		244		ns
$\overline{F0i}$ 脉冲宽度	t_{FPH}	20			ns
工作温度	T_A	-40		+85	℃

典型应用线路

数字中继接口电路:



数字链路接口电路

MT8970

简要说明

该电路是 MITEL 公司生产的数字链路接口电路, 可完成微处理器并行总线、ST-BUS 及 128kb/s 或 256kb/s 链路间的数据发送和接收。适用于程控交换设备和数字通信设备。电路的基本特性为:

- (1) 具有三个端口: 2(或 4) × 64kb/s 的线路接口, 4 × 64kb/s 的 ST-BUS 接口, 微处理器接口。
- (2) 具有帧同步信号与时钟信号的提取功能。
- (3) 单时钟输入, 4.096MHz。
- (4) 微处理器接口符合 MC68000 系列处理器定时关系。
- (5) 电源 +5V
- (6) 工艺 CMOS
- (7) 封装 DIP-40PIN

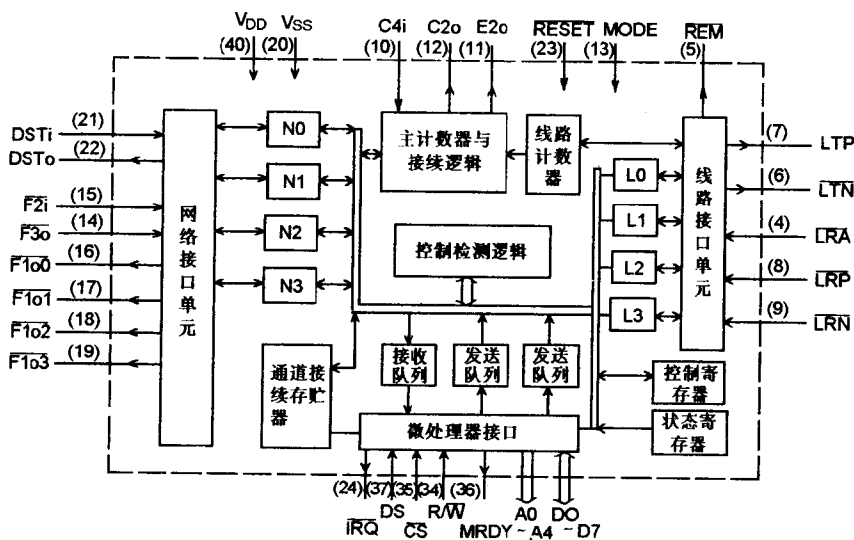
引出端排列

A2	1	40	VDD
A1	2	39	A3
A0	3	38	A4
LRA	4	37	DS
REM	5	36	MRDY
LTN	6	35	CS
LTP	7	34	R/W
LRP	8	33	D7
LRN	9	32	D6
C4i	10	31	D5
E2o	11	30	D4
C2o	12	29	D3
MODE	13	28	D2
F3o	14	27	D1
F2i	15	26	D0
F1o0	16	25	NC
F1o1	17	24	IRQ
F1o2	18	23	RESET
F1o3	19	22	DSTo
Vss	20	21	DSTi

引出端符号说明

A0 ~ A4 地址线	MODE 方式选择输入	IRQ 中断请求输出, 低有效
LRA 接收有效输入	F3o 帧信号输出	D0 ~ D7 数据并行总线
REM 全 1 信号告警输出	F2i 帧信号输入	R/W 读/写信号
LTN, LTP 线路发送端	F1o0 ~ F1o3 帧信号输出	CS 片选, 低有效
LRP, LRN 线路接收端	Vss 地	MRDY 存储器操作完毕输出(漏极开路)
C4i 4.096MHz 时钟输入	DSTi ST-BUS 输入	DS 数据操作允许, 高有效
E2o 2.048MHz 提取时钟输出	DSTo ST-BUS 输出	VDD 正电源(+5V)
C2o 2.048MHz 分频时钟输出	RESET 复位, 低有效	NC 空

功能框图



电路的功能说明

MT8970 是一种功能很强的数字链路接口电路,可以完成码率达 256kb/s 的数字链路的数据发送和接收。适合用在程控交换设备和计算机通信设备中。电路内部含有网络接口单元、通道接续存储器、微处理器接口、接收和发送队列、控制寄存器、状态寄存器、线路接口逻辑等功能单元。

MT8970 具有三种数据接口: (1) 含有 2 个或 4 个通道的线路接口。(2) 含有 4 个通道的 ST-BUS 接口。(3) 含有三个通道的微处理器接口。数据可在这三个接口间的任两个通道上传递。

MT8970 的线路接口分接收和发送两部分。接收部分有 $\overline{\text{LRA}}$ 、 $\overline{\text{LRP}}$ 、 $\overline{\text{LRN}}$ 三端, 接在 128kb/s 或 256kb/s 的线路上。 $\overline{\text{LRA}}$ 用作比较电平。发送部分有: LTP 和 $\overline{\text{LTN}}$ 两端, 要发送的数据进行 AMI 编码后分两路, 以 128kb/s 或 256kb/s 的码率分别从 LTP 和 $\overline{\text{LTN}}$ 输出到线路上。

MT8970 的 ST-BUS 接口包括 DSTi 端和 DSTo 端。数据以 2048kb/s 的码率从 DSTi 输入, 从 DSTo 输出。ST-BUS 包括 32 个通道(时隙), 各通道码率均为 64kb/s。MT8970 最多可用到 4 个连续的通道。

$\overline{\text{F3o}}$ 、 $\overline{\text{F2i}}$ 、 $\overline{\text{F1o0}} \sim \overline{\text{F1o3}}$ 端用作帧同步控制。在被动接收模式下, 帧同步信号从接收信号中提取, $\overline{\text{F2i}}$ 应置成高电平或低电平, 相应于 4 个所选通道的帧信号分别从 $\overline{\text{F1o0}} \sim \overline{\text{F1o3}}$ 端输出, 而 $\overline{\text{F3o}}$ 输出它们的与信号。在主发模式下, $\overline{\text{F2i}}$ 输入帧起始信号。

MODE 用于模式选择。当 $\text{MODE}=0$, 选择主发模式; $\text{MODE}=1$ 选择被动接收模式。

MT8970 的微处理器接口采用 8bit 并行接口。并用 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ}}$ 、 $\text{R}/\overline{\text{W}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{MRDY}}$ 、 $\overline{\text{DS}}$ 等信号来控制。该接口完全符合 MC68000 系列微处理器的接口要求, 相当于一个标准外设。该接口直接连着三组队列存储器(两组发送队列存储器 TFIFO1 、 TFIFO2 , 一组接收队列存储器 RFIFO) 和 3 个控制寄存器、3 个状态寄存器。它们均按专用的地址进行存取。

MT8970 的三个接口之间的数据交换是通过接续存储器来进行的。接续存储器的内容定义了哪个通道和其它通道进行数据交换。控制寄存器用来定义存储器的操作方式。

MT8970 的 $\overline{\text{REM}}$ 为线路全“1”告警, 当 MT8970 检测到线路上在两个复帧中为全“1”时, $\overline{\text{REM}}$ 输出低电平。

主要电参数

(1) 极限参数

参数	符号	最小值	最大值	单位
电源电压	V_{DD}	-0.3	+7.0	V
输入输出电平	V	-0.3	$V_{\text{DD}}+0.3$	V
输入输出电流	I		20	mA
贮存温度	T_{stg}	-65	+150	℃
功耗	P_{D}		2	W

(2) 电特性

特性	符号	最大值	典型值	最小值	单位
输入低电平	V_{IL}			0.8	V
输入高电平	V_{IH}	2.0		V_{DD}	V
输出低电平	V_{OL}	V_{SS}		0.4	V
输出高电平	V_{OH}	2.4		V_{DD}	V
C4i时钟周期	t_{CLK}		244		ns
C4i时钟高电平宽度	t_{CH}		102		ns
线路接收周期	t_{LRP}	3.2			μs
F2i建立时间	t_{F2S}	10		200	μs
功耗	P_D		10	26.2	mW
时钟周期	t_{CLK}		244		ns

数字中继线接口电路

MH89780

简要说明

MH89780 是 MITEL 公司生产的 CEPT-E1 数字中继接口电路,它为 ST-BUS 和 2048kb/s 的 CEPT-E1 数字链路提供了完整的接口,适合用在程控交换设备和通信设备中。电路的主要特性为:

- (1) 接口符合 CCITT 建议。
- (2) 可以进行 TS16 中 abcd 码的插入和提取。
- (3) 可进行帧同步码的提取。
- (4) 可进行帧和复帧错误检测。
- (5) 具有 HDB3 编码功能。
- (6) 自动提取 2.048MHz 时钟与 8kHz 帧同步脉冲。
- (7) 电源 +5V, +12V
- (8) 工艺 混合型
- (9) 封装 DIP-40PIN

引出端排列

NC	2	40	NC
NC	3	39	NC
VDD	4	38	LB
RxA	5	37	LA
RxT	6	36	NC
RxR	7	35	Vcc
RxB	8	34	NC
RxD	9	33	Vss
CSTi1	10	32	NC
CSTi0	11	31	DSTo
E8Ko	12	30	NC
XCI	13	29	OUTB
XS	14	28	NC
CSTo	15	27	NC
AD1	16	26	NC
DSTi	17	25	OUTA
C2i	18	24	PADO
E2o	19	23	TXG
F0i	20	22	PADI
		21	Vss

引出端符号说明

V_{DD}, V_{CC} 正电源 (+5V), (+12V)

RxA, RxB 译码器的两路单相信号输出

RxR, RxT 线路接收器输入

RxD 译码器输入

$CSTi1, CSTi0$ ST-BUS 两路控制信号输入

$E8ko$ 提取的 8kHz 信号输出

XCI 码位控制输出

XS 外部状态输入

$CSTo$ 提取的控制信号输出

ADI 隔位反相编码控制端, 高电平有效

$DSTi$ ST-BUS 话路码流输入

$C2i$ 2.048MHz 时钟输入

$E2o$ 提取的 2.048MHz 时钟输出

$F0i$ 8kHz 帧脉冲输入

V_{ss} 系统地

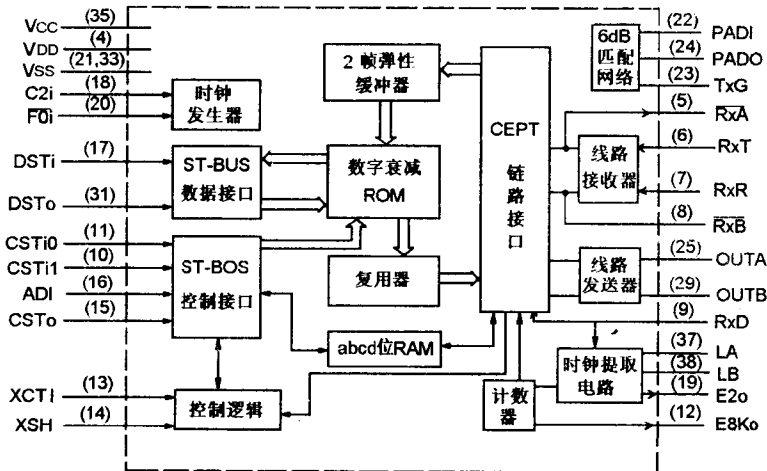
$PADI, TXG, PADO$ 6dB 匹配电路的输入、接地、输出端

$OUTA, OUTB$ 发送器输出端 (均为集电极开路)

$DSTO$ 提取的话路信号输出

LA, LB 时钟提取电路的外接电感端

功能框图



电路的功能说明

MH89780 是 MITEL 公司生产的用于数字中继接口的厚膜集成电路。它可把 CEPT-E1 数字中继线上的信号转化成 ST-BUS 上的信号,并把话路信号与控制信号相分离,分别从两条 ST-BUS 输出,也可把三条 ST-BUS 合并成为 CEPT 数字中继线上的信号。其内部包括有:时钟提取电路、ST-BUS 数据接口、ST-BUS 控制接口、控制逻辑电路、二帧弹性缓冲器、数字衰减器、CEPT 线路接口、接收器、发送器、6dB 匹配网络等功能单元。适用于数字程控交换机、高速数据传输链路等通信设备中。

MH89780 是一个完备的 CEPT 中继接口。中继线(其上传递的为 HDB3 码或 AMI 码)通过线路变压器分成两路从 RxR 和 RxT 进入 MH89780,经译码后从 $\overline{\text{RxA}}$ 和 $\overline{\text{RxB}}$ 输出相应的单相信号,再通过外加的与非门后得到实际的接收信号(已成为二进制码流),再次从 RxD 端输入,完成了 HDB3 码(或 AMI 码)的译码工作。

MH89780 内部的 CEPT 线路接口可把接收到的信号分成话路码流和控制码流分别从 DSTo 和 CSTo 输出。话路码流和控制码流仍按照 2048kb/s、32 时隙/帧的格式。话路码流中仅包含有话路信息,控制码流中包含了线路信令 abcd 码、帧同步信息等。

MH89780 还可通过三条 ST-BUS(即 DSTi, CSTi0, CSTi1)来合成 CEPT 链路的数据格式,它们也均为 2048kb/s、32 时隙/帧的格式。DSTi 端输入话路码流, CSTi0 和 CSTi1 包含控制码流,含有线路信令 abcd 码、帧同步码、话路衰减控制码、HDB3 编译码允许位等接口控制信息,还包括对应话路各个时隙的反馈控制码。

MH89780 有自己的时钟提取电路,可从接收信号中提取同频同相的 2.048MHz 时钟及帧同步脉冲,它们分别从 E2o 和 E8Ko 输出,用作正确的接收和发送时钟。另外,该电路的 LA 和 LB 端用来接一个 $32\mu\text{H} \sim 39\mu\text{H}$ 的可调电感,来保证提取到正确的时钟信号。

F0i 端输入 8kHz 的帧起始脉冲, C2i 输入 2.048MHz 的时钟信号,用作对 ST-BUS 的定时。

MH89780 包含有数字衰减逻辑。当话路码流从 DSTi 端输入时,在 CSTi0 和 CSTi1 的相应时隙码位的控制下,可按比例进行衰减,然后送到 CEPT 线路接口单元里加上同步码和相应的线路信令码后从 OUTA 和 OUTB 输出到发送线路变压器,进行 AMI 编码后输出到中继线。

MH89780 还有一个外部控制端 XCd 和一个外部状态端 XS。XCd 的输出可由 CSTi0 上相应位的值控制。另外 XS 端的值将每帧采样一次,反映到 CSTo 的相应位上。

MH89780 的 PADO、TXG、PADi 组成一个 6dB 的匹配网络,可用作输出匹配。

主要电参数

(1) 极限参数

参数	符号	最小值	最大值	单位
端电压	V	$V_{\text{ss}} - 0.3$	$V_{\text{DD}} + 0.3$	V
端电流	I		40	mA
电源电压	V_{CC}	-0.3	+15.0	V
	V_{DD}	-0.3	+7.0	
功耗	P_{D}		800	mW
贮存温度	Tstg	-20	+85	℃

(2) 建议工作条件

特性	符号	最小值	典型值	最大值	单位
电源电压	V_{CC}	+11.4	+12.0	+12.6	V
	V_{DD}	+4.5	+5.0	+5.5	V
电源电流	I_{CC}			15	mA
	I_{DD}		6.3	15	mA
输入低电平	V_{IL}			0.8	V
输入高电平	V_{IH}	2.0			V
输出低电平	V_{OL}			0.4	V
输出高电平	V_{OH}	2.4			V
工作温度	T_A	0		+70	℃

数字中继线接口电路

MH89750

简要说明

该电路是 MTTTEL 公司生产的 DS1/T1 数字中继线接口电路。它能够进行 1544kb/s 的 DS1 链路 与 2048kb/s 的 ST-BUS 间的数据转换, 适用于程控交换设备和数字通信系统中。电路的基本特性为:

- (1) 能够从接收信号中提取 1.544MHz 的时钟, 并提取帧同步。
- (2) 具有 AMI 编码解码功能。
- (3) 具有信令位插入和检测功能。
- (4) 具有阻塞位插入功能。
- (5) 电路带有线路匹配网络, 可驱动 0 ~ 150 英尺、150 ~ 450 英尺、450 ~ 750 英尺的传输线路。

(6) 电源 +12V, +5V

(7) 功耗 200mW

(8) 工艺 混合型

(9) 封装 DIP-40PIN

引出端排列

VCC	2	39	TL
LA	3	38	TI
LB	4	37	RL
VDD	5	36	RI
RxR	6	35	TxT
RxT	7	34	EIT
RxA	8	33	EA
RxB	9	32	EB
DSTI	10	31	EC
CSTI	11	30	RCHT
E1544	12	29	RCLT
XCI	13	28	TxR
8kHz	14	27	EIR
CSTO	15	26	SW
C2048	16	25	RCHR
XS1	17	24	RCLR
FP	18	23	RxD
C1544	19	22	DSTO
OUTB	20	21	OUTA
			Vss

引出端符号说明

V_{CC}, V_{DD} 正电源 (+12V), (+5V)

LA, LB 外部电感接入端, 调节时钟提取电路的中心频率

RxR, RxT 两接收输入端

RxA, RxB 两接收信号译码输出

DSTI 2.048Mb/s 的 ST-BUS 数据输入

CSTI ST-BUS 控制输入

E1544 1.544MHz 提取时钟输出

XCI 外部控制输出

8kHz 8kHz 同步信号输出

CSTO ST-BUS 控制输出

C2048 2.048MHz 主时钟输入

XS1 外部状态输入

FP 帧同步脉冲输入

C1544 1.544MHz 时钟输入

OUTA, OUTB 发送驱动器两输出信号

V_{SS} 地

DSTO ST-BUS 数据输出

RxD 译码信号输入, 为 RxA 与 RxB 经与非门后的输出信号

RCLR, RCHR 匹配网络方式选择输入

SW 匹配网络公共端

EIR, EIT 匹配网络两输入

TxR, TxT 匹配网络两输出

RCLT, RCHT 匹配网络方式选择输入

EC, EB, EA 匹配网络方式选择输入

RI, TI 6dB 衰减电路的两输入

RL, TL 6dB 衰减电路的两输出

电路的功能说明

MH89750 是 T1 链路 与 2048kb/s 串行通信总线 (ST-BUS) 的接口电路, 可进行 T1 链路上 DS1 格式信号 与 ST-BUS 上数据格式的转换。其内部包括有: 时钟提取、DS1 计数器、1544kb/s 与 2048kb/s 数据转换器、串行控制接口、DS1 链路、控制逻辑、6dB 衰减电路、匹配网络、线路接收器、输出驱动器等功能单元。

对于 MH89750 进行 T1 链路上 DS1 数据格式 与 ST-BUS 上 2048kb/s 数据格式的转换, ST-BUS 上数据从 DSTI 端输入, 通过数字衰减存储器进行适当衰减后, 由 2048kb/s-1544kb/s 转换器转换成 1544kb/s 的码速, 在 DS1 链路接口单元加上信令位和阻塞

位后,成为标准的DS1信号,再经AMI编码,从OUTA和OUTB两端输出,并经匹配网络,以满足传输阻抗匹配的要求。

与此相应,DS1数据从RxT和RxR两端输入,通过DS1链路接口单元以同样方式转换为ST-BUS上所需的数据格式。应注意的是,DS1上的数据为三电平的AMI码(或HDB3码),必须通过线路变压器将其分成两路。分别从RxT和RxR输入,由MH89750内部逻辑分成两相输出RxA和RxB,必须用外接与非门把RxA和RxB信号合成一路从RxD输入,才是正确的接收方式。

MH89750对ST-BUS的控制及把ST-BUS转换为DS1形式所需的阻塞位等的控制是通过CSTI的相应时隙内容决定的。CSTI也为30/32时隙的ST-BUS形式。CSTI的CH15(第15时隙)为主控字,各位表示为:

b7	不用
b6	阻塞位(即S位)插入控制
b5,b4	不用
b3	控制XCtl
b2	帧同步控制。为“1”时选通8kHz端,为“0”时禁止该端
b1	共路信令选择位。当 $b_1=1$ 时,选择共路方式; $b_1=0$ 时选择随路方式
b0	告警位

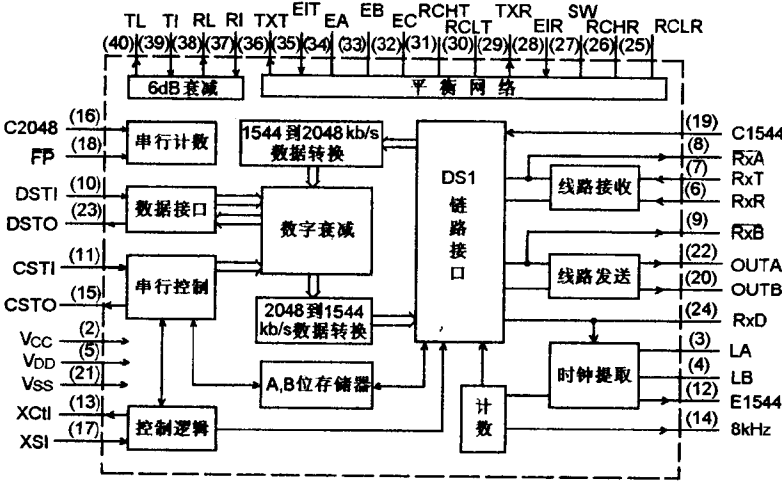
CSTI的其余时隙分别控制对应的DSTI时隙,包括接收和发送衰减、自环、线路信令位的插入控制等。

CSTO为ST-BUS控制接收总线,其上有主状态字及DSTO的各时隙控制字。其中,第1b时隙(CH15)为主状态字,含有XS1端状态位、告警位、阻塞位等。其它时隙分别反映了DS1链路的各时隙状态,含有接收到的线路信令。

DSTO为ST-BUS的数据接收总线,包含了T1链路的数据信息。

由于ST-BUS为每帧32时隙,而DS1为24时隙,因此DS1与ST-BUS接口时,DSTI、DSTO与CSTI、CSTO上有些时隙没有使用。

功能框图



主要电参数

(1) 建议工作条件

特性	符号	最小值	典型值	最大值	单位
电源电压	V_{CC}	+11.4	+12.0	+12.6	V
	V_{DD}	+4.5	+5.0	+5.5	V
输入低电平	V_{IL}	V_{SS}		0.4	V
输入高电平	V_{IH}	2.4		V_{DD}	V
输出低电平	V_{OL}			0.4	V
输出高电平	V_{OH}	2.4			V
输入阻抗 (R_{XT} , R_{XR})	R_I		1		k Ω
C2i时钟周期	t_{P2}	400	488	6.0	ns

(2) 极限参数

参数	符号	最小值	最大值	单位
电源电压	V_{CC}	-0.3	+15.0	V
	V_{DD}	-0.3	+7.0	V
输入端电压	V_I	-0.3	$V_{DD}+0.3$	V
引出端电流	OUTA, B	I	200	mA
	其它		20	mA
贮存温度	T_{stg}	-20	+85	℃

数字中继线接口电路

MH89790B

简要说明

该电路是 MITEL公司生产的 CEPT PCM30 接口, 在 2048kb/s CEPT-EI 数字中继线和 MITEL 串行通信总线 ST-BUS 间提供了完整接口, 适用于 ISDN 基群接口和多路复用设备的数字接口。电路基本特性为:

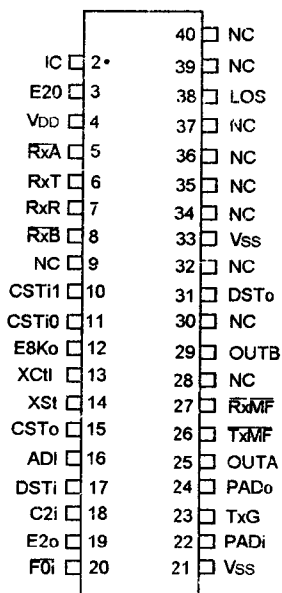
- (1)具有完整的CEPT接收器,可完成CRC校验、HDB3或AMI码位时钟与帧同步信息提取。
- (2)可将话路与信令分开,分别从两路ST-BUS输出。
- (3)具有完整的CEPT发送器,可完成帧和复帧同步信息插入、CRC计数及HDB3编码。
- (4)单电源供电(+5V)。
- (5)工艺
- (6)封装

MH89790B: DIP-40PIN

MH89790BN : DIP-40PIN

MH89790BS: 40PIN 表面安装

引出端排列



引出端符号说明

IC	内部连接	C2i	2048kHz 位时钟输入
E2o	2048kHz 提取时钟输出	$\overline{FOi}$	8kHz 帧起始脉冲输入
V _{DD}	正电源 (+5V)	V _{SS}	地
$\overline{RxA}$, $\overline{RxB}$	接收信号解码输出	PADi	75Ω 匹配电路输入
RxT, RxR	接收信号输入	TxG	匹配电路公共端
CSTi0, CSTi1	两路 ST-BUS 控制码输入	PADo	75Ω 匹配电路输出
E8Ko	8kHz 提取帧同步输出	OUTA, OUTB	CEPT 输出, 为集电极开路
XCtl	外部控制输出	$\overline{TxMF}$	发送复帧同步信号输入, 接高电
XSt	外部状态输入		平时, 产生自己的复帧
CSTo	ST-BUS 控制码输出	$\overline{RxMF}$	接收复帧同步信号输出
ADI	ADI 编码控制输入, 高电平时, 对 CSTi0 指定话路进行 ADI 编解码	DSTo	ST-BUS 话路码流输出
		LOS	信号丢失指示
DSTi	ST-BUS 话路输入	NC	空