

MOS 大规模集成技术

第 一 册

清华大学微电子学研究所 编译

科 学 出 版 社

1 9 8 4

内 容 简 介

本文集第一册介绍 MOS 大规模集成技术的电路进展及设计技术,第二册介绍工艺技术。一、二两册中,46 篇论文和一篇为帮助读者阅读和理解这些论文而写的导论综述了这三方面的基本知识、近年来的发展情况和今后的发展趋势。本文集虽然主要以 MOS 大规模集成电路为对象,但大部分内容对双极型大规模集成电路也是适用的。

本书可供在大规模和超大规模集成电路技术及其有关领域中从事研究、开发、生产和应用等方面工作的科技人员及高等院校有关专业的研究生和高年级大学生阅读参考。

MOS 大规模集成技术

第 一 册

清华大学微电子学研究所 编译

责任编辑 魏 玲

科 学 出 版 社 出 版

北京朝阳门内大街 137 号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1984 年 11 月 第 一 版 开本: 787×1092 1/16

1984 年 11 月 第一次印刷 印张: 20

印数: 0001—11,650 字数: 467,000

统一书号: 15031·605

本社书号: 3732·15—7

定价: 3.10 元

目 录

前言	
MOS 大规模集成技术的进展	1
MOS 技术用于模拟集成电路的潜力	35
超大规模集成电路对微处理器发展、应用和系统设计的影响	48
超大规模集成技术向长途通信系统提出的挑战	62
用于电话学中的集成电路	70
100ns 单 5V 电源 64 K × 1 MOS 动态 RAM	100
容错的 64K 动态随机存取存储器	111
一种用钼-多晶硅工艺制做的容错的 256K RAM	125
一种 30ns 16K × 1 全静态 RAM	135
一种容错 30ns/375mW 16K × 1 NMOS 静态 RAM	141
具有新的存储单元结构的一种 2K × 8 位静态 MOS RAM	154
用 NMOS/N 阱 CMOS 工艺制造的 8K × 8 位静态 MOS RAM	163
1μm MOSFET 超大规模集成电路工艺——逻辑电路设计方法及其应用	174
采用准通用符号 FET 宏模型及功能潜伏的宏模拟	194
大规模集成电路的模拟技术	204
掩模图形的图形运算方法	215
用于形状任意设计的积木块的布局算法	226
一个综合的掩模图形分析系统	237
超大规模集成电路的拓扑逻辑分析	249
MIXS: 一个大型数字系统逻辑校验用的混合级模拟程序	266
完整的超大规模集成电路设计系统	281
SHARPS: 一个用于超大规模集成电路的分级版图设计系统	294
一个纵向组织的计算机辅助设计数据库	306

MOS 大规模集成技术的进展

李志坚 陈天鑫

一、引言

大规模集成技术是一门新的综合性技术,它是在大规模和超大规模集成电路的发展过程中逐步形成的,这门技术大致包括以下一些内容:微细图形加工、高密度集成电路和集成系统的设计方法、微小器件的结构和器件物理、材料性能和制造技术、高密度集成器件的可靠性物理、集成电路和集成系统的测试图案设计和测试技术,以及质量控制和生产自动化等等。这是一门正在高速发展的技术,有关的工作正在大量开展,有关领域也正在不断扩展。本文仅对这本文集(一、二册)中涉及到的几个方面的进展情况作一简要的评述。

二、概 论

1. 大规模集成电路的几个常用术语

集成电路已从大规模集成电路(LSI 电路)发展到超大规模集成电路(VLSI 电路)阶段,原来使用的有些术语的概念已经发生和正在发生改变,同时有些新的术语开始通行。下面是几个常用的术语。

(1) 集成电路和集成系统

习惯上按功能把集成电路区分为数字电路和模拟电路两大类。由于在 LSI 中数字电路更容易高密度集成,现在已有许多模拟功能电路采用数字技术来实现,并且还发展了一些相应的电路技术,如开关电容滤波器等等。所以,今后将越来越难于区分哪个器件是数字电路,哪个器件是模拟电路了。另一方面,随着集成度的日益提高,集成电路已向集成系统发展;今天,已经有了单片微型计算机,今后,象 PCM 通讯部件,以处理语言或图象等为对象的集成系统也将不断发展起来;在这些集成系统中,传统的模拟技术和数字技术当然更可能被兼容起来。

(2) 集成电路技术

迄今把集成电路技术区分为双极型和 MOS 型两大类。前一类包括双极型线性电路和 TTL、ECL、STTL 以及 PL 等数字电路。后者又有 PMOS、NMOS、CMOS、DMOS、VMOS 以及 SOS 等之别。各类电路技术在其发展中还有许多分支,如对于 NMOS 有 E/DMOS, HMOS 等等。

过去一般认为双极型电路的速度高、功耗大, MOS 电路则功耗低、速度也低。

随着集成技术向 VLSI 发展,这两种情况也都在发生变化。同一类技术下的几种工艺兼容已经很普遍。例如,已经公认, NMOS 和 CMOS 兼容的静态随机存储器是一个很有前途的方向。双极型(特别是 PL)和 MOS 兼容工艺也已被开发、利用。工艺兼容可使集成电路和集成系统的设计具有更大的灵活性,达到更高的性能。同样,由于亚微米加工技术的发展, MOS 电路和双极电路在速度方面的差距也正在缩小,至于用 GaAs 类材料制成的 MESFET 电路的速度则可远远地超过了双极型电路。

(3) 大批量生产的通用电路和用户定做电路

LSI 主要是围绕计算技术中几种产量大,应用广的器件,如各种存储器 and 微处理器等发展起来的。由于剧烈的竞争,除了保证高的性能外,不断提高集成度,降低成本是发展这类产品的主要问题。这样,电路设计时如何充分利用芯片面积、提高集成度以及提高性能就十分重要;因为一经设计定型,就要大量生产,所以设计成本和设计周期的问题居于次要地位。由于目前计算机辅助设计(CAD)所能达到的水平,这类电路多数是以人工为主进行设计的。现在,随着 LSI 和 VLSI 的发展,越来越多的复杂电路要集成化;在集成系统中则电路复杂性更高,类别更多。但是,这些电路的用量却远远不像上述大产量电路这样多,因此用人工设计在试制周期和设计费用上都是不现实的。为满足用户对这些电路的需要,集成电路制造厂或者提供具有一定结构的通用电路,供用户按需要进行最后的 CAD 布线,或者让用户以更灵活的手段调用各种结构化电路,全部进行自动设计,最后由工厂制造。为了区别于大产量电路,后者被称为半用户(Semicustom)设计和用户(Custom)定做电路。

(4) 集成电路的优值

作为衡量一种集成技术(包括工艺技术和电路技术)在 LSI 和 VLSI 发展中的前景,往往用电路优值,即一个门电路的级延时 τ_d 和功耗 P_D 的乘积 ($\tau_d \cdot P_D$) 作为标志。这一数值一般由门电路组成的环形振荡器的频率和功耗的实测值来推算。当然, $\tau_d P_D$ 越小,说明电路的集成度可以更高,可达到的性能也更好。但是,在实际发展中,工艺技术达到微米和亚微米线宽后,一般门延时可小到毫微秒级,甚至零点几毫微秒级,这在许多情况下都能满足应用要求,因此对多数 VLSI 器件主要要考虑的将是功耗问题。这就是近年来 CMOS 越来越多地受到重视的原因之一。另一方面,对于一些像军事上应用的电路,超高速化是极其重要的,从而往往暂时把功耗放在次要地位。正在大力开发的,主要以 GaAs 为衬底的各种超高速大规模集成电路(VHS LSIC)就是针对这一目标进行的。

2. 按比例缩小原理和 VLSI 极限

(1) 按比例缩小原理

表 1 是 MOS 电路的横向,纵向线度按比例缩小,同时电压也按比例缩小,而衬底掺杂量则按比例增加(缩小和增加的倍率均为 K)后,电路参数的变化情况。由此可见,按比例缩小后,电路速度提高了 K 倍,功耗降低 K^2 倍, $\tau_d P_D$ 值则下降了 K^3 倍。这里还看到,单位面积功耗 (VI/A) 是不因集成度提高而变化的。

按比例缩小原理充分表明了 LSI 和 VLSI, 甚至 ULSI (超超大规模集成)的无限前

景：集成度越高电路性能越好,而且不存在热耗散问题。这个原理的物理基础是明显的：集成电路中处理信息的任务归根结蒂是由运动电子承担的,器件和电路越微细化,电子需要跨越的路程就越短,电路工作速度就越快,需要的能量也就越少。

(2) VLSI 的极限

随着加工线宽越来越微细化(实验室中已具有制造特征线宽为 0.2—0.3 μm 的电路的能力),集成电路的集成度和性能不断提高,自然提出了按比例缩小原理的限制或 VLSI 的极限问题。当前在两个方面对这个问题进行探讨,一是讨论理论上的限制因素,二是研究

表 I 按比例缩小后的器件和电路参数

器 件 和 电 路 参 数		比 例 因 子
L, W	(长度,宽度)	$1/K$
N	(杂质浓度)	K
t_{ox}	(栅氧化层厚度)	$1/K$
V	(电压)	$1/K$
d	(扩散层厚度)	$1/K$
I	(电流)	$1/K$
A	(面积)	$1/K^2$
$C = \frac{\epsilon A}{t_{ox}}$ (或 $\frac{\epsilon A}{d}$)	(电容)	$1/K$
$\tau_d = \frac{CV}{I}$	(级延时)	$1/K$
$P_D = VI$	(级功耗)	$1/K^2$
$P_A = VI/A$	(单位面积功耗)	1
$\tau_d P_D$	(电路优值)	$1/K^3$
$R = \rho \frac{L}{A}$	(电阻)	K
IR	(电阻上电压降)	1
RC	(RC 时间常数)	1

不久将来预期实际上(包括工艺技术、设计方法、测试和材料等等)可能出现的一些技术障碍,并提出解决的途径。

严格地说,所谓理论极限也不是绝对限制,而只是说明今天的器件或电路的工作原理和描述方法已不适用,一些新的器件或工作模型将出现,在这个新的基础上把 VLSI 更推向前进。

在上述意义下,与 MOS VLSI 发展相关的有如下一些问题:

- (a) 栅介质减得过薄时的电子隧道穿透;
- (b) 当沟道反型层缩小到与电子波长可比拟时的表面二维电子气效应;
- (c) 当沟道长度接近电子平均自由程时电子的冲击式渡越;
- (d) 当线条间距十分接近时的电磁耦合效应;
- (e) VLSI 高密度集成时的热力学限制;
- (f) VLSI 的现实限制,等等。

表 I 所列的按比例缩小实际上是无法完全实行的,要受一些次级效应和实际应用条件的限制;另一方面,按比例缩小本身也带来一些新的问题需要解决,当 VLSI 进展到一

定阶段后,有些问题就成了限制因素。下面列出重要的几点:

(a) 电源电压的减小要受到通用标准的制约。例如,现在的标准是 5V,今后可能降低到 3V(但仍会有通用标准)。最后不可能把相应的阈电压降到几个 kT/q ,例如室温应用时在 0.1V 以下;

(b) MOSFET 的沟道长度缩短到一定程度后会出现一系列短沟道效应:如阈电压变化(也要限制沟道的宽度)、源漏穿通等等。必须采取适当的措施加以防止;

(c) 氧化层减薄后栅漏区的击穿,在没有电压相应减小时可以成为一个重要的限制;

(d) 次阈电流是不按比例缩减的,因此在沟道缩短到一定程度后, MOS 晶体管将不再能作为良好的开关元件,这可能会成为 MOS 动态电路的重要限制因素;

(e) 表 I 指出,金属及多晶硅连线按比例缩小时,电阻是按 K 倍增加的,这导致 RC 延时不按比例下降和导线上压降也不按比例下降,因此将严重影响 VLSI 电路的性能提高,成为发展的重要限制因素。特别是随着 VLSI 化,电路越来越复杂,布线长度相对于元器件总尺度的比例大大增加,使这一问题更为突出;

(f) 如果电压不能相应降低,则栅介质层的减薄将使其中电场增强,沟道缩短将使沟道中热电子增加,结果造成注入到栅介质层中的热电子增加,这些热电子被陷阱捕获后会改变阈电压,造成可靠性问题;

(g) 对于具体的 VLSI 器件,线度缩小还可能受到一些各自的专门问题的限制。例如,对于动态随机存取器,存取电容的面积过份缩小时会超出灵敏放大器的灵敏度可能达到的极限,特别是软失效的问题将更不容易解决。等等。

此外,由于高密度元件电路设计的复杂性日益增加,当前设计自动化问题还没有很好解决,因此,设计技术问题已成为实际上限制 VLSI 发展的一个重要因素。

应该指出,上述这些限制不是不可克服的(但文献上往往也叫极限),例如短沟道时的穿通问题用表面注入杂质方法已得到一定程度的缓和,布线电阻问题正在通过采用新的、电阻率更低材料来解决等等。对这些限制因素的研究,解决方法的探讨和新技术的开发,推动着 VLSI 不断前进。

3. VLSI 的进展和预测

LSI 发展极为迅速,不论是工艺、设计等技术,或是具体器件的集成度和性能等方面都在日新月异地进展。它的进步已经促进了与信息有关的各个科技领域的发展,并为它们带来了良好的前景。它的发展正在影响人类的生产和生活方式,并将越来越明显。

今天,LSI 大生产的加工成本主要地是由加工的硅片总面积来计算的,相同硅片面积中的元件数不起重要作用;从原则上说,电路和系统的复杂性只通过设计费用来影响其成本;一种新品投产后,经过批量生产取得经验,调整工艺,再扩大生产,价格在几年内往往每年就可能有百分之几十的下降。所以,集成技术是一种线度越细微化、集成度越高,性能(包括速度、功耗和可靠性)就越好,单位功能的产品价格也就越便宜的技术。这一技术之所以有强大的生命力,对整个科技领域和人类生活能产生重大影响,其原因也在于此。

(1) 集成度

通常把每片动态随机存取存储器(DRAM)上集成的元件数作为 LSI 集成度发展的标

志。图 1 是芯片元件集成度按年进展的情况。由图可见,从 1960 年到 1975 年期间集成度几乎按每 2 年增加 4 倍的规律 (Moore 定律) 发展; 1975 年左右以后发展速度有所减慢。1965—1975 年间集成度共提高了约 10^3 倍,经分析发现,其中按比例缩小的效果约占 10 倍,电路设计创新的效果约 16 倍,芯片面积增大约 6 倍。1975 年以后,集成度约每 3 至 4 年增加 4 倍,约等于每 10 年提高 40 倍,其中线条缩小的贡献仍约为 10,面积增加接近 4,而电路创新的作用几乎为 1。

上面的分析说明,近年来 VLSI 集成度提高速度减慢的一个主要原因是电路创新的贡献(指对 DRAM) 相对地少了。电路创新少则使芯片面积为复杂的布线所占据,集成度提高就有困难。这个问题对于半用户设计电路更为严重。所以,在今后的 VLSI 发展中,电路设计技术的不断提高具有重要意义(这不仅是为了集成度,实际上更是关系到一种复杂的电路或系统能否实现集成化)。

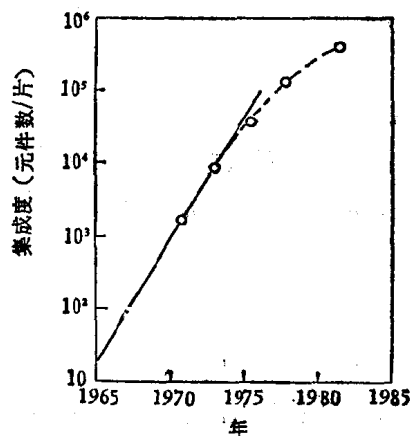


图 1 MOS 电路集成度的发展速率

(2) 加工技术和电路优值

VLSI 发展的一个主要方面是加工技术的不断进步。图 2 是特征线宽按年缩小的情况,大致上是每五年缩小一倍,即自 1970 年到 1980 年约从 $12\mu\text{m}$ 下降到 $2.5\mu\text{m}$ 。

除了光复印技术外,线宽减小是伴随着一系列其他加工技术的改革而实现的。例如,刻蚀工艺已经完成了由使用化学试剂的湿法腐蚀到全干法刻蚀的改造、扩散掺杂几乎已全部由离子注入所替代,新的、以重金属硅化物为主的金属栅工艺已开始被采用,硅片直径已增大到 5 英寸,整个加工过程的最高温度已向 900°C 接近。等等。

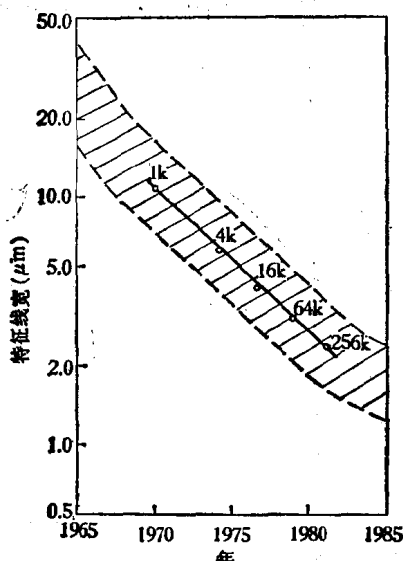


图 2 LSI 加工特征线宽按年缩小的情况

加工技术的进步导致 LSI 电路性能日益提高。表 II 是 Intel 公司 HMOS 的进展一览。由表可见,1977—1982 的 5 年内 MOS 电路的速度提高了 5 倍, τ_d 已达到了 200ps,高于过去的 ECL 电路; MOS 电路的优值 $\tau_d P_D$ 则下降了 4 倍,达到了 0.25pJ。

已如前述, $\tau_d P_D$ 乘积对于超高速大规模集成电路的发展是至关重要的。从 1957 年开始,二十多年来这个数值已下降了近 4 个数量级;其中靠电源电压降低下降了近一个数量级,靠器件尺寸缩小下降了 2 个数量级,其余部分则靠电路设计和其他技术的进步。

从高速电路的实际发展来看, $\tau_d P_D$ 值并不如表 1 所预期那样以 $1/K^3$ 的关系下降,而是随门电路的面积 A_c ,即随 K^{-2} 而降低。因此若

$$\tau_d P_D \propto A_c \propto K^{-2}$$

表 II Intel 公司 HMOS 技术指标

	HMOS I (1977)	HMOS II (1979)	HMOS III (1982)
L 特征线宽(沟道长度) μm	3	2	1.5
t_{ox} 栅氧化层厚度 $\text{\AA}$	700	400	250
τ_d min 最小级延时 ps	1000	400	200
$\tau_d P_D$ 优值 pJ	1.0	0.5	0.25

而

$$\tau_d \propto K^{-1}$$

所以

$$P_D / A_C \propto K$$

这说明,每门面积功耗实际上并不如表 I 所预期与线度缩小无关,而是因线度缩小而上升的,这就从功耗上限制了集成度。

因为芯片功耗

$$P_{ch} \geq 2N_g f_c \tau_d P_D$$

芯片面积

$$A_{ch} \geq N_g A_C$$

(式中 N_g 为电路中门的数目, f_c 为工作频率)

所以,如果要在 1cm^2 芯片上集成 10^5 个门,则需要 $A_C < 1000\mu\text{m}^2$,同时如果器件耗散功率可达到 $10\text{W}/\text{cm}^2$,则每个门的功耗必须限制在 $P_D < 0.1\text{mW}$;对于 $1\mu\text{m}$ 设计规则的 MOS 工艺,若 $\tau_d P_D$ 积可达到 0.01pJ ,则 $\tau_d \sim 100\text{ps}$ 是实际上能够达到的。换句话说,用 $1\mu\text{m}$ 工艺,在 1cm^2 芯片面积下,预期达到 10^5 个门的集成度,工作在时钟频率大于 10^9Hz 的超高速 VLSI 是可以实现的。

(3) 价格和应用

任何一种新的动态随机存储器,只有当其性能(功耗、速度、可靠性及使用方便程度等)优于前一型(可能集成度较低的)产品、其每位存储容量的平均价格低于前类产品时,

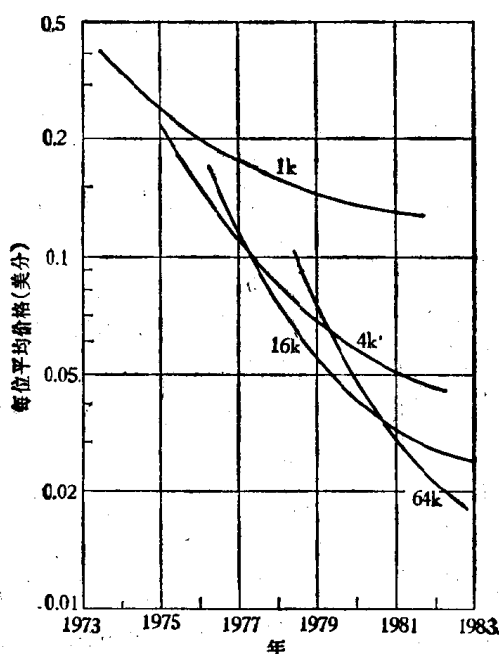


图 3 DRAM 每存储位价格下降情况

才能被社会所接受。所以, DRAM 的每位价格是集成技术性能价格比提高的极好标志。图 3 是这项价格按年逐步下降的大致情况。由此图可见,在 1978 年 4K 或 16K DRAM 的每存贮位平均价格是 0.08 美分,到 1983 年 64K DRAM 的每位价格不到 0.02 美分。

主要是由于产量小、设计成本高,多数其它 LSI 产品的价格下降没有像 DRAM 等大产量产品这样显著,但是总的趋势是一致的。而且,随着设计技术方面的突破,这种高速减价的倾向对于所有 LSI、VLSI 器件都将越来越明显。

优质、低价和本身的巨大潜力使 LSI 和 VLSI 器件的推广应用日益加速,也使这一技术的影响面日益扩大。今天,LSI 和 VLSI 技术的使用对象早已超出了早期的计算机和计时技术领域,而是成为对与信息有关的各个科技领域具有深远影响的一门基础技术。下面是 VLSI 对几个主要电子技术领域近期内可能产生的影响。

(a) 近代计算机的发展深受 LSI 技术的影响,实际上它是以所用的集成技术水平来作为更新换代的标志的。今后,受 VLSI 技术影响最大的仍是计算机领域。其中微型计算机不用说,它将成为单片 VLSI 集成系统最主要的产品之一。其次,影响最直接的将是小型机,微型机的功能实际上已覆盖了过去的小型机;对 VLSI 而言,今后这类机器有三个发展方向,一是保持今日的性能基本不变,不断下降低档产品的价格,这一点现在已经开始,各种廉价的个人计算机的出现就是例子;第二是在保持价格基本不变的条件下提高性能;第三,充分利用 VLSI 技术,不断提高高档产品的性能和功能,例如现在出现的 LSI 32 位 CPU,它使某些机器的功能已达到了过去大型机的水平。

总的说来,由于大型机和高档计算机需要较多的用户设计电路,这在当前还是比较昂贵的;所以,VLSI 对低档和中档计算机的影响会更显著;这反过来又会导致多机处理系统等计算技术的发展。

此外,由于 VLSI 发展,计算机硬件生产设备、需要资源,直接投资,能源消耗以及从业人员的结构等都要发生变化。特别是由于 VLSI 价格大幅度下降,计算机硬件的价格也要相应下降,这就会引起软件工程的改革,这样,计算机的使用面将越来越广,对社会的影响也越来越深远。

(b) 通讯,特别是电话通讯可能是近期将受到 LSI 和 VLSI 影响较大的另一个领域。

大容量交换站需要高速 LSI 作中央处理,用户终端需要大量低价格的 MOSLSI 器件;数字网络和 PCM 系统更将采用大量的 LSI/VLSI 电路:如 A/D、D/A 变换器、乘法器、移位寄存器、滤波器、存贮器和数字信号压缩器等等,这里需要大量的高速低功耗 CMOS 电路。总的说,在通讯系统中,那些要求高的和特殊的电路,如编码译码器,数字滤波器和频带压缩电路等将以用户定做电路方式开发;其他电路将尽量采用大产量 LSI 和 VLSI 器件,如微处理器,存贮器等;一些介于上述两种电路之间的边缘电路,则将用可编程程序器件和半用户定做器件来实现。

总之,通讯领域是 LSI、VLSI 应用面很宽,需求量极大的一个领域;在这个领域中,LSI、VLSI 将会有很大的发展。而通讯技术则由于采用了 LSI 和 VLSI 技术,其面目正在发生迅速的变化(以高质量、多功能和低价格为其特点),如 PCM 化,电视电话等将加速实现。

(c) 模拟信号的调制和解调,语音和音乐处理,图象处理和识别,波形分析,控制信号处理等等有关信号处理技术,随着计算技术的发展,近年来发展极为迅速,已成为 LSI 技

术应用的另一个重要领域。

当前信号处理技术存在三种发展倾向：一是仍以模拟方式为主；二是数字和模拟技术混用；三是发展通用的和专用的数字信号处理器（DSP）。

采用数字处理方法所用元件数要大大提高，所以在当前其成本还高于模拟和混合的方法。但由于数字处理至少具有两个突出的优点：(i) 可大量采用结构化电路、半用户设计方法，因此设计成本低、试制周期短；(ii) 可使用编程方法进行设计（例如利用改变 ROM 或 PLA 的码点来改变其功能），因而灵活性和效率高。其次，已如前述，由于今后的 VLSI 技术中每个元件价格将居于次要地位，同时，各种 DSP 所需器件如 LSI MOS 运放，开关电容滤波器、数据采集电路等正在迅速开发，可以预期，利用 VLSI 数字处理电路为主的信号处理技术在今后将逐渐居于主导地位。

(d) VLSI 对日用电子产品的影响将越来越大。这从 LSI 的电子手表，计算器等对人们日常生活的影响中即可见端倪。今天，声频、视频消费产品已开始出现由高质量数字电信号处理 VLSI 电路取代的趋势；不久微型机和个人计算机将大量地被用来装备机关，商店、家庭以管理日常事务；甚至玩具市场也将会受到廉价的 LSI 和 VLSI 产品的影响而面目为之一新。在这个领域内，低价格和低功耗将始终是最主要的。所以，低功耗的 NMOS 特别是 CMOS VLSI 将具有最大的市场。

(e) 军事电子学、医用电子学将着重地从 VLSI 的高性能、高可靠和超小型中取得技术发展的源泉。VLSI 和 VHLSI 将以更高的速度来更精确可靠地处理更大量的信息，而且由于 VLSI 只需要极小的空间，就可以在更复杂的环境下对各种信息进行处理。所以军事部门对 VLSI 和 VHLSI 的重视和投资十分庞大。医用电子学在许多方面（如小型、迅速、可靠和数据量大）与军事电子学有很多类同的地方，近年来医用 LSI 发展也极快，受到各界的高度重视。

总之，当前 LSI 和 VLSI 已由应用于计算机为主，而转向各个电子技术领域迅速推进的时期，LSI、VLSI 对这些领域的促进更为明显后，VLSI 本身的发展一定会受到更大的推动，得到更快的进展。

三、LSI 和 VLSI 器件进展

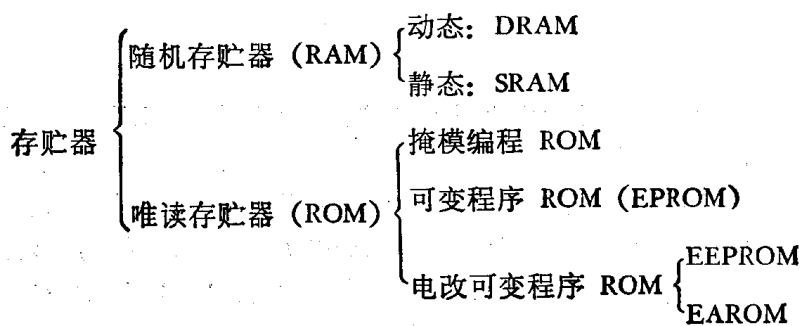
一般把每个芯片上集成的元件数大于 10^5 的集成电路称为超大规模集成电路（VLSI）。在这个意义上说，64K DRAM 的大生产已使 LSI 器件进入了 VLSI 阶段。现在，设计规则为 $2.0\mu\text{m}$ 的生产技术已经成熟，各种辅助设计和初步的自动设计技术日渐完备，不仅那些有规则的大产量电路进展很快，适应其他更为宽广领域的、复杂的用户定做 LSI 电路也有很大发展。真正的集成系统时期已经开始了。

下面扼要介绍存储器、微处理器和微型机芯片，以及以信号处理为中心的模数电路等三类器件的进展概况。通讯应用的 LSI 器件，也是当前发展的一个重要方向，因在文集中已收入了较详细的有关综述，本文就不再介绍。

1. 存储器

按不同功能对 MOS 存储器可作以下分类：

• • •



(1) DRAM

用于计算机主存贮器的 DRAM 一直是产量最大,发展最快的 LSI 器件。自从 1970 年 Intel 1103 1K 位器件问世以来,现在已经有了 256K 位器件,12 年中单片存贮器容量增加到 256 倍,而且近几年内就达到 1M 位。表 III 是 1103 和 1983 年发表的几个 64K 位和 256K 位存贮器的主要技术指标的比较。可见,集成度提高同时,各项技术指标也有很大进步。

DRAM 进一步的发展方向仍是提高集成度和降低每位存贮器的价格。具体说是向 1M 位和 4M 位前进。但是,随着电路设计规则进入微米和亚微米级(没有疑问,DRAM 将是最先进入这个领域的 VLSI 器件),一系列短沟效应、软失效问题和次阈值电流等问题将会很突出。所以,除了采取一般到 VLSI 后要采取的一些工艺和设计技术外,对于用动态方法来存贮信息的 DRAM 似乎已应开始一个较大革新的时期,包括电源电压的减少,单元结构和电路的改革等等。现在有的电路已设计了片内电压转换电路,使片内实际工作电压低于 5V;今后很可能逐步采用 3.0V 或 2.5V 电源。各种高值电容存贮单元 (HiC-MOS) 等方案也都在试用之中。

表 III 几种 DRAM 的主要技术指标

项目 发表厂家	集成度	取数时间 (ns)	功耗 (mW)	电源电压 (V)	芯片面积 (mm ²)	封装	主要工艺
Fujitsu (富士通)	256K	t_{RAC} 80 t_{CAC} 40	300	+ 5	34.1	标准 16 腿 DIP	三层多晶硅 N 沟硅栅
Motorola (摩托罗拉)	256K	t_{RAC} 90 t_{CAC} 50	225@250ns t_{cyc}	+ 5	46.3		单层和双层 多晶硅, N 沟硅栅
Toshiba (东芝)	256K	t_{RAC} 94 t_{CAC} 34	170	+ 5	46.0	标准 16 腿 DIP	2 层 MOSi ₂ / 多晶硅 N 沟
Intel (英特尔)	64K	t_{RAC} < 80 t_{CAC} 40	200@140ns t_{cyc}	+ 5	15.3	标准 16 腿 DIP	HMOS III
Intel (英特尔)	64K	t_{RAC} 70 t_{CAC} 10	140@130ns t_{cyc}	+ 5	19.7		CHMOS III
Intel 2116 等 (1978 左右)	16K	200—350	500	+12 + 5 - 6	18—28.2	标准 16 腿 DIP	双层多晶硅 N 沟硅栅
Intel 2113 (70 年代初)	1K	150	270	-16 -20		18 腿 DIP	P 沟 MOS 硅栅, 铝栅

(2) SRAM

近 7、8 年来, MOS 静态存贮器的发展十分迅速. 它的优点是: 不需要刷新、使用方便, 单元简单, 易于测试和软失效问题相对较小等. 特别是开发出高阻多晶硅单元负载技术以后, 高密度集成的问题也得到了解决. 采用 CMOS 动态外围电路和高阻多晶硅电阻作单元负载, 现在 64K SRAM 已能做到功耗只有 10mW/1MHz 而维持功耗只有 15nW, 在用电池作后备电源的条件下已完全可以用作不挥发存贮器. 1983 年贝尔实验室发表了一个高速静态 4K NMOS SRAM, 取数时间达到 5ns, 进入了高速双极型存贮器的速度范围, 在一些高速领域中扩大了应用.

表 IV 为 1983 年发表的几种 SRAM 的技术和性能指标.

表 IV 1983年发表的几种静态随机存贮器的技术指标

项目 发表厂家	集成度	取数时间 (ns)	工作功耗 (mW)	维持功耗 (nW)	电源电压 (V)	芯片面积 (mm ²)	封装	主要工艺
Mitsubishi	8K×8b	50	100	50	5	51.9		CMOS
Nippon Electric C.	8K×8b	80	10/1MHz	15	5	45.3		CMOS
Fujitsu	64K×1b	40	425	100(mW)	5	32.6	22 腿 DIP	NMOS

SRAM 当前主要还是用于微型机等用量较小的领域, 还未能用于大容量主存贮器, 其原因主要是价格与 DRAM 相比还太高.

由于静态存贮器 SRAM 对缩小电路线度后的软失效问题和次阈值电流问题等都没有 DRAM 严重, 而低功耗又使高密度集成化的障碍较小, 因此, 在近期 VLSI 发展中 SRAM 的基本结构预期不如 DRAM 那样急需有较大的改变. 相反, 较一致的看法是, NMOS 与 CMOS 相结合的 VLSI SRAM 在存贮器发展中的地位将越来越显得重要.

(3) ROM 和 PROM

掩模 ROM 作为程序和字符等固定存贮器的市场日益扩大. 在微处理机等应用中趋向于把这种 ROM 与 CPU 集成在一起组成系统. 用于字符(包括汉字发生)、硬化软件、专门的控制程序等的固定存贮器其用量越来越大, 集成度要求也越来越高. 现在 256K 位的 ROM 已有商品生产, 1M 位和 4M 位的全硅片 ROM 的研制器件也已有报道. 利用 2μm 设计规则制造的 256K 位 ROM 的取数时间可低达 150ns, 周期 230ns.

继 2716 以后, Intel 公司现已开发出 256K 位的、紫外光擦除的可变程序 ROM (EPROM). 由于采用了 2μm 设计规则的 HMOS II 工艺和沟道热电子注入机理, 以及内部集成了写入电压发生器电路, 这种 EPROM 可以用单一 5V 电源, 并且具有 200ns 的高速取数时间. 由于 EPROM 的高度灵活性及不挥发的特点, 在微型机、各种高级仪表和控制系统中的应用前景非常广阔, 已成为一种畅销产品.

用紫外光擦除在封装结构和使用上都是不方便的. 因此, 多年来人们都在努力开发电擦、电写的 PROM. 日本用 MNOS 工艺制造的 EAROM, 利用了 Si₃N₄ 和 SiO₂ 的介面陷阱来贮存信息. 这种产品已经推广应用, 但由于工艺控制比较难和保持时间相对较

短、擦写次数相对较少、单元面积较大等问题，大批量生产和扩大容量有一定的困难。最近开发的电可擦写存储器（EEPROM）仍以浮栅为信息存储场所，但以隧道注入机构工作克服了上述两种 PROM 的缺点，受到相当大的重视。图 4 为其单元结构的示意，隧道注入小孔的氧化层厚度 $\leq 100\text{\AA}$ ，写入和擦除靠控制栅上加约 20V 不同极性的电压来实现。

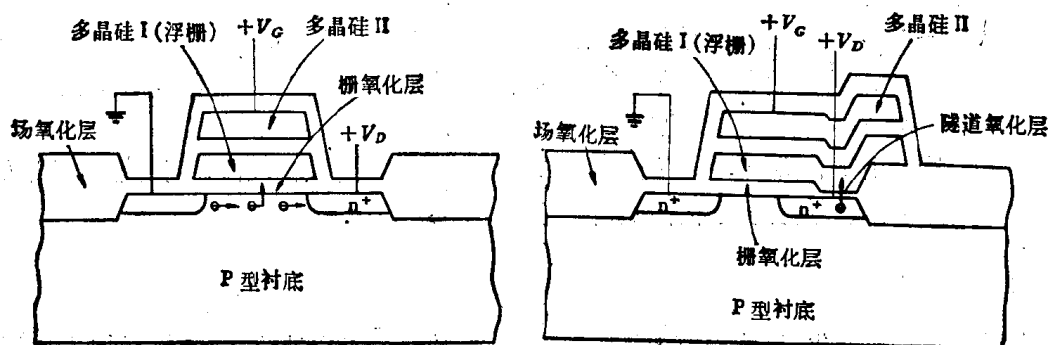


图 4 EEPROM 存储管结构示意图

Intel 最近发表了 64K E²PROM 器件，其取数时间 $< 200\text{ns}$ ，程序时间为 10ms，擦除时间为 100ms。由于内部设置了升压电路，读、写、擦都在 5V 电源下进行，它的保持时间大于 10 年，擦写次数超过 10^4 次，均已接近了 EPROM 的水平。

2764 和 2864 等 PROM，由于采用了叠栅结构，单元面积比较小，因此是便于 VLSI 化的。但是在 VLSI 高密度化过程中，由于栅氧化层减得很薄，介质层中电场就很强（特别在栅漏区），要避免非选中单元的信息写入就会成为问题。这问题如果用降低写入电压，延长写入时间的办法来解决，不仅使用上不方便，大容量时的芯片检测时间也会成为大问题。所以，在 VLSI 化过程中，这类器件的结构肯定还会有较多的变革。

2. 存储器 VLSI 化中的几个技术问题

本文集收集了几篇 DRAM 和 SRAM 的文章，分析了高集成化中的几个问题，这里做一些综合性介绍。

存储器是最先走向 VLSI 化的集成器件，所以最早遇到 VLSI 化过程中会遇到的一些技术问题。下面主要结合具体器件介绍这些问题及其解决方法，其中多数对于其他的 VLSI 器件当然也是有意义的。

(1) 软失效

软失效是指 DRAM（对某些高阻负载 SRAM 也要考虑）单元中的信息会随机地发生差错，这种差错一经纠正后，原单元仍能正常工作的现象。现已证明，软失效是由于封装等材料中存在微量铀和钍等放射性元素，它们所放射的 α 粒子进入硅表面后，在存储电容附近离化电子-空穴对，随之使存储电荷量发生改变而引起的。

随着 DRAM 单元的缩小，存储电容量日益减小。例如，现行的 64K DRAM 的单元面积约为 $150-200\mu\text{m}^2$ ，相应的 C_i 约等于 50—60fF，256K DRAM 的单元降低到 50—70 μm^2 左右，一般设法保持 C_i 为 40fF 左右。 C_i 的减小，一方面因 C_i/C_b (C_b 为位线电容)

下降而对灵敏放大器的灵敏度提出更高的要求,同时因存贮的绝对电荷量减少,软失效率(SER)就增加,使软失效问题更为突出。

如何解决软失效?至今还没有完整的对策。提高封装材料纯度和芯片加树脂保护不能完全消除软失效,因为 α 粒子不都是来自封装材料。现在正在对 α 粒子的其他来源和作用机理等进行认真的研究,以便获得精确的软失效模型,为改进 DRAM 设计和存贮系统中采用适当的纠正码及预警措施提供精确的信息。

从单元结构来看,种种提高单位面积存贮电容的技术(HiC-MOS)已经在一些 256K DRAM 中被采用。这包括利用高介电常数的介质膜(如氧化钽)作 C_1 的介质层,在 C_1 区的硅表面下注入一层反型杂质使电容量提高。等等。

CMOS 技术由于有阱隔离层,如果将单元做在阱内,且阱做得较浅,则就能有效地抑制 α 粒子离化对存贮电荷的破坏作用,降低软失效率。

(2) 冗余技术

由于线条的微细化,晶体中有效缺陷(包括原生缺陷和二次缺陷)密度将增加,即原来因尺寸较小而不起作用的一些缺陷可能会变成有效缺陷。同时,工艺(主要是光刻工艺)引起的图形不完整性等等效的缺陷密度也要增加。再加上芯片面积随着 VLSI 发展也是逐步增大的,这些都使芯片的成品率降低,因为成品率与有效缺陷密度 D_0 和 A_{ch} 有以下关系:

$$Y_0 = e^{-D_0 A_{ch}}$$

所以 VLSI 对超净条件、光刻技术及其他工艺技术、单晶片中及加工过程中的缺陷控制等都有更严格的要求。

除此之外,在当前的 VLSI 存贮器制造中还采用了一种提高成品率的电路技术——冗余技术(见本文集中关于 64K 和 256K RAM 的文章)。

高密度存贮器的试制经验表明,如果能够对个别失效单元(往往是某种缺陷——包括图形不完整性——所造成)进行纠正,则可使芯片成品率有明显的提高。冗余技术就是在存贮器内设置一定数量的备用单元行或列,用以替换有缺陷单元的行或列。如图 5 所示,若在存贮阵列中第 (2, 3) 单元失效,则设法用备用的 SDX 行替代 DX_1 行,或用 SDY 列

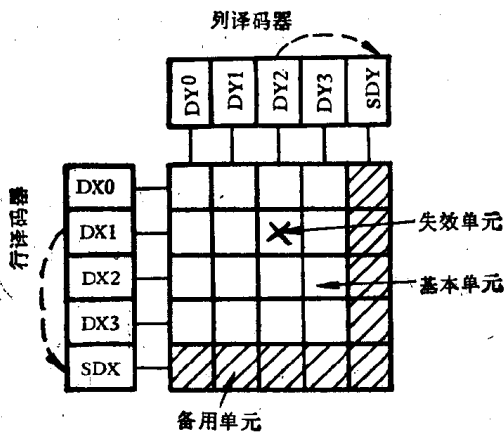


图 5 冗余技术示意

替代 DY₂ 列。这样就使原来应该作废的器件成为完好的器件,从而使成品率提高。

由以上的讨论可见,除了安排备用行或列外,冗余技术还要解决两个主要问题;一是要对备用的行或列进行编程,使之成为被替代的行或列,同时设法把应废弃的行或列废弃;二是要找到一种编程用的适当元件,芯片测试时通过加入外部信号可以使之开路或短路,以达到编程的目的。

编程元件可以用薄膜(如多晶硅)做成的熔丝;也可以用如图 6 所示的结构,此结构平时为高阻态,经加脉冲高电压后成为低阻,从而使与之相连接的电路连通。利用熔丝元件时,一般用激光束把备用行或列的译码器中有关工作管上的熔丝烧断,使之成为与被替代行或列的译码器有一样的编码,同时把被替代行或列的字线驱动线上的熔丝烧断以废弃这些行或列,这样就达到了编程的目的(见图 7)。

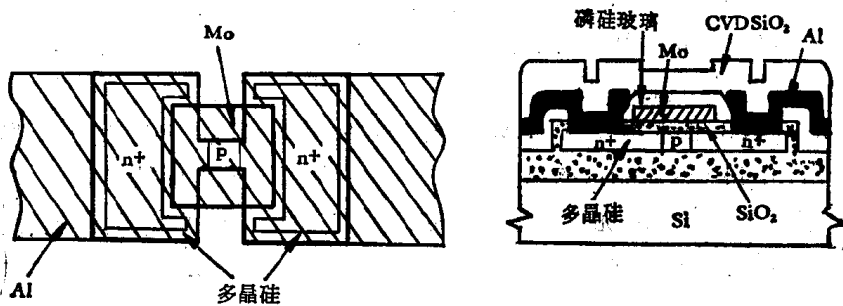


图 6 背对背多晶双 P-N 结编程元件结构

利用图 6 所示的元件时,编程的步骤与上面所述的基本一致,但它是靠通脉冲电压后使有关的电路连通的,废弃行或列则可通过多路开关选择器等电路来实现。

为了确保冗余技术发挥有效的作用,需要对材料和工艺缺陷的密度及其分布等进行深入的分析研究,在此基础上提出准确的成品率统计公式和失效模型,然后才能对不同大小的陈列提出适当的备用存贮单元的数目。很显然,备用单元太多反而会造成成品率的下降,太少了则又会达不到提高成品率的目的。

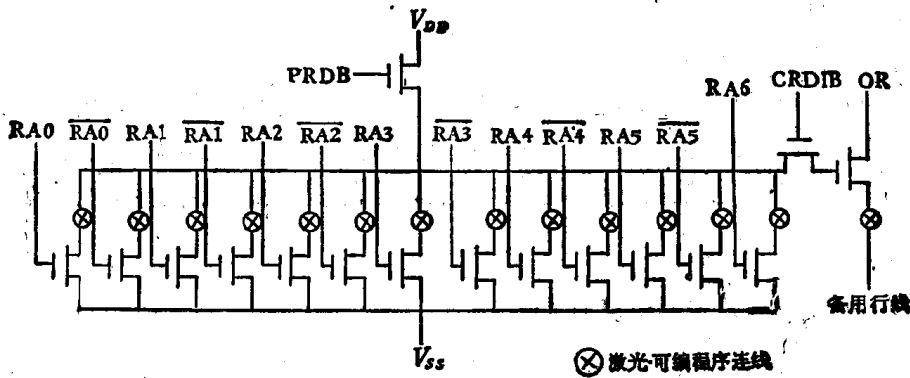


图 7 冗余技术中替代编程示意

(3) CMOS 化

前已指出,在芯片面积有限的情况下,逻辑电路的功耗问题将因高密度集成化而突出起来,因此,一般地说,采用低功耗的 CMOS 技术在 VLSI 阶段将是很自然的倾向。另

外,随着器件线度不断缩小,在 NMOS 结构中出现的一些矛盾在 CMOS 结构中可以得到一定程度缓和,当然,CMOS 电路的速度不如 E/D NMOS 高,但这可以通过工艺兼容来解决。

CMOS 结构可以做成 P 阱的(即 NMOS CMOS),或做成 n 阱的(即 PMOS CMOS),甚至于兼有 P 阱和 n 阱的。下面以 n 阱 CMOS (PMOS CMOS) 为例,说明这种技术具有的优点:

(a) 浅 n 阱的薄 n 层对衬底空穴起阻挡作用,从而可使 SER 下降;

(b) 实验证明,当沟道长度缩短时 NMOS 存储器的衬底电流可增加到几个微安,这样大的衬底电流使片内衬底偏压发生器电路的设计变得很困难。但在同样条件下的 P 沟器件,该项电流要小得多。此外,采用 PMOS CMOS 结构可以把存储电容器的一个电极板接地(对 NMOS 此电极接 V_{cc}),这就避免了电源扰动对存储信息的干扰。

(c) PMOS 存储单元中开关管工作处于非饱和区(NMOS 中此管工作在饱和区),这可使灵敏放大器的速度有较大提高。

对于 n 阱 CMOS 技术用于 DRAM 时克服自锁效应(Latch-up 效应)、即由 n^+ 区-p 衬底-n 阱-阱中的 p^+ 区所组成的寄生 npnp 结构的导通效应方面效果如何,现在尚有不同的估计,但它在速度方面的优点则是公认的。另一方面,P 阱 CMOS 则是传统的 CMOS 技术。究竟今后着重于发展何种 CMOS,有待于进一步的研究。

(4) 新的连线和栅金属化技术

前面已经指出,按比例缩小时连线电阻是增加的,所以 VLSI 中几层连线(包括扩散层作为连线,多晶硅线和最后的铝层布线)的电阻和欧姆接触电阻都成了器件制造中需要重新估价和解决的问题。对此,我们将在下面工艺技术一节中进行讨论,这里要指出的是在某些 64K 和 256K DRAM 中已采用了一些措施:

(a) 利用金属 Mo,以及 Mo 和 Ta 的硅化物取代硅栅,降低了多晶硅这一层连线的电阻;

(b) 与此同时改进了浅 p-n 结的欧姆接触;

(c) 长的扩散区连线(如位线)全部与外层铝连线连通。

达到 $1.5\mu\text{m}$ 设计规则的 VLSI 电路,还需有一系列防止短沟道效应的措施:如沟道注入以防止穿通和减小沟道缩小对阈电压的影响, N_2/H_2 混合气氛下充分退火以减少氧化层中的陷阱,避免热电子效应等等,这些问题将在器件物理和微小器件结构一节中加以讨论。

3. 微处理器(μP)和单片微型计算机(μC)

图 8 是从 70 年代初 Intel 公司推出 4004 四位 PMOS 微处理器以来,大规模集成微处理器和微型机的发展概况。大致有向高档的 8 位、16 位、32 位微处理器和单片集成微型机两个发展方向。

(1) 单片集成微型计算机

把中央处理器、存储程序的 ROM、寄存数据的 RAM,以及必需的输入输出电路集