

电子工程手册系列丛书

A5

标准集成电路数据手册

PAL电路

电子工程手册编委会 编
集成电路手册分编委会



电子工业出版社

(京) 新登字 055 号

内 容 提 要

PAL (可编程阵列逻辑) 电路是半定制电路, 具有设计灵活、修改方便、设计周期短、成本低、保密性强, 并有利于缩小体积, 提高系统可靠性等优点。该书内容分两部分: 第一部分介绍PAL电路的原理、产品综述、逻辑设计方法及各种设计实例。还介绍了PAL器件开发的若干著名软件及编程、测试技巧等。第二部分给出了50余种PAL器件的简要说明、引出端排列、功能框图、逻辑图、主要性能参数及测试波形图。

本书可供从事数字电路和数字系统研制开发的工程技术人员、大专院校有关专业的师生学习和参考。

电子工程手册系列丛书
标准集成电路数据手册

PAL 电路

电子工程手册编委会 编
集成电路手册分编委会

责任编辑 郭延龄

电子工业出版社出版 (北京市万寿路)
电子工业出版社发行 各地新华书店经营
北京科技印刷厂印刷

开本: 787 × 1092毫米 1/16 印张: 56.125 字数: 1330千字

1991年5月第1版 1993年6月第2次印刷

印数: 3000 - 4000册 定价: 56.00 元 (平)

印数: 4500 - 7500册 定价: 61.00 元 (精)

ISBN 7-5053-1343-6/TN·398 (平)

ISBN 7-5053-1344-4/TN·399 (精)

前 言

自 1959 年世界上出现第一块集成电路至今, 它已深入到一切产业的每一种产品中。在导弹、卫星、战车、舰船、飞机等军事装备中; 在数控机床、仪器仪表等工业设备中; 在音响、电视、录像、洗衣机、电冰箱、钟表等家用电器中; 在电子游艺机、电子乐器、照相机等娱乐品中; 在各式各样的计算器、计算机中都采用了集成电路。

集成电路的技术发展将直接促进整机的小型化、高性能化、多功能化和高可靠性。毫不夸张地说, 集成电路是工业的“食粮”和“原油”。

我国集成电路的研制工作是由 1963 年开始的。从 1971 年 4 月起着手集成电路的标准化工作, 重点在提高集成电路质量及优选集成电路品种。经有关单位多年来的共同努力, 确定了以国际电工委员会 (IEC) 电子元器件质量评定体系的有关标准为我国集成电路质量评定标准; 以优选的国际通行集成电路品种为我国的推荐品种。

为了介绍这些优选品种的特性, 我们编写了《标准集成电路数据手册》, 向集成电路的制造和使用者提供较完整的质量评定的标准数据 (包括: 引出端排列、功能框图、电特性、测试方法等)。按集成电路的系列, 大致有下列分册:

- TTL 集成电路;
- ECL 集成电路;
- CMOS 4000 系列集成电路;
- 高速 CMOS 集成电路;
- 存储器集成电路;
- 微型计算机集成电路;
- 运算放大器集成电路;
- 稳压器集成电路;
- 音响集成电路;
- 非线性集成电路;
- 接口集成电路;
- PAL 集成电路;
- 通信集成电路;
- 机电仪集成电路。

若能推动我国集成电路技术的发展、促进器件国产化, 也就达到了编写这套手册的目的。

为了及时反映我国的优选标准集成电路, 本手册将不定期地修订。

这套手册可以说是多年从事集成电路标准化工作的同仁们协作努力的结果。值此, 向支持集成电路标准化工作的单位及参与集成电路标准化工作的同志致以谢意; 向为本手册的出版提供帮助的单位及个人表示谢忱。

中国电子技术标准化研究所

编写说明

集成电路除了向超大规模方向发展外,自七十年代末期起又向 ASIC (Application Special Integrated Circuit) 专用集成电路领域开拓,这一发展的平均年增长率高达 20% 以上。PAL (Programmable Array Logic) 是大家熟知的 PROM (Programmable Read-Only Memory) 的新发展。在 ASIC 专用集成电路族中属于半定制电路的范畴,在 ASIC 市场份额中,1989 年达到 11.5%,1995 年将达到 15% 左右。具有广阔的发展前景。

起先, PAL 系列电路是为了填补 TTL 和 LSI (MOS) 两类器件间的空白而应运而生。一般用一片 PAL 电路可以等效地代替 4 到 20 片标准系列的 MSI/SSI 集成电路的功能;据统计,只要用 PAL 系列中 15 种电路就可以代替 90% 的 TTL 标准电路的品种,这样就可以大大地降低库存数量;与传统标准电路相比,用 PAL 电路作设计给设计人员带来了很大的灵活性,几乎不必修改印制板,就可以做到您想要实现什么功能,就可以实现什么功能。由于用 PAL 电路代替标准系列电路后,具有缩小产品体积、降低成本、提高产品的可靠性、缩短产品开发周期和提高产品的保密性等优点,因此, PAL 电路的应用日益广泛,成为新型数字系统产品中不可或缺的器件。

电子工业出版社出版的这本《PAL 集成电路》是根据电子工业技术标准编制计划的要求,由中国电子技术标准化研究所组织 PAL 系列集成电路国家标准主要起草单位——上海电子计算机厂的夏仁霖、胡传国、许宪辅等同志编译的。

不管您原来是否熟悉数字电路的设计、制造和使用,本手册都将是您正确选择、设计和使用 PAL 器件的良师益友。本手册共有 13 章,它采用由浅入深、循序渐进的方法,使您能逐步熟悉掌握并正确选用 PAL 器件,直至炉火纯青。如第一章“初学者指南”将系统地为您介绍可编程逻辑器件的设计方法,您将通过如交叉路口红绿灯的自动控制,到各类数字系统产品功能块的典型应用实例加深认识。本手册还详细地介绍了编程软件和编程设备的使用及设计实例。我们希望本手册能在您承担的产品设计中助上一臂之力。同样,本手册也适用于高等院校,作为数字电路及系统设计的辅助教材。本手册的第十章详细地描述了用于可编程阵列逻辑的设计软件及被编程器件的质量检查。为便于读者正确选用国际和国内的 PAL 电路,本手册的第二部分给出了列入国家标准系列范围的以及部分国标范围之外的 PAL 系列集成电路(共 40 多种)的主要电参数、引出端排列图(包括双列直插式和载体型封装)、逻辑图、功能框图、速度、功耗等。附录给出了国标 PAL 器件系列品种和 MMI 公司、AMD 公司产品型号的对照表,方便选用。

本手册中所用的功能符号、逻辑单元图形符号都按照相应的国家标准绘制,但请读者注意:其中的逻辑“非”采用了“/A”和“ $\bar{A}$ ”二种表示形式,它们具有相同的含义。

本手册第一部分的第一章 1.5~1.8 节及第二、三、四、五章由夏仁霖编译,胡传国校对;第一章 1.1~1.4 节、第六、七、九、十章及附录 A 由胡传国编译,许宪辅校对;第八、十一、十二、十三章由许宪辅编译,夏仁霖校对;第一到十三章均由周红群审校。第二部分由胡传国编译,夏仁霖校对。中国电子技术标准化研究所副所长童本敏高工、陈

裕锟工程师为本书的完成给予了很多帮助和指导；国营八七八厂孙人杰高工对本书的内容提出了宝贵的意见，并为出版做了很多工作；上海电子计算机厂的徐建平、郑金宝、邱江、黄欢、田淑臻、赵秋萍、张永权、张寿玲、顾慧琴、吕丽芳、汪伟芬、曹彩宝、黄再生、周秀琴、陈刘琴、蔡兰芳、林恒福、李清慈等同志为本书的出版做了大量的工作。借此机会向他们表示深切的谢意。

编 者
1990.10

目 录

第一部分 PAL 的设计和应用

第一章 引言和基本设计应用	(1)
1.1 引言	(1)
1.1.1 什么是 PLD	(1)
1.1.2 其它可行的实现方法	(3)
1.1.3 PLD 与其它实现方法相比有些什么优点	(4)
1.1.4 小结	(6)
1.2 产品综述	(7)
1.2.1 PAL 器件	(7)
1.2.1.1 TTL 和 CMOS 的 PAL 器件	(11)
1.2.1.2 CMOS 的 PAL 器件	(20)
1.2.1.3 ECL 的 PAL 器件	(22)
1.2.2 可编程序列发生器	(23)
1.2.3 LCA 器件	(24)
1.3 初学者指南	(25)
1.3.1 PALASM 软件的安装	(25)
1.3.2 进行组合型的设计——基本门	(27)
1.3.3 寄存型的设计——基本触发器	(37)
1.3.4 对器件编程	(43)
1.4 PLD 的设计方法	(45)
1.4.1 概念化设计	(46)
1.4.2 器件选择方面的考虑	(47)
1.4.3 实现设计	(52)
1.4.3.1 设计语法	(53)
1.4.4 模拟	(57)
1.4.5 器件的编程和测试	(60)
1.5 组合逻辑设计	(60)
1.5.1 编码器和译码器	(61)
1.5.2 多路复用器	(70)
1.5.3 比较器	(73)
1.5.4 值域译码器	(81)
1.5.5 加法器/算术逻辑电路	(83)
1.5.6 锁存器	(88)
1.6 寄存器逻辑设计	(91)
1.6.1 同步寄存型设计	(96)
1.6.1.1 计数器	(96)
1.6.1.2 移位寄存器	(126)
1.6.1.3 计数器和移位寄存器器件选择的依据	(130)
1.6.2 异步寄存型设计	(130)
1.6.3 寄存型 PLD 的其它应用	(134)
1.7 状态机设计	(140)

1.7.1 状态机理论	(143)
1.7.2 状态机的类型:Mealy 与 Moore	(146)
1.7.3 器件选择的依据	(149)
1.7.4 PAL 器件作为序列发生器	(153)
1.7.5 可编程逻辑序列发生器 (PLS)	(158)
1.7.6 PROSE 序列发生器 (PMS14R21)	(163)
1.7.7 熔丝可编程控制器 (Am29PL141)	(164)
1.7.8 状态机设计练习	(166)
1.7.8.1 概念化设计	(166)
1.7.8.2 状态机的表示法	(167)
1.7.8.3 状态机语法	(171)
1.8 用异或可编程逻辑器件 (XOR PLD) 简化各种计数器和其它各类器件的设计	(175)
1.8.1 异或可编程逻辑器件用于计数器时的优越性	(175)
1.8.2 异或可编程逻辑器件工作原理	(177)
第二章 以微处理器为基础的系统	(184)
2.1 引言	(184)
2.1.1 可编程逻辑器件用作标准产品的粘结电路	(184)
2.1.1.1 地址译码	(185)
2.1.1.2 产生等待状态	(186)
2.1.1.3 DRAM 控制	(187)
2.1.2 微处理器外围接口	(187)
2.1.3 结论	(187)
2.2 与 8086/80186/80286 的接口	(188)
2.2.1 综述	(188)
2.2.2 8086 和 Am7990 LANCE 接口	(188)
2.2.3 8086 和 Am9516 通用 DMA 控制器的接口	(191)
2.2.4 80286 到 Am9568 数据运算处理器的接口	(196)
2.2.4.1 DCP 时钟	(197)
2.2.4.2 改进	(199)
2.2.5 80286 到 Am8530 的接口	(200)
2.3 与 68000/68020 的接口	(201)
2.3.1 综述	(201)
2.3.2 68000 到 Am8530 带中断的接口	(202)
2.3.3 68000 和 Am7990 LANCE 的接口	(205)
2.3.4 68000 中断控制器	(207)
2.3.4.1 引言	(207)
2.3.4.2 68000 的例外事件处理和引脚说明	(208)
2.3.4.3 单个向量中断 (方法 1)	(210)
2.3.4.4 自动向量中断 (方法 2)	(212)
2.3.4.5 结论	(214)
第三章 存储器控制	(216)
3.1 引言	(217)
3.1.1 PROM 和 SRAM 控制	(217)

3.1.2 存取时间方面的考虑	(218)
3.1.3 DRAM 系统	(219)
3.1.3.1 DRAM 控制器和 PLD	(220)
3.1.3.2 差错检测和纠正	(221)
3.1.4 高速缓冲存储器系统	(222)
3.2 存储器信号交换逻辑	(222)
3.3 用先进的 PAL 器件定制 DRAM 控制器	(225)
3.3.1 灵活的刷新产生机制	(226)
3.3.2 灵活的仲裁方案	(226)
3.3.3 灵活的信号交换协议	(227)
3.3.4 处理器周期的执行	(227)
3.3.5 刷新周期的执行	(227)
3.3.6 具有数据对齐和动态确定总线尺寸的兆位 DRAM 控制器	(227)
3.3.6.1 动态确定数据总线的尺寸	(228)
3.3.6.2 不对齐传送	(228)
3.3.7 DRAM 控制器	(229)
3.3.7.1 定时和仲裁控制	(230)
3.3.7.2 确定数据尺寸和对齐用的 PAL 器件	(233)
3.4 8088 到 Am2968 的接口	(247)
3.4.1 引言	(247)
3.4.2 接口综述	(248)
3.4.3 PAL 器件的功能描述	(248)
3.4.3.1 RASER (PAL16R4) 的功能	(248)
3.4.3.2 HLDR (PAL16R6) 的功能	(249)
3.4.3.3 刷新定时时序的计算	(249)
3.4.3.4 延迟线中间抽头计算	(250)
3.4.3.5 计数器和方式功能表	(251)
3.5 MC68000 到 Am2968 的接口	(253)
3.5.1 引言	(253)
3.5.2 MC68000 的时序要求	(255)
3.6 动态存储器控制的状态序列发生器	(258)
3.6.1 设计要求	(258)
3.6.2 设计方法	(261)
3.7 8 位差错检测和纠错	(263)
3.8 熔丝可编程控制器简化快速缓冲存储器的设计	(272)
3.8.1 引言	(272)
3.8.2 高速缓冲存储器系统	(272)
3.8.2.1 高速缓存数据存储器	(273)
3.8.2.2 标志缓冲器	(273)
3.8.2.3 替换算法	(274)
3.8.2.4 高速缓存控制器	(275)
3.8.2.5 Am29PL141 熔丝可编程控制器	(275)
3.8.3 系统综述	(277)
3.8.4 系统操作	(278)
3.8.4.1 读且命中周期	(278)

3.8.4.2 读而未命中周期	(278)
3.8.4.3 写且命中周期	(279)
3.8.4.4 写而未命中周期	(280)
3.8.5 FPC 操作	(280)
3.8.5.1 测试周期请求	(283)
3.8.5.2 测试周期类型	(283)
3.8.5.3 每一周期的动作	(283)
3.8.5.4 修改算法	(284)
3.8.5.5 修改地址的产生	(284)
3.8.6 时序和性能	(284)
3.9 PAL22RX8A 用于 32 地址单元的后进先出 (LIFO) RAM 的控制和寻址	(286)
3.9.1 引言	(286)
3.9.2 J-K 的触发功能	(288)
3.9.2.1 有效写周期——PUSH	(289)
3.9.2.2 有效读周期——POP	(289)
3.9.2.3 指令译码	(290)
第四章 图形和图象处理系统	(293)
4.1 引言	(293)
4.2 本地图形处理器	(294)
4.3 显示控制器	(294)
4.4 帧缓冲器	(295)
4.5 并串转换器	(297)
4.6 查找表和数模转换器	(298)
4.7 小型系统视频控制器	(298)
4.7.1 具体实现	(300)
4.7.2 行同步发生器	(301)
4.7.3 帧缓冲器的寻址	(301)
4.7.4 帧同步发生器	(305)
4.7.5 信号的分配	(306)
4.7.6 视频移位寄存器	(309)
4.7.7 附加的控制特性	(313)
4.8 PAL32VX10 的隐匿寄存器用于输入密集的状态机设计	(313)
4.8.1 宏单元说明	(313)
4.8.2 J-K 可编程特性	(314)
4.8.3 双端口视频移位寄存器	(315)
4.8.4 J-K 功能的推导	(317)
第五章 数字信号处理	(321)
5.1 引言	(321)
5.2 应用领域	(321)
5.2.1 速度及其它要求的比较	(323)
5.2.2 单片和积木式单元的比较	(323)
5.2.3 PLD 的应用	(324)
5.3 波形发生器	(324)

5.3.1 数字、模拟波形产生方法的比较	(324)
5.3.2 PAL 器件的实现	(325)
5.3.3 查找表的产生	(326)
5.4 密集的状态机设计	(330)
5.5 模数转换	(334)
5.5.1 转换技术	(334)
5.5.2 逐次逼近法	(334)
5.5.3 量化误差	(335)
5.5.4 用 PAL20RS10 实现	(335)
第六章 总线接口	(344)
6.1 引言	(344)
6.1.1 地址部分	(345)
6.1.2 数据部分	(345)
6.1.3 控制部分	(345)
6.1.4 公用部分	(348)
6.1.5 系统的进一步扩充	(348)
6.2 Unibus 中断控制器	(348)
6.2.1 功能描述	(348)
6.2.2 PAL 设计规范	(351)
6.2.3 模拟结果	(352)
6.3 10MHz 处理器用 Multibus 裁决器的设计	(353)
6.3.1 综述	(353)
6.3.2 功能要求	(353)
6.3.3 定时方面的考虑	(353)
6.3.4 PAL 设计说明	(354)
6.4 Multibus 与 Am9516 的接口	(357)
6.5 Z-Bus 与 8088/8086 的接口	(357)
6.5.1 设计要求	(360)
6.5.2 设计方法	(361)
6.6 用 PLD 简化的 VME 总线控制	(364)
6.6.1 一个高性能的总线	(364)
6.6.2 功能模块	(364)
6.6.3 总线控制器的设计步骤	(364)
6.6.3.1 PLD 总线裁决器	(365)
6.6.3.2 优先级裁决选项	(367)
6.6.3.3 处理中断	(368)
6.6.3.4 中断处理器的预处理器(IHP)	(368)
6.6.3.5 中断逻辑	(368)
6.6.4 用开发工具简化控制器设计	(371)
第七章 通信	(376)
7.1 通信系统概述	(376)
7.1.1 通信中可编程逻辑的特性	(377)
7.1.2 基本的电话系统	(378)

7.1.3 数据通信	(380)
7.2 使用 CMOS ZPAL 器件实现 B8ZS 编码	(381)
7.2.1 编码原理和功能说明	(382)
7.2.2 B8ZS 编码器	(382)
7.2.3 B8ZS 译码器	(384)
7.3 使用 PAL 器件实现 HDB3 线路编码	(400)
7.3.1 HDB3 码	(400)
7.3.2 HDB3 编码器的实现	(401)
7.3.3 HDB3 译码器的实现	(404)
7.4 以 ZPAL 器件实现 QAM 编码器	(417)
7.4.1 调制解调器编码技术	(417)
7.4.2 以 PALC20R8Z 为基础的 QAM 编码器	(419)
7.5 用 PLD 器件实现 4B3T 线路代码转换机	(423)
7.5.1 双极性码和三进制码	(424)
7.5.2 线路编码	(425)
7.5.3 4B3T 线路编码器的实现	(426)
7.5.4 4B3T 线路译码器的实现	(430)
7.6 用 PALC22V10 实现曼彻斯特编码器	(447)
7.6.1 PAL 器件的设计	(449)
第八章 外围设备电路	(456)
8.1 GCR (4B-5B) 编码器/译码器	(458)
8.2 用 PLD 实现磁盘驱动器的编码器/译码器	(464)
8.2.1 RLL 2,7 编码与 MFM 编码	(471)
8.2.2 RLL 2,7 编码转换为状态机	(472)
第九章 工业控制	(473)
9.1 概述	(473)
9.1.1 数据获取	(473)
9.1.2 数据分析	(474)
9.1.3 控制部分以及 PID 算法	(474)
9.1.4 应用范围及性能要求	(475)
9.1.5 PAL 器件的使用	(475)
9.2 步进马达控制器	(476)
9.3 轴角编码器	(484)
第十章 用于可编程逻辑的设计软件	(504)
10.1 引言	(504)
10.1.1 用于可编程逻辑的设计软件	(504)
10.1.2 逻辑模拟	(505)
10.1.3 可编程逻辑的测试	(505)
10.1.4 软件工具	(505)
10.2 PALASM2 逻辑设计软件包	(507)
10.2.1 以不同的形式自由地表达你的设计思想	(507)
10.2.2 自动测试	(507)

10.2.3 逻辑的自动简化	(507)
10.2.4 对编程器件的设计进行编辑	(508)
10.2.5 使用方便的新菜单	(508)
10.2.6 硬件支持	(508)
10.2.7 PALASM2 设计软件的使用	(508)
10.3 PLPL: 可编程逻辑的编程语言 (软件版本 V2.1)	(509)
10.3.1 PLD 设计方法: 使用 PLPL	(509)
10.3.2 PLPL 的 PLD 设计环境	(510)
10.3.3 PLPL 逻辑语言	(510)
10.3.3.1 语言元素	(510)
10.3.4 PLPL 的设计文件	(512)
10.3.4.1 设计名	(512)
10.3.4.2 标题	(512)
10.3.4.3 逻辑说明部分	(514)
10.3.5 高级逻辑描述	(515)
10.3.5.1 IF-THEN-ELSE 语句	(515)
10.3.5.2 CASE 语句	(517)
10.3.5.3 狄摩根变换	(519)
10.3.5.4 特殊的功能	(520)
10.3.5.5 特殊的组成部分	(521)
10.3.5.6 产生测试向量	(523)
10.3.6 PLPL V2.1 程序	(528)
10.4 逻辑单元阵列(LCA)和开发系统	(531)
10.4.1 逻辑单元阵列	(531)
10.4.1.1 LCA 的编程	(533)
10.4.2 LCA 的开发系统	(535)
10.4.2.1 LCA-MDS21 XACT 设计编辑程序	(535)
10.4.2.2 XACT 宏电路库	(536)
10.4.2.3 LCA-MDS22 P-SILOS 模拟程序	(539)
10.4.2.4 LCA-MDS23 自动布局和路径确定程序	(540)
10.4.2.5 LCA-MDS31 FutureNet DASH 原理图设计输入接口	(540)
10.4.2.6 LCA-MDS24、LCA-MDS26、LCA-MDS27 XACTOR 在线仿真系统	(540)
10.4.2.7 LCA-MEK01 LCA 评测工具包	(541)
10.5 用于 PLD 设计的工具 ABEL-GATES	(542)
10.5.1 设计的模拟和优化	(543)
10.5.2 ABEL	(544)
10.5.3 DASH-GATES	(545)
10.5.4 ABEL 和 DASH-GATES 的差别	(545)
10.5.5 设计的描述和处理	(546)
10.6 CUPL	(551)
10.6.1 使用 PLD 对复杂的分立逻辑进行压缩	(559)
10.6.2 用状态机方法加快逻辑设计	(566)
10.7 LOG/iC	(574)
10.7.1 开发过程	(575)
10.7.2 标准语法	(575)

10.7.3 FSM 语法	(575)
10.7.4 一致性检查	(576)
10.7.5 验证	(578)
10.7.6 优化	(578)
10.7.7 实现	(579)
10.7.8 测试用的辅助手段	(579)
10.7.9 文档资料	(581)
10.7.10 硬件环境以及与 CAE 环境的结合	(581)
10.7.11 PAL52VX10 的设计实例	(582)
第十一章 编程	(584)
11.1 编程	(584)
11.1.1 用样品器件进行编程	(584)
11.1.2 用 JEDEC 文件进行编程	(585)
11.1.3 寄存器预加载	(585)
11.1.4 选择正确的编程器	(586)
11.1.5 已认可的编程器	(587)
11.1.5.1 使用已认可的编程器的好处	(587)
11.1.5.2 认可过程	(587)
11.1.5.3 新产品的支持	(588)
11.1.5.4 范围宽广的各种编程器	(588)
11.2 ProPAL、HAL 和 ZHAL 器件编程	(588)
11.2.1 ProPAL 器件	(588)
11.2.2 HAL 器件	(589)
11.2.3 ZHAL 器件	(589)
11.2.4 用户应该使用 ProPAL、HAL 还是 ZHAL 器件	(589)
11.2.5 质量与节约成本	(590)
11.2.6 节省费用的例子	(591)
11.2.7 功能测试的重要性	(592)
11.2.8 ProPAL、HAL 和 ZHAL 器件的功能测试	(592)
11.2.8.1 AutoVec 测试	(592)
11.2.8.2 直接型功能测试	(593)
11.2.8.3 AC 型功能测试	(593)
第十二章 可测试性	(595)
12.1 引言	(595)
12.2 可测试性的定义——定性的	(595)
12.3 可测试性的定量化	(596)
12.3.1 单次固定故障的模拟	(596)
12.3.2 不可检测故障	(597)
12.4 可测试组合电路的设计	(597)
12.5 重会聚扇出	(598)
12.6 极小化的重要性	(601)
12.7 逻辑冒险	(601)
12.8 可测试时序电路的设计	(603)

12.8.1 反馈	(603)
12.9 锁存器	(604)
12.9.1 可控锁存器	(604)
12.9.2 锁存器冒险	(605)
12.9.3 透明锁存器	(607)
12.10 振荡器	(607)
12.10.1 检测振荡器	(608)
12.11 可测试状态机的设计	(608)
12.11.1 状态机的初始化	(608)
12.11.2 上电初始化	(609)
12.11.3 在设计中包含初始化	(609)
12.11.4 非法状态	(610)
12.11.5 从非法状态的恢复	(610)
12.11.6 一步恢复的设计	(611)
12.11.7 恢复进入 00...0 的状态	(611)
12.11.8 恢复进入一固定状态	(612)
12.11.9 恢复到任何合法状态	(613)
12.11.10 缺省转换	(613)
12.11.11 非法状态恢复的测试	(614)
12.11.12 为针床测试作准备	(614)
12.12 使用 PROSE 器件的可测试性设计	(615)
12.12.1 DOC 结构	(615)
12.12.2 系统级测试	(618)
12.12.3 板级测试	(619)
12.12.4 器件级测试	(619)
12.13 测试向量的使用	(620)
12.14 结论	(622)
第十三章 PALASM2 软件	(623)
13.1 引言	(624)
13.1.1 PALASM2 软件介绍	(624)
13.1.1.1 所支持的可编程器件	(624)
13.1.1.2 所支持的计算机	(625)
13.1.2 程序和文件一览	(626)
13.1.2.1 PALASM2 软件程序	(627)
13.1.2.2 输入、输出和中间文件	(629)
13.1.2.3 PALASM2 的辅助程序	(630)
13.2 PALASM2 软件的安装	(630)
13.2.1 安装步骤	(630)
13.2.1.1 安装所需条件	(630)
13.2.1.2 双软盘系统的 PALASM2 软件安装	(631)
13.2.1.3 硬盘系统的 PALASM2 软件安装	(632)
13.2.2 软件建立	(634)
13.2.3 加辅助程序到主菜单	(636)
13.2.4 对 AUTOEXEC.BAT 和 CONFIG.SYS 文件的修改	(637)

13.3 运行软件	(637)
13.3.1 过程的综述	(637)
13.3.2 使用菜单前的准备	(639)
13.3.2.1 调用 PALASM 菜单	(639)
13.3.2.2 目录和输入文件的指定	(640)
13.3.3 打开样本输入文件	(641)
13.3.4 学习样本输入文件	(641)
13.3.5 自动运行汇编和模拟	(641)
13.3.6 输入文件的处理	(642)
13.3.6.1 检查输入文件的语法	(642)
13.3.6.2 展开输入方程式	(644)
13.3.6.3 对输入方程式化简	(644)
13.3.6.4 对输入文件汇编	(644)
13.3.6.5 查看汇编输出文件	(645)
13.3.7 对设计例子的模拟	(647)
13.3.7.1 运行模拟程序	(647)
13.3.7.2 观察模拟输出文件	(647)
13.3.7.3 查看 JEDEC 测试数据	(649)
13.3.8 JEDEC 文件的反汇编	(649)
13.3.9 识别输入文件中的错误	(650)
13.3.9.1 查看运行时日志	(650)
13.3.9.2 TRE 文件的反汇编	(651)
13.3.10 汇编输出文件的说明	(652)
13.3.10.1 熔丝图的说明	(653)
13.3.10.2 查看 JEDEC 文件	(653)
13.3.11 从 DOS 运行软件	(654)
13.4 建立布尔方程式设计文件	(655)
13.4.1 建立布尔方程式设计文件	(655)
13.4.1.1 一般语法	(656)
13.4.1.2 建立说明段 (Declaration Segment)	(657)
13.4.1.3 建立方程式段 (Equations Segment)	(660)
13.4.2 极性	(664)
13.4.2.1 可编程的极性	(664)
13.4.2.2 固定的输出极性	(666)
13.4.3 特殊器件的设计文件编制	(666)
13.4.3.1 PLS 器件的一般考虑	(667)
13.4.3.2 PAL 器件的一般考虑	(668)
13.4.3.3 PAL10H20G8 器件的特殊考虑	(669)
13.4.3.4 PAL22V10 器件的特殊考虑	(669)
13.4.3.5 PAL16RA8 和 PAL20RA10 器件的特殊考虑	(669)
13.4.3.6 PAL32R16 和 PAL64R32 器件的特殊考虑	(671)
13.4.3.7 PAL32VX10 器件的特殊考虑	(671)
13.4.4 用于验证布尔方程式设计文件的检查清单	(674)
13.5 建立状态机设计文件	(675)
13.5.1 创建状态图	(675)

13.5.1.1 创建 Mealy 状态图	(675)
13.5.1.2 创建 Moore 状态图	(678)
13.5.2 建立状态机设计文件	(680)
13.5.2.1 一般语法	(681)
13.5.2.2 建立说明(Declaration)程序段	(682)
13.5.2.3 建立状态(State)程序段	(685)
13.5.2.4 建立条件 (Condition) 程序段	(692)
13.5.3 PLS、PROSE 或 PAL 器件的状态机设计文件编制	(694)
13.5.3.1 PLS 和 PROSE 器件的一些考虑	(694)
13.5.3.2 PAL 器件的一般考虑	(695)
13.5.4 观察一个简单的设计文件	(696)
13.6 建立模拟	(698)
13.6.1 专用语法	(698)
13.6.2 建立模拟程序段	(698)
13.6.2.1 模拟语言	(699)
13.6.2.2 模拟准则的回顾	(706)
13.6.2.3 状态机模拟语法规则	(707)
13.6.3 样本设计文件的回顾和输出文件的解释	(707)
13.6.3.1 历史波形的解释	(711)
13.6.3.2 踪迹波形的解释	(712)
13.6.3.3 历史文件的解释	(713)
13.6.3.4 PROSE 器件的历史文件的解释	(714)
13.6.3.5 踪迹文件的解释	(714)
13.6.3.6 JEDEC 测试数据的解释	(715)
13.7 器件编程	(716)
13.7.1 送 JEDEC 文件到编程器	(716)
13.7.1.1 连接编程器	(717)
13.7.1.2 建立通信链路	(717)
13.7.1.3 使用 MS-DOS 传送 JEDEC 文件	(718)
13.7.2 PC2 通信软件	(718)
13.7.2.1 装入 PC2	(718)
13.7.2.2 建立计算机传送参数	(720)
13.7.2.3 传送 JEDEC 文件	(721)
13.7.3 用样品器件进行复制	(723)
13.7.4 器件编程	(723)
附录 A 逻辑设计参考资料	(724)
A.1 基本逻辑单元	(724)
A.1.1 三种基本的门	(724)
A.1.2 运算符的优先级	(725)
A.1.3 交换律、结合律和分配律	(725)
A.1.4 对偶性	(726)
A.1.5 逻辑变换	(726)
A.1.6 范式	(726)
A.1.7 范式之间的变换	(728)

A.1.8 逻辑化简.....	(728)
A.1.9 狄摩根定理.....	(729)
A.1.10 卡诺图使逻辑极小化	(729)
A.1.11 比较和等同: XOR 门和 XNOR 门	(731)
A.2 基本存储单元	(733)
A.2.1 不用时钟选通的触发器——锁存器	(733)
A.2.1.1 S-R 锁存器.....	(733)
A.2.1.2 D 型锁存器(透明锁存器)	(734)
A.2.1.3 J-K 锁存器.....	(736)
A.2.1.4 T 型锁存器	(738)
A.2.2 用时钟选通的触发器.....	(739)
A.2.2.1 D 型触发器	(739)
A.3 二进制数	(741)
A.3.1 数制之间的转换.....	(741)
A.3.1.1 二进制和十进制之间的转换	(741)
A.3.1.2 二进制和八进制及十六进制间的转换	(743)
A.3.2 二进制算术运算.....	(744)
A.3.2.1 二进制反码表示法	(744)
A.3.2.2 二进制补码表示法	(746)
A.4 信号极性	(747)
A.4.1 输入引脚的极性.....	(747)
A.4.2 输出引脚的极性.....	(747)
A.4.3 反馈极性	(748)

第二部分 数据手册

CT74/54PAL6L16A	(752)
CT74/54PAL8L14A	(752)
CT74/54PAL10H8 系列	(756)
CT74/54PAL10H8	(756)
CT74/54PAL12H6	(756)
CT74/54PAL14H4	(756)
CT74/54PAL16H2	(756)
CT74/54PAL16C1	(756)
CT74/54PAL10L8	(756)
CT74/54PAL12L6	(756)
CT74/54PAL14L4	(756)
CT74/54PAL16L2	(756)
CT74/54PAL12L10 系列	(770)
CT74/54PAL12L10	(770)
CT74/54PAL14L8	(770)
CT74/54PAL16L6	(770)
CT74/54PAL18L4	(770)
CT74/54PAL20L2	(770)