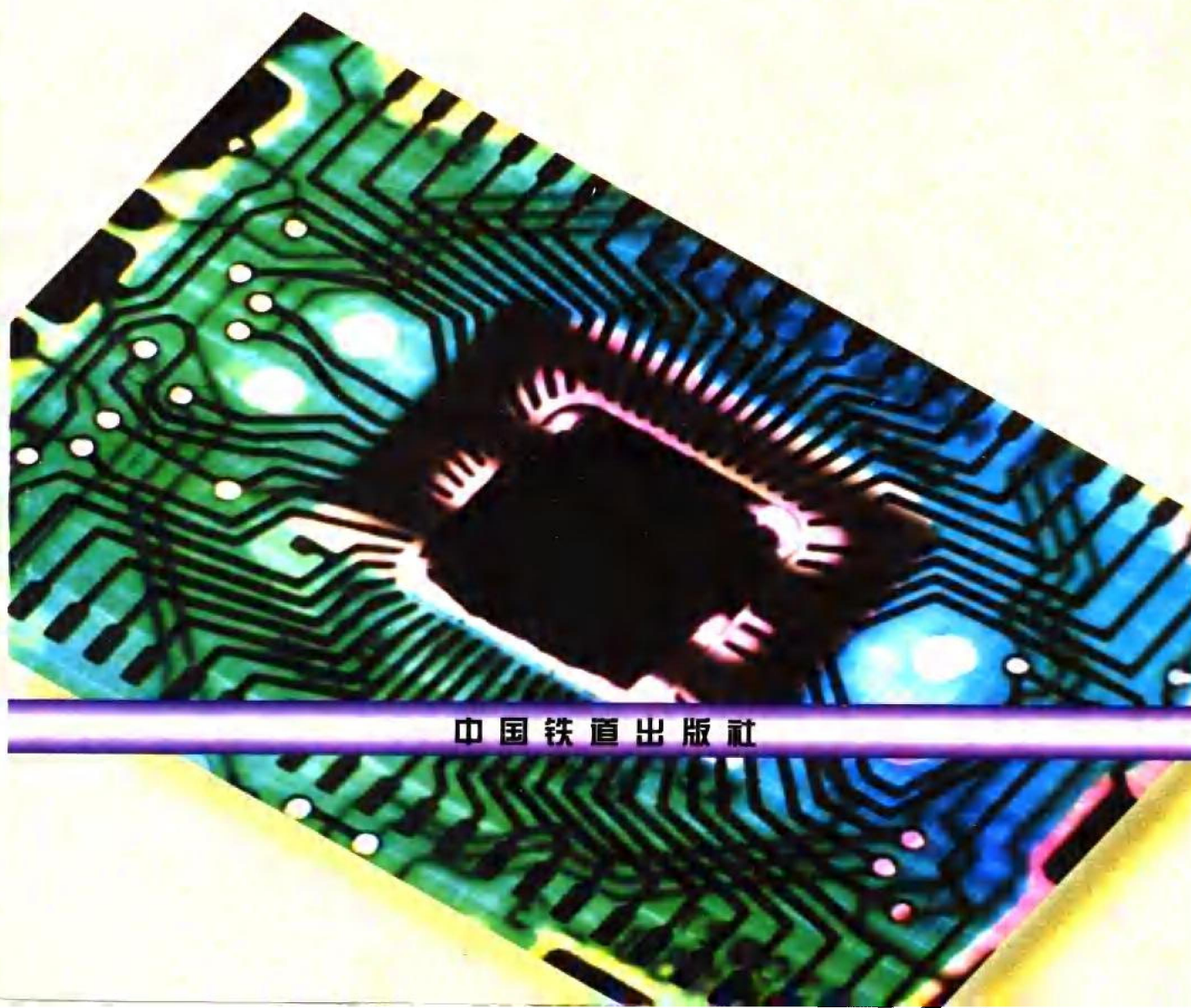


高等学校函授教材

数字电路

北方交通大学 池淑清 主编



中国铁道出版社

高等学校函授教材

数 字 电 路

北方交通大学 池淑清 主编
北方交通大学 李明仪 主审

中 国 铁 道 出 版 社

1997年·北京

(京)新登字 063 号

图书在版编目(CIP)数据

数字电路/池淑清主编. —北京:中国铁道出版社, 1997.10
高等学校函授教材
ISBN 7-113-02839-X

I. 数… II. 池… III. 数字电路-高等学校-教材 IV. T
N711.5

中国版本图书馆 CIP 数据核字(97)第 25867 号

内 容 简 介

本教材从小规模集成电路入手,突出中、大规模集成电路,内容充实、系统完整。它的特点是在讲清原理的前提下着重论述器件的外部特性和实际应用。本教材共分十章,主要内容包括:各种集成逻辑门、数制和编码、逻辑代数与逻辑函数、组合逻辑电路的分析与设计、各种触发器、同步时序电路的分析与设计、主要中规模逻辑部件的分析与应用、D/A 与 A/D、大规模集成电路及集成脉冲电路等。

本书既可作为高校函授教材,也可作为短训班教材。

中国铁道出版社出版发行
(100054,北京市宣武区右安门西街8号)
责任编辑 郭宇 封面设计 薛小卉
北京市彩桥印刷厂印 各地新华书店经售
1997年12月第1版 第1次印刷
开本:787×1092 1/16 印张:14.5 字数:351千字
印数:1—4000 定价:18.90元

版权所有 盗印必究

凡购买铁道版的图书,如有缺页、倒页、脱页者,请与本社发行部调换。

编委会名单

主任委员	恽大文			
副主任委员	赵金勇	关锋华		
委员	(按姓氏笔划为序)			
	王琴放	池淑清	李 丰	李明仪
	张 凡	张凤翥	陈后金	周宝珀
	周忠雯	蒋大明		

前 言

本书是以高等院校《数字电路》函授教学大纲为依据,结合函授教学经验及电子技术发展的需要而编写的。内容包括各种集成逻辑门、数制和编码、逻辑代数与逻辑函数、组合逻辑电路的分析与设计、各种触发器、同步时序电路的分析与设计、主要中规模逻辑部件及其分析与应用、D/A 与 A/D、大规模集成电路以及集成脉冲电路等。

本书只讲数字集成电路,而且以中、大规模集成电路为主,既阐明了数字电路的原理、分析及设计方法,又具有较强的实用性。在编写中,注意到函授学习的特点,力求突出重点,使基本概念明确清晰,文字通俗易懂。各章都编有自学指导,附有与内容相应的复习思考题与习题,全书最后配有两次测验作业、习题参考答案以及自学进程计划表,便于指导函授生自学及自我检查。

本书是在李廷芳主编,方向主审,池淑清、宣家荣、董民政参加编写的《脉冲与数字电路》教材的基础上,根据函授教学的特点进行改编的,并增加了一些实用电路,供函授生在工作中参考。

本书初稿经北方交通大学成人教育学院五年教学试用,又通过修改、统稿后定稿。

本书由北方交通大学池淑清主编,李明仪主审。第一、二、六、七、八等章及测验作业、习题参考答案、自学进程计划表由池淑清编写,第三、四、五、十等章由李廷芳编写,第九章由宣家荣编写。

本书在编写与试用过程中得到了北方交通大学微电子电路基础教研室老师们的帮助与指导,在此表示感谢。同时特向参加编写《脉冲与数字电路》教材的兰州铁道学院董民政老师致谢。

编 者

1996 年 12 月

目 录

第一章 集成逻辑门电路	1
自学指导	1
第一节 基本逻辑门电路	1
第二节 TTL 集成逻辑门	5
第三节 TTL 其它类型门电路	12
第四节 ECL 集成逻辑门	15
第五节 MOS 集成逻辑门	17
第六节 接口问题	22
本章小结	24
复习思考题	25
习 题	25
第二章 数制和编码	27
自学指导	27
第一节 数 制	27
第二节 数制之间的转换	28
第三节 二进制数的原码、反码、补码	31
第四节 编 码	33
本章小结	35
复习思考题	35
习 题	35
第三章 逻辑电路分析基础	37
自学指导	37
第一节 逻辑代数	37
第二节 逻辑函数的标准形式	41
第三节 卡诺图及其应用	44
本章小结	48
复习思考题	48
习 题	48
第四章 组合逻辑网络	50
自学指导	50

第一节	组合逻辑电路的分析	50
第二节	组合电路设计	51
第三节	加 法 器	54
第四节	比 较 器	56
第五节	码组检验	58
第六节	译码器和编码器	60
第七节	数据选择器	69
第八节	组合电路的竞争与冒险	74
本章小结		76
复习思考题		77
习 题		78
第五章 触 发 器		80
自学指导		80
第一节	R—S 触发器	80
第二节	主—从触发器	85
第三节	边沿型触发器	91
本章小结		95
复习思考题		95
习 题		96
第六章 同步时序电路		98
自学指导		98
第一节	时序电路概述	98
第二节	同步时序电路的分析	99
第三节	同步时序电路的设计.....	101
第四节	状态转换表的简化.....	105
第五节	同步时序电路设计举例.....	109
本章小结		114
复习思考题		115
习 题		115
第七章 常用时序逻辑部件		118
自学指导		118
第一节	中规模同步集成计数器.....	118
第二节	中规模异步计数器.....	128
第三节	中规模寄存器与移位寄存器及其应用.....	135
第四节	序列信号发生器.....	140
第五节	中规模集成时序电路的应用举例.....	143
本章小结		155

复习思考题	155
习 题	155
第八章 脉冲波形的产生与整形	159
自学指导	159
第一节 脉冲信号与参数	159
第二节 集成定时器	160
第三节 用集成定时器组成脉冲单元电路	162
第四节 施密特触发器	165
第五节 数字秒表	167
本章小结	169
复习思考题	169
习 题	170
第九章 数字—模拟及模拟—数字转换	172
自学指导	172
第一节 D/A 和 A/D 转换基本概念	172
第二节 数字—模拟(D/A)转换器	173
第三节 集成 D/A 电路举例	179
第四节 模拟—数字(A/D)转换器	182
第五节 集成 A/D	190
第六节 电子模拟开关	194
本章小结	196
习 题	196
第十章 存储器及可编程逻辑器件	197
自学指导	197
第一节 MOS 移位寄存器	197
第二节 随机存取存储器(RAM)	199
第三节 只读存储器	202
第四节 可编程逻辑器件	207
本章小结	211
复习思考题	212
习 题	212
测验作业	213
习题参考答案	216
自学进程计划表	223

第一章 集成逻辑门电路

自学指导

本章介绍数字电路中最基本的单元——逻辑门电路。其重点是：“与”、“或”、“非”、“与非”、“或非”门电路的逻辑功能和逻辑符号；典型 TTL“与非”门电路的基本工作原理，外特性和主要参数；TTL 其它类型门的特点。本章还介绍了 MOS 逻辑门，重点是 CMOS 门电路。

学完本章后，要求掌握：

1. 熟练地掌握“与”、“或”、“非”三种基本逻辑关系和与之对应的三种门电路。
2. 熟练地掌握“与非”、“或非”的逻辑关系。
3. 了解正逻辑和负逻辑的概念。
4. 熟悉 TTL“与非”门电路的简单工作原理及其改进电路的形式和特点。
5. 熟悉 TTL“与非”门的外特性：电压传输特性；TTL“与非”门的几个主要参数：输出高电平、输出低电平、噪声容限、输入短路电流、扇出系数和平均传输延迟时间。
6. 熟悉集电极开路“与非”门(OC 门)和三态门的逻辑概念，理解“线与”的概念。
7. 了解 ECL 门电路的逻辑功能及其特点。
8. 掌握各种 MOS 反相器的工作原理及其性能分析。
9. 了解传输门的工作原理和 CMOS 传输门的特点。
10. 掌握 NMOS 和 CMOS“与非”门、“或非”门“异或”门电路的形式及其工作原理，“异或”门的逻辑功能。

第一节 基本逻辑门电路

在任何一个数字系统中，如计算机、数字通信系统、数字电视系统、机器人等，它们最基本的单元电路就是逻辑门。所谓逻辑门就是逻辑关系，它具有一个或多个输入端，当各输入信号之间满足一定的关系时，门电路就有信号输出，否则就无信号输出。这种输出信号和输入信号之间所具有的规律性就叫做逻辑关系。基本逻辑关系有“与”、“或”、“非”三种，对应的电路有“与”门，“或”门和“非”门。早期的这些门电路是用分立元件组成的。到了六十年代，由于半导体技术的发展，出现了集成逻辑门。

分立元件逻辑门电路是指用半导体二极管、三极管、电阻和电容等元件连接而成的。由于分立元件逻辑门是学习集成逻辑门的基础，所以我们首先介绍分立元件逻辑门，有关集成逻辑门的内容，将在以后各节介绍。

一、“与”门电路

1. “与”逻辑概念

当决定一件事情的全部条件都成立时,这件事情就发生,否则就不发生,这种因果关系称为“与”逻辑关系。

在图 1-1 所示的电路中,只有当开关 A 与 B 都闭合时灯 F 才亮,否则灯就不亮。灯亮与两只开关闭合之间就是“与”逻辑关系。

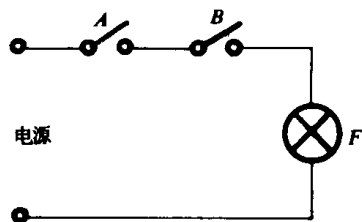


图 1-1 “与”门电路

2. “与”门电路

实现“与”逻辑关系的电路称为“与”门电路。图 1-2 为二极管“与”门电路, A 、 B 为输入端, F 为输出端。

在逻辑电路中,电位的高低通常用电平一词来描述,而且高电平常记作 H 、低电平常记作 L 。图 1-2 电路中,设输入信号低电平为 $0V$,高电平为 $3V$ 。为了便于了解电路的工作原理,假定所有信号源内阻为零,且假定二极管是理想的,即忽略二极管的正向压降。下面讨论三种不同输入时的输出情况:

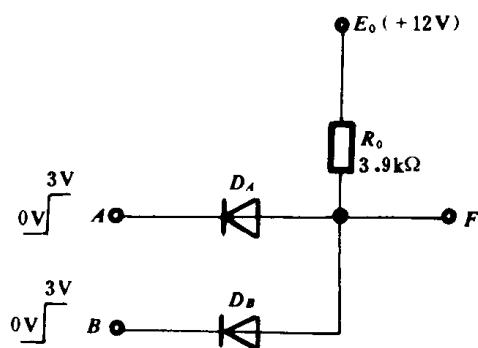


图 1-2 二极管“与”门电路

(1) A 、 B 输入端都处于低电平,即 $V_A = V_B = 0V$,这时 D_A 、 D_B 都处于正向偏置,因此都导通,则输出端 F 被箝位在低电平 $0V$ 。

(2) A 、 B 二个输入端中有一个输入信号为高电平,而另一个处于低电平,如 $V_A = 0V$, $V_B = 3V$,这时因二极管 D_A 两端的电位差大于 D_B 两端的电位差,因此 D_A 优先导通,使 F 箝位在 $0V$,于是二极管 D_B 处于反向偏置而截止。因此输出端 F 为低电平 $0V$ 。

(3) A 、 B 输入端都处于高电平,即 $V_A = V_B = 3V$,这时 D_A 、 D_B 都处于正向偏置而导通,则输出端 F 被箝位在高电平 $3V$ 。

将上述分析结果归纳起来,可列成表 1-1。

在逻辑电路中,高电平 H 常用 1 或 0 表示,低电平 L 常用 0 或 1 表示。这里的 0、1 仅仅表示电平状态,没有数字的概念,所以叫做逻辑 0 和逻辑 1。把 H 和 L 用逻辑 1 或逻辑 0 表示的过程称为逻辑赋值。

对表 1-1 电平表进行逻辑赋值。如果把输入变量中 $0V$ 赋值以逻辑 0, $3V$ 赋值以逻辑 1,则可以得到表 1-2,该表称为真值表。

表 1-1 电平关系

输入		输出
$A(V)$	$B(V)$	$F(V)$
0	0	0
0	3	0
3	0	0
3	3	3

表 1-2 真值表

输入		输出
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

由表 1-2 可以清楚地看到:

F 和 A 、 B 有一一对应的函数关系,因此,把 F 叫变量 A 、 B 的逻辑函数。 A 、 B 都为 1 时 F 才是 1; A 和 B 中只要有一个为 0, F 就为 0。所以,输出与输入之间符合“与”逻辑关系,或者说电路完成“与”逻辑操作。

根据表 1-2 可以写出相乘的函数关系式

$$F = A \cdot B$$

该式表明输出与输入之间为“与”逻辑关系,称为“与”逻辑表达式,简称“与”式,式中 A 、 B 、 F 只能取逻辑值,故称为逻辑乘。逻辑乘也可以写成 $F = AB$ 。

若“与”门有 N 个输入端,则

$$F = A \cdot B \cdot C \cdots N$$

“与”门的逻辑符号如图 1-3 所示。

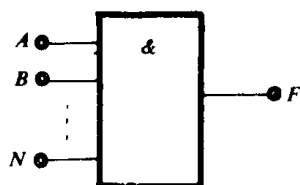


图 1-3 “与”门逻辑符号

二、“或”门电路

1. “或”逻辑概念

当决定一件事情的条件中有一个或一个以上成立时,这件事情就发生,否则就不发生,这种因果关系称为“或”逻辑关系。

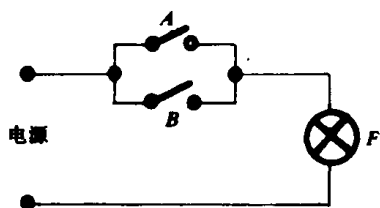


图 1-4 或门电路

例如,在图 1-4 所示的电路中,开关 A 、 B 中,只要有一个或者两个全闭合时,灯 F 就亮,否则灯就不亮。灯亮与 A 和 B 闭合的关系就是“或”逻辑关系。

2. “或”门电路

图 1-5 为二极管“或”门电路。用上述分析的类似方法可得到表 1-3。对表 1-3 进行逻辑赋值,规定逻辑 0 代表 0V,逻辑 1 代表 3V,得真值表如表 1-4 所示。

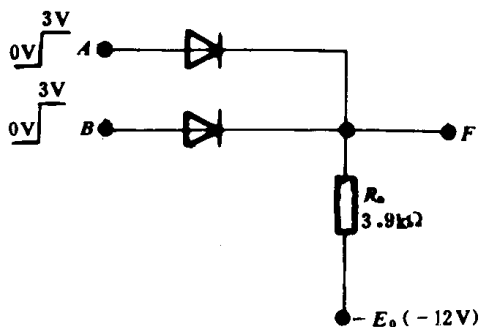


图 1-5 二极管“或”门电路

表 1-3 电平关系

输入		输出
$A(V)$	$B(V)$	$F(V)$
0	0	0
0	3	3
3	0	3
3	3	3

表 1-4 真值表

输入		输出
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

从真值表可以看到: A 、 B 中有一个为 1, F 就是 1,所以输出与输入之间符合“或”逻辑关系,或者说电路实现“或”逻辑操作。

根据表 1-4 可以写出“或”逻辑表达式

$$F = A + B$$

若“或”门有 N 个输入端,则

$$F = A + B + \cdots + N$$

“或”门的逻辑符号如图 1-6 所示。

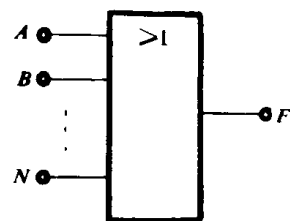


图 1-6 “或”门逻辑符号

三、“非”门电路

1. “非”逻辑概念

“非”就是否定或反相的意思,即当决定一件事的条件成立时,这件事却不发生,而当条件不成立时,这件事反而发生,这种因果关系称为“非”逻辑关系。“非”逻辑的特点是只有一个输入变量和一个输出函数。

例如在图 1-7 中,当开关 A 打开时,灯 F 亮;反之,当 A 闭合时,灯 F 熄灭。灯的亮灭与

开关的通断之间就是“非”逻辑关系。

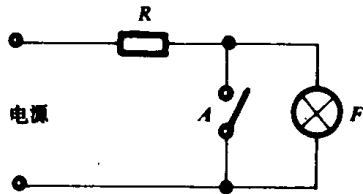


图 1-7 “非”门电路

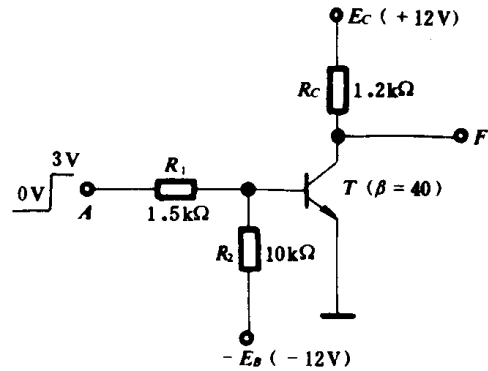


图 1-8 三极管“非”门电路

2. “非”门电路

反相器电路即“非”门电路。如图 1-8 所示，其中 R_1 是限流电阻， R_2 和 $-E_B$ 是为使晶体管 T 可靠截止而设置的锁闭电路。

根据三极管在大信号作用下饱和导通(饱和条件为 $I_B \geq E_C / \beta R_C$)时具有箝位作用(即硅管 $V_{BE} = 0.7V$, $V_{CE} = 0.3V$ 近似地看作常数)，相当于开关闭合，截止时具有隔离作用，相当于开关断开的开关特性。当输入端接 3V 时，三极管饱和，输出端 F 为 0.3V；当输入端接 0V 时，三极管截止，输出端 F 为 12V。得表 1-5 所示的电平表。

对表 1-5 进行逻辑赋值，用逻辑 0 代表 0V(输入)或 0.3V(输出)；用逻辑 1 代表 3V(输入)和 12V(输出)，则可得到真值表 1-6。

表 1-5 电平关系

输入 $A(V)$	三极管状态 T	输出 $F(V)$
0	截止	12
3	饱和	0.3

表 1-6 真 值 表

输入 A	输出 F
0	1
1	0

由真值表可以看到：输出逻辑值总是与输入逻辑值相反，所以反相器是一种“非”门电路，或者说，反相器执行“非”逻辑操作。

“非”逻辑表达式为 $F = \bar{A}$

$\bar{A}$ 读作 A “非”或 A 反。“非”逻辑符号如图 1-9 所示。

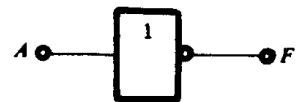


图 1-9 非门逻辑符号

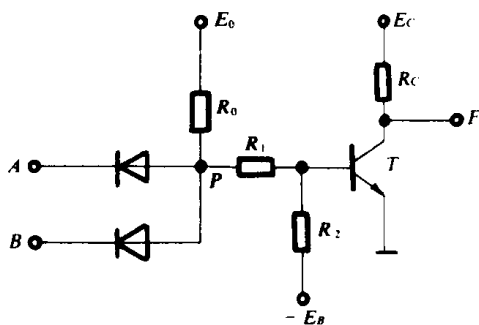


图 1-10 “与非”门电路

四、“与非”门和“或非”门电路

“与”门、“或”门、“非”门是三种基本的门电路，由它们可以组成复合门电路，如“与非”门电路，“或非”门电路。

1. “与非”门电路

“与”门和“非”门前后级连即为“与非”门，如图 1-10 所示，逻辑关系为： $P = AB$, $F =$



图 1-11 “与非”门逻辑符号

$\bar{P} = \overline{AB}$ 。“与非”门逻辑符号如图 1-11 所示。

2. “或非”门电路

“或”门和“非”门前后级连即为“或非”门，如图 1-12 所示。其中 $R_1 + R_2$ 代替了图 1-5 中

的 R_0 , 逻辑关系为: $P = A + B$, $F = \overline{P} = \overline{A + B}$ 。“或非”门的逻辑符号如图 1-13 所示。

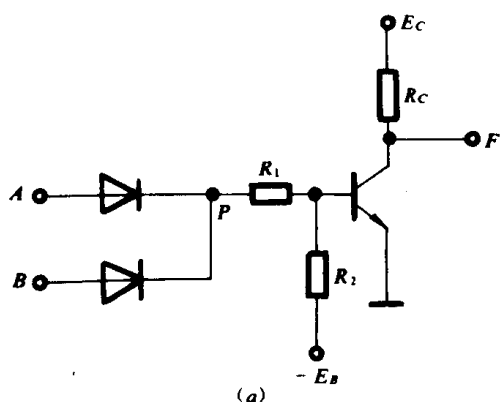


图 1-12 “或非”门电路



图 1-13 “或非”门逻辑符号

五、正逻辑和负逻辑

在数字技术中,用逻辑 1 表示高电平,逻辑 0 表示低电平,这种逻辑赋值方法称为正逻辑;反之,用逻辑 0 表示高电平,逻辑 1 表示低电平,称为负逻辑。

对于同一个电路,采用哪种逻辑是人为的,它并不牵涉电路结构的优劣,但是所采用的逻辑不同,电路所执行的逻辑操作可能完全不同。

上面所介绍的各种门电路,采用的都是正逻辑。将各功能表按负逻辑进行赋值,则真值表 1-2 变为表 1-4,即是说,图 1-2 按正逻辑是“与”门,按负逻辑则是“或”门。同理,对于图 1-5 按正逻辑是“或”门,按负逻辑则是“与”门。

同理可以证明:在正逻辑或负逻辑中,“非”逻辑关系是相同的。所以,正“与非”门等价于负“或非”门,正“或非”门等价于负“与非”门,反之亦然。

本书除特别声明外,均采用正逻辑。

第二节 TTL 集成逻辑门

前面讨论的逻辑门电路为分立元件门电路,把分立元件门电路作一些必要的修正,以提高电路的性能。将电路各个元件及连线通过半导体工艺制作在同一基片上,封装在一个管壳内,组成一个不可分割的电路单元,这就是集成逻辑门,简称集成门。

数字集成电路的基本单元是逻辑门电路和触发器,而集成触发器是由逻辑门电路加反馈构成的。因此,度量一个数字集成电路的复杂程度是看等效门的个数。

随着半导体集成技术的发展,在一块基片上包含的最大元件数(称为集成度)越来越大。根据集成度的不同,集成电路可分为:

1. 小规模集成电路(简称 SSI)。它要求在一块基片上包含 12 个以下的等效门或包含 100 个以下的元件。
2. 中规模集成电路(简称 MSI)。它要求在一块基片上制做出一个包含 12~100 个等效门或包含 100~1000 个元件的完整电路。
3. 大规模集成电路(简称 LSI)。它要求在一块基片上制做出一个包含 100 个或 100 个以上等效门,或包含 1000 个以上元件,具有完整功能的子系统或系统。

4. 超大规模集成电路(简称 VLSI)。它的集成度比 LSI 大两个数量级,即在一块单片上包含 1 万个等效门或 10 万个以上元件。

数字集成电路按所用晶体管的类型不同,又可分为:

1. 双极型集成电路。它是指以双极型晶体管为基本元件,集成在一块基片上并有一定逻辑功能的电路。晶体管—晶体管逻辑(简称 TTL)、射极耦合逻辑(简称 ECL),都属于双极型集成电路。这种集成电路的显著特点是工作速度比较快。其中 TTL 是目前应用最广和数量最多的逻辑电路。

2. MOS 集成电路。这种集成电路是以 MOS 晶体管为基本元件。PMOS、NMOS、CMOS 都属此类。这类集成电路的特点是集成度高,功耗低。

图 1—14 为两种常见的集成电路的外形。

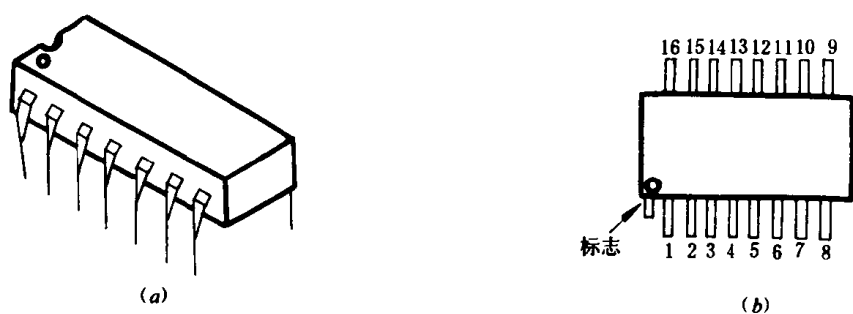


图 1—14 集成电路外形图
(a)双列式 (b)扁平式

TTL 门有各种产品系列,电路形式也各不相同,但总趋势是向低功耗、高速度发展。电路型式虽有所不同,但它们的基本工作原理和逻辑功能是一样的。

一、TTL“与非”门的工作原理

TTL“与非”门典型电路如图 1—15 所示。其中 T_1 是多发射极晶体管,为输入级; T_2 、 R_2 、 R_3 组成分相放大器(C_2 和 E_2 输出两个相位相反的信号,分别驱动 T_3 、 T_4 复合管和 T_5 管)。 T_5 为反相器。 T_3 、 T_4 复合管组成的射极跟随器为 T_5 的有源负载。复合管和 T_5 分别由 C_2 和 E_2 相反的信号所驱动, T_5 导通时,复合管截止;反之, T_5 截止时复合管导通。这种电路形式称为推拉式结构(也称图腾柱结构)。

1. 输入端全部接高电平时

输入端 A 、 B 、 C 全部接高电平 3.6V,由于 T_1 管的基极电位升高,当 V_{b1} 升至 2.1V 时,则 T_1 的 $b-c$ 结, T_2 、 T_5 管的 $b-e$ 结均可分到 0.7V 的电压,这时,因输入端全部接高电平 3.6V, T_1 管的各个发射结都处于反向偏置而截止,此时 T_1 的基极电流只能流向集电极,并供给 T_2 基极电流,使 T_2 饱和导通,进而使 T_5 也饱和导通,电路输出低电平 $V_{OL}=V_{ces5}=0.3V$ 。 T_2 、 T_5 饱和导通后, T_2 的集电极电位 $V_{C2}=V_{ces2}+V_{b5}=0.3V+0.7V=1V$,

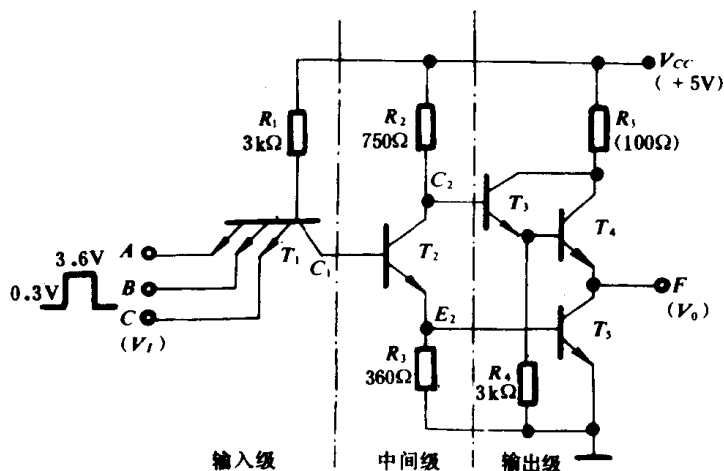


图 1—15 TTL“与非”门典型电路

这个电压大于 T_3 发射结的导通电压, 可使 T_3 导通。由于 T_4 的射极电位就是 T_5 饱和导通时的管压降, 则 $V_{e4} = V_{ce5} = 0.3\text{V}$, 而它的基极电位 $V_{b4} = V_{e3} = 0.3\text{V}$, 因此, T_4 因其 $b-e$ 结处于零偏而截止。

从上面的分析可以看到, 这个电路当输入端全部接高电平时, 输出为低电平, 符合“与非”的逻辑要求。

2. 当输入端有低电平时

当输入端 A 接低电平 0.3V , B, C 都接高电平 3.6V , 这时 T_1 管中对应 A 端的 $b-e$ 结因正向偏置而导通, T_1 的基极电位 $V_{b1} = V_A + V_{beA} = 0.3\text{V} + 0.7\text{V} = 1\text{V}$, 因此 T_1 管的其它发射结均因反向偏置而截止。由于 $V_{b1} = 1\text{V}$, 它不足以使 T_1 的 $b-c$ 结和 T_2, T_5 的 $b-e$ 结导通, 所以 T_2, T_5 都截止。

由于 T_2, T_5 截止, 电源 V_{cc} 经 R_2 向 T_3 提供基流, 适当设计 R_2 及 β_3 , 使 T_3 处于微饱和状态。

由于 T_3 的发射极电位总是小于集电极电位, 使 T_4 的集电结总是处于反向偏置, 所以 T_4 总是工作在放大状态。电路输出高电平为

$$V_{OH} = V_{cc} - V_{R_2} - V_{be3} - V_{be4} = 5 - 0.7 - 0.7 = 3.6\text{V}$$

由此可见, 当输入端有一个或多个为低电平时, 输出端为高电平, 符合“与非”门的逻辑要求。

逻辑符号如图 1-16 所示。

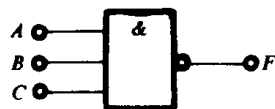


图 1-16 “与非”门逻辑符号

二、TTL“与非”门的工作速度

晶体管工作在饱和状态时, $I_B > \frac{I_C}{\beta}$, 发射区发射有余, 集电极收集不足, 基区有大量的载流子存储(也叫存储电荷)。晶体管由饱和转向截止时, 存储的载流子来不及消散, 晶体管不能迅速脱离饱和转入截止。存储电荷消散所需要的时间称为存储时间, 它是影响电路开关速度的内部原因。另外, 晶体管截止时, 负载电容需要充电, 充电时间常数大, 低电平到高电平的上升时间就长, 开关速度就低, 这是影响电路开关速度的外部原因。因此欲提高电路的开关速度, 必须加速存储电荷的消散速度和减小对负载电容充电的时间常数。TTL 电路在这两方面采取了有效的措施。

(1) TTL“与非”门采用了多发射极晶体管 T_1 , T_1 管可以加速 T_2 管的截止速度。输入端全为高电平时, T_2 管饱和, 基区存储了大量的载流子。当 T_1 的一个输入端突然变为低电平时, T_1 变为正向放大状态, T_2 基区中的存储电荷作为 T_1 的集电极电流 ($I_{c1} = \beta_1 \cdot I_{B1}$) 迅速消散。从而使 T_2 加速退出饱和而转入截止。

(2) T_2 迅速截止, 不仅截断了 T_5 的基极电流, 而且使 V_{C2} 迅速上升, 加速了 T_3, T_4 的导通速度。这时, T_5 尚未脱离饱和。 T_3, T_4, T_5 同时导通, 出现一个极大的集电极电流(动态尖端电流), 这个瞬时大电流破坏了 T_5 的饱和条件, 大大加速了 T_5 中存储电荷的消散速度, 使 T_5 迅速截止。

(3) 推拉式输出级输出阻抗低, 使负载电容的充放电时间常数都很小, 所以输出波形的上升沿和下降沿都得到改善。

三、TTL“与非”门外特性和主要参数

外特性即电路在外部所表现出来的电流和电压特性。集成电路是固体组体, 使用时当作一

个器件看待,无需关心内部电路的工作状态。对于使用者来说,掌握外特性及电路的主要参数具有重要的意义。

1. 电压传输特性

“与非”门电压传输特性是指 TTL“与非”门输入电压 V_I 与输出电压 V_O 之间的关系曲线,即 $V_O = f(V_I)$,测量方法如图 1-17 所示。对应曲线称为电压传输特性曲线,如图 1-18 所示。

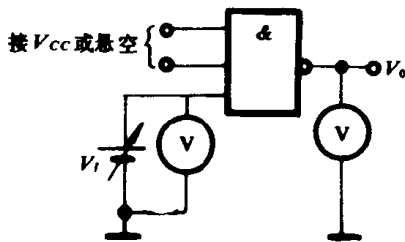


图 1-17 传输特性测试电路

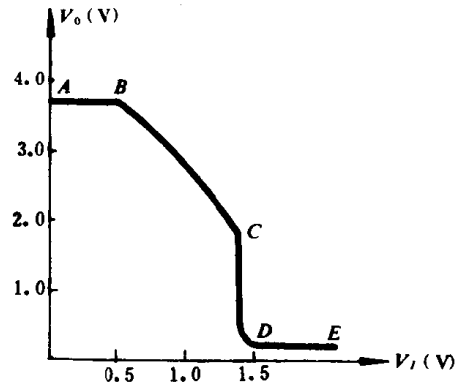


图 1-18 典型 TTL“与非”门的电压传输特性曲线

由电压传输特性曲线可见,当输入低电平时,输出高电平;当输入高电平时,输出低电平。曲线中 AB 段为 T_5 截止,电路输出高电平,称为“与非”门关闭或截止; DE 段为 T_5 深饱和,电路输出低电平,称为“与非”门打开; BC 段是由于 T_5 尚未导通而 T_2 已开始导通,使输出电压随之线性下降,故称线性区; CD 段是实现输出电平高低转换的区域,称为转折区。

2. 主要参数

由 TTL“与非”门的电压传输特性可以确定电路的主要参数。通常手册中给出的 TTL“与非”门主要参数有以下几个。

(1) 输出高电平 V_{OH}

输出高电平 V_{OH} 表示输入端有一个或几个为低电平时,输出的高电平值。在电压传输特性曲线上,它是 AB 段所对应的输出电压值,其典型值通常取 $3.6V$ 。一般产品规格,要求 $V_{OH} \geq 3V$ 。

(2) 输出低电平 V_{OL}

输出低电平 V_{OL} 表示输入端全部接高电平时,输出的低电平值。它是电压传输特性曲线上 DE 段所对应的输出电压值,其典型值通常取 $0.3V$ 。一般产品规格,要求 $V_{OL} \leq 0.35V$ 。

(3) 输出低电平电源电流 I_{CCL} 和输出高电平电源电流 I_{CCH}

I_{CCL} 指输出端开路,输入端全部悬空,电路导通时所消耗的电源电流,也称导通电源电流。一般产品规格要求 $I_{CCH} \leq 10mA$ 。

I_{CCH} 指输出端开路,输入端接地电平,电路截止时所消耗的电源电流,也称截止电源电流。一般产品规格要求 $I_{CCL} \leq 5mA$ 。

(4) 输入低电平电流 I_{IL} 和输入高电平电流 I_{IH}

I_{IL} 指 $V_{IL} = 0V$ 时由输入端流出的电流,也称输入短路电流。若取流入组件的电流方向为正,则

$$I_{IL} = -\frac{V_{CC} - V_{be1}}{R_1} = -\frac{5 - 0.7}{3} = -1.4mA$$

前级驱动门导通时, I_{IL} 将灌入前级门,称为灌电流负载,几个输入端并联, I_{IL} 大小不变,而灌入

前级的电流将成倍增加。

I_{IH} 指一个输入端接高电平,其余输入端接低电平,流经该输入端的电流,也称输入漏电流, I_{IH} 极小,约 $10\mu\text{A}$ 左右。一般产品规格要求 $I_{IH} \leq 50\mu\text{A}$ 。

前级驱动门截止时, I_{IH} 将由前级门流出,是前级的拉电流负载,几个输入端并联,总电流为 I_{IH} 的几倍。

(5) 阈值电压 V_T

电压传输特性转折区 CD 段中点所对应的输入电压,即输出高低电平的分界点,将该电压称为阈值电压或阈值电压,即 $V_T \approx 1.5\text{V}$ 。

(6) 输入高电平电压 V_{IH} 和输入低电平电压 V_{IL}

V_{IH} 指使电路输出 $V_o = V_{OL}$ 时,最低的输入电平,又称开门电平 V_{ON} 。从电压传输曲线上可以看到, V_{IH} 稍大于 V_T ,一般产品规格要求 $V_{IH} \leq 2\text{V}$ 。

V_{IL} 指使输出电平 $V_o = 0.9V_{OH}$ 时最高的输入电平值,又称关门电平 V_{OFF} ,一般产品规格要求 $V_{IL} \geq 0.8\text{V}$ 。

(7) 噪声容限 V_N

电路所受到的外界电磁干扰称为噪声,它会影响电路的正常工作。噪声容限指在最坏的情况下,在电路的输入端上允许输入电压变化的极限范围。同类门前后级连,前级门的输出是后级门的输入。所以可以由 V_{IL} , V_{IH} 及 V_{OH} , V_{OL} 求出电路所能承受的噪声容限 V_N 。如图 1-19 所示, V_N 对于输入为低电平和输入为高电平的影响是不同的。

输入低电平时,允许最大的正向干扰电压称为输入低电平噪声容限 V_{NL} 。

$$V_{NL} = V_{IL} - V_{OL}$$

例如 $V_{IL} = 0.8\text{V}$, $V_{OL} = 0.3\text{V}$ 时, $V_{NL} = 0.5\text{V}$

输入高电平时,允许最大的负向干扰电压称为输入高电平噪声容限 V_{NH} 。

$$V_{NH} = V_{OH} - V_{IH}$$

例如 $V_{IH} = 2\text{V}$, $V_{OH} = 3.6\text{V}$ 时, $V_{NH} = 1.6\text{V}$

(8) 扇入 N_I 及扇出 N_O

扇入 N_I 指合格的输入端的个数。

扇出 N_O 指在灌电流状态下驱动同类门的个数,也称扇出系数。

$$N_O = I_{OL\max} / I_{IL}$$

$I_{OL\max}$ 为最大允许灌电流, I_{IL} 是一个负载门灌入本级的电流。 N_O 越大,说明门的负载能力越强,一般产品规格要求 $N_O \geq 8$ 。

TTL 带拉电流负载时的扇出可以类似计算,但是,由于 $I_{OH\max} \approx 5\text{mA}$,而 I_{IH} 极小,故此时的扇出较大,一般可以不计算。

(9) 平均传输延迟时间 t_{pd}

如图 1-20 所示, TTL 电路中各晶体管的结电容和输入、输出的寄生电容是产生传输延迟时间和使输出波形畸变的根本原因。一般定义:输入波形上升沿中点到输出波形下降沿中点之间的时间间隔称为高电平到低电平传输延迟时间,用 t_{pHL} 表示;输入波形下降沿中点到输出波形上升沿中点的时间间隔称为低电平到高电平传输延迟时间,用 t_{pLH} 表示,通常 $t_{pLH} > t_{pHL}$ 。

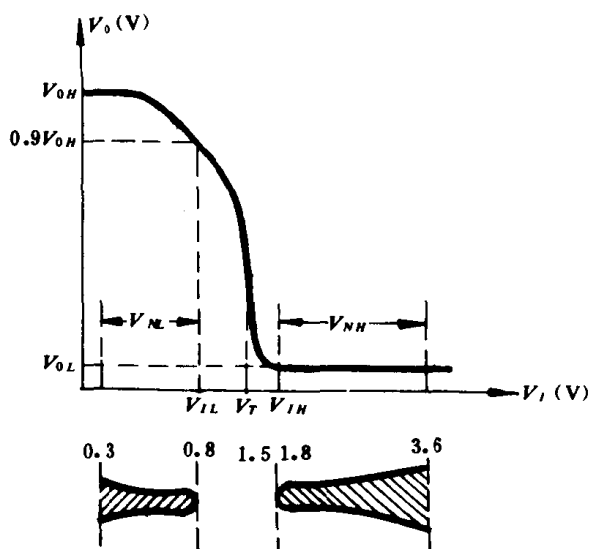


图 1-19 V_{IL} , V_{IH} 及 V_N 的关系