

大规模电路的电路模拟技术

彭 沛 编

东南大学出版社出版

内 容 提 要

本书是关于大规模与超大规模电路的电路模拟技术的专著。本书讨论了大规模与超大规模电路的电路模拟技术中的理论基础、基本原理和算法。书中首先介绍了电路模拟在大规模和超大规模电路计算机辅助设计中的作用、电路规模增大后电路模拟所面临的课题以及可供电路模拟利用的大规模与超大规模电路的特点。然后, 讨论了适合于大规模与超大规模电路的电路模拟的潜伏技术、宏模技术、撕裂技术和松弛技术。

本书可供有关专业的研究生和高年级本科生作教材使用, 也可供有关专业的科研和工程技术人员参考。

责任编辑: 朱经邦

责任校对: 刘娟娟

大规模电路的电路模拟技术

彭 沛 编

东南大学出版社出版

江苏南京四牌楼 2 号

淮阴新华印刷厂印刷 江苏省新华书店发行

开本 787×1092 毫米 1/32 印张 5.75 字数 128,000

1989 年 9 月第 1 版 1989 年 9 月第 1 次印刷

印数 1~3,000 册

ISBN 7-81023-163-4

TN·17

定价: 1.30 元

目 录

第一章 绪论	(1)
§ 1-1 LSI-CAD概述, 电路模拟的作用.....	(1)
§ 1-2 电路模拟面临的问题	(5)
§ 1-3 大规模电路中可供电路模拟利用的特点及电路模拟策略	(7)
§ 1-4 描述算法所用语言的几点说明	(12)
参考文献	(15)
第二章 宏模技术	(17)
§ 2-1 宏模型种类	(17)
§ 2-2 TTL电路宏模型	(22)
§ 2-3 运算放大器的电路特性宏模型	(34)
§ 2-4 宏模概念的运用——改进的多级牛顿算法	(42)
附录 一、多级牛顿算法原理	(52)
二、多级牛顿算法的收敛性定理	(56)
参考文献	(63)
第三章 撕裂技术	(65)
§ 3-1 支路撕裂法	(65)
§ 3-2 节点撕裂法	(79)
§ 3-3 潜伏的利用	(90)
参考文献	(91)
第四章 松弛技术	(93)
§ 4-1 电路方程, 标准的松弛方法	(93)
§ 4-2 时间模拟 (Timing Simulation)	(104)

§ 4-3	迭代的时间分析	(132)
§ 4-4	波形松弛技术	(139)
附 录	一、关于G-J、G-S积分算法和两种对称的G-S积分 算法的数值特性的证明	(161)
	二、关于波形松弛法收敛定理的证明	(169)
参考文献		(175)

第一章 绪 论

§ 1-1 LSI-CAD概述, 电路模拟的作用

当集成电路 (IC) 处于中、小规模阶段时, 其芯片的设计 (包括逻辑、电路和版图的设计) 主要是靠人工方式进行的。当 IC 发展到大规模和超大规模 (为了叙述简单起见, 以后统称为大规模集成电路并缩写为 LSI) 阶段, 由于设计工作量大、设计质量难以保证, 因而在设计工作中大量使用计算机辅助设计 (CAD) 工具。这样, 集成电路的设计过程也就是 IC 的 CAD 过程。

LSI 的设计工作量是非常惊人的。例如, 用手工方式设计一个具有十万个晶体管的芯片, 需要化费 60 人年的工作量。LSI 的设计质量对 LSI 的性能十分重要。如果在设计过程中发生错误, 这将导致芯片版图的错误, 按照有错误的版图生产出来的芯片将不符合性能要求, 因而导致返工。返工包括找出错误、修改版图和重新制版投产。用人工方式对上述规模的芯片版图进行查错也需要化费 60 人年的工作量。因设计差错导致返工造成的经济损失将是很大的。

当前, 对于大多数种类的 IC 来说, 其设计方式尚未到达自动化水平。所谓 IC 设计自动化指的是把芯片的性能指标输入计算机, 由计算机完成设计的全过程, 最后输出设计好的芯片版图数据。目前, IC 的设计可以说是处于半自动设计状态, 也就是说, 在 IC 设计的各个阶段大量使用计算机

辅助设计工具，但或多或少还需要人工干预。所谓人工干预就是人参与决策或者由人来填补计算机目前尚无法完成的功能。在 IC 设计过程中引入 CAD 技术的目的是要缩短设计的时间和提高设计的质量。

图 1-1 表示了数字 LSI 的设计和验证过程。现将图中有关部分的作用说明如下。

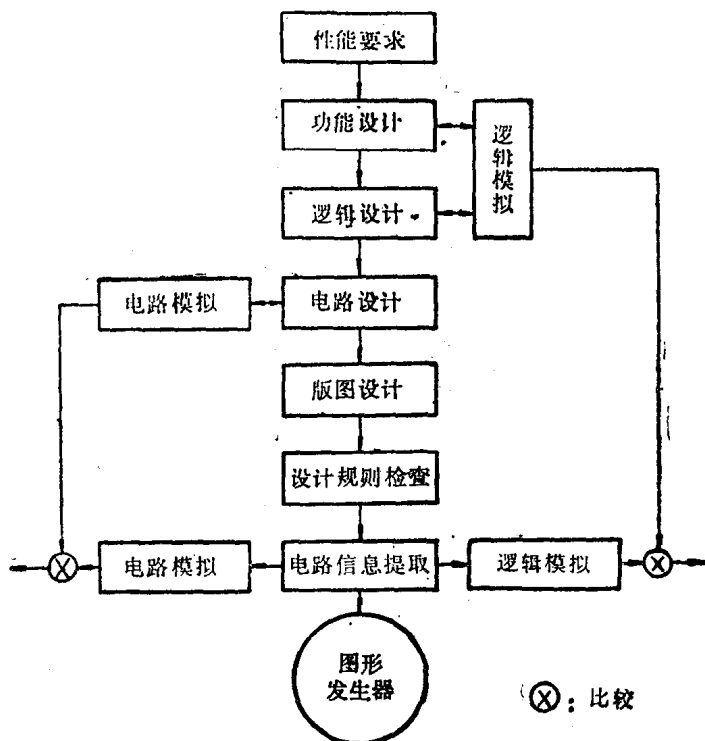


图 1-1 LSI 的设计与校验过程

功能设计 功能设计的任务是根据性能要求，把所要设计的系统分解为一些功能块，并确定这些功能块之间的功能

关系。对功能设计的结果，用逻辑模拟程序进行校验，检查功能设计是否正确。如不正确则需修改功能设计，直到逻辑模拟结果说明功能设计正确为止；如正确，进行下一步。

逻辑设计 功能块是由许多逻辑单元构成的。逻辑设计的任务是设计每个功能块的逻辑图。对逻辑设计的结果，用逻辑模拟程序进行校验，检查所设计的逻辑图是否能实现功能块的功能。如不能，必须修改逻辑设计，直到逻辑模拟结果说明逻辑设计正确为止；如能，进行下一步。

电路设计 各个逻辑单元是由电路来实现的。电路设计的任务是设计实现逻辑功能的电路，同时电路的工作速度、功耗、信号电平的容差、逻辑操作的类型均要符合系统的要求。对设计好的电路用电路模拟程序进行模拟，检查其性能是否符合要求。如不符合，修改电路设计，直到电路模拟的结果说明电路性能符合要求为止；如符合，进行下一步。

版图设计 所设计好的电路最终由 IC 芯片来实现。版图设计的任务是将设计好的电路转换成制造芯片所需要的版图。目前版图设计工作主要由人-机交互的方式进行。对于设计好的版图同样需要校验。如用人工校验，工作量极大。例如，为了检查一个中大规模电路的版图中是否存在错误，需要 6~7 人工作 3~4 个月。目前这项工作可由计算机完成。版图的校验工作分为设计规则检查和电气性能检查。

设计规则检查 每一种集成工艺都有它的一套版图几何设计规则，这些规则包括：图形间的最小间距、图形的最小宽度、图形的最小周长等。如存在违反这些规则的错误将会使芯片的成品率降低甚至成品率为零。因此必须检查所设计的版图是否违反了工艺所规定的几何设计规则。

版图电气性能检查 这项工作包括逻辑正确性检查和电

路性能检查。其基本方法是，根据版图数据，经过图形分析、元件识别、连接确认，从而获得电路数据。根据电路数据可以获得逻辑连接的数据，将这些数据送入逻辑模拟程序中再作逻辑模拟，将模拟结果与逻辑设计阶段的逻辑模拟结果作比较，以检查其逻辑的正确性。我们还可以根据电路信息再次进行电路模拟，从而检查其电路性能的正确性。之所以需要再次电路模拟是因为从电路图‘翻译’为版图时，由于实际上芯片上的各种寄生参数与电路设计时所估计的寄生参数存在差别，因此有必要根据从版图得到的实际的电路数据再次进行电路模拟，将模拟结果与电路设计阶段的电路模拟结果相比较以检验芯片的电路性能是否达到设计指标。由于在计算机上进行逻辑模拟所化的时间比电路模拟化的时间少得多，因而是先进行逻辑模拟正确性检查，尔后再进行电路性能检查。

经过以上校验步骤证明是合格的版图数据，可送往图形发生器产生掩模板，或者送往电子束曝光机对芯片进行加工。

从以上 LSI 的设计与校验过程可见，在设计每个阶段都有校验手段，以确保最后的版图数据准确无误。而电路模拟在 LSI-CAD 的过程中起着重要的校验手段的作用。

电路模拟有两种方法：用电路模拟程序和用试验电路板。如果说对于中、小规模的分立元件电路还可以用搭试验电路板的方法进行电路模拟的话，那么，对于集成电路尤其是大规模集成电路来说就必须使用电路模拟程序来完成电路模拟的任务，其原因是：

1. 分立元件的电路板不可能逼真地模拟集成电路。在集成电路中有许多数值很小的寄生电感、寄生电容，寄生三

极管的 β 也很小。这些寄生元件难以用分立元件来模拟。

2. 用电路板来模拟大规模电路, 电路板制作复杂, 既费钱又费时。

3. 搭电路板的方法几乎不可能对电路作灵敏度分析和统计分析。

因此, 在 LSI 的设计过程中均使用电路模拟程序进行电路模拟。顺便指出, 电路模拟就是用计算机进行电路分析。

§ 1-2 电路模拟面临的问题

在‘电子线路的计算机辅助设计’课程中所介绍的电路模拟技术是第二代的电路模拟技术, 其技术标志为: 隐式积分算法、改进的牛顿算法、改进节点法和稀疏矩阵技术。以第二代电路模拟技术为基础的有代表性的电路模拟程序是 SPICE2(通常称它为标准的电路模拟程序), 它可以解决相当复杂电路的电路模拟问题。

随着集成技术的发展, 单片集成度迅速提高, 在一个芯片上已可集成由数万乃至数十万个晶体管构成的电路。需要进行电路模拟的电路规模也是很大的, 如用第二代电路模拟程序来完成如此大规模电路的电路模拟问题, 在计算时间上和存贮要求上都是无法接受的。为了说明产生这种情况的原因, 简要地回顾一下第二代电路模拟程序对电路进行瞬态分析的算法(又称为标准的电路模拟算法):

- (1) 读入电路描述(电路信息)、分析时间区间 $[0, T]$;
- (2) 选择步长、阶和确定分析的当前时刻 t_{n+1} ;
- (3) 更新独立源在 t_{n+1} 时刻的值;
- (4) 预报 t_{n+1} 时的电路变量值;

- (5) 用所选择的积分公式将贮能元件离散化;
- (6) 用牛顿公式将非线性元件线性化;
- (7) 建立线性电路方程组;
- (8) 求解线性方程组;
- (9) 若牛顿迭代未收敛, 转(6);
- (10) 用截断误差公式计算解的误差;
- (11) 若精度不满足要求, 转(2);
- (12) 若 $t_{n+1} \leq T$, $n := n + 1$, 转(2);
- (13) 打印结果, 停止。

在这种算法中, 所要求的存贮量主要由存贮电路信息、存贮线性方程组和存贮程序本身的要求来确定。存贮程序本身要求的存贮量并不随电路规模而变化。存贮电路信息要求的存贮量与电路规模有关, 随着电路规模的增大而增大。考虑到大规模电路中有许多重复的信息, 如重复使用同样参数的晶体管, 重复使用标准的单元电路, 因此这一项存贮量随电路规模的增大而缓慢增加。而存贮线性方程组所要求的存贮量随电路规模的增大而线性增长。这是因为, 线性方程组的系数矩阵中的非零元素量与电路中的元件数量成正比。这就不难理解当电路规模大到一定程度后, 存贮要求便会大到无法接受的地步。

在这种算法中, 计算时间主要化费在第(5)步到第(7)步, 即建立线性电路方程组和第(8)步即求解线性方程组上。如果电路中有 $n+1$ 个节点, 用节点法建立电路方程则方程组变量个数为 n , 方程组系数矩阵是 $n \times n$ 的。当用满阵高斯消去法求解这种方程组需要 $n^3/3$ 次乘除运算, 当用稀疏矩阵技术的高斯消去法则需 n^β 次乘除运算, 其中 $\beta = 1.1 \sim 1.5$, 视电路类型不同而异。另外, 由实践表明, 建立

方程组所化的时间比求解方程组化的时间要多得多。因此，当电路规模增大时，用这种算法进行电路模拟所需要的计算时间增长很快。

有学者(参考文献[2])在 VAX—11/780 计算机上使用 SPICE2G 对一个具有 1326 个 MOS 管、553 个节点的数字电路进行时域分析，统计表明化费了 32 小时的 CPU 时间，占用的主内存为 2.4Mbyte。这两个数字都是很可观的，何况所模拟的电路的规模还不太大。

因此，在研究适用于大规模电路的电路模拟技术时，所要解决的主要问题是：在满足精度要求的情况下，如何减少模拟时间和降低存贮要求。适用于大规模电路的电路模拟技术又称为第三代电路模拟技术。

§ 1-3 大规模电路中可供电路模拟利用的特点及电路模拟策略

一、大规模电路中可供电路模拟利用的特点

为了降低存贮要求和减少模拟时间，在大规模电路中，有两个特点可供电路模拟时加以利用，这两个特点是：

1. 含有大量的重复的子电路。大规模电路往往是由大量的相同的与非门、或非门、反相器、触发器、寄存器、运放等种类不多的子电路构成的。子电路的含意也不只限于以上列举的电路，还可以根据需要进行定义。根据以上列举的和已定义的子电路所构成的为完成某种功能的电路也称为子电路。

利用重复的子电路结构特性可以获得许多好处。其中之

一是：可以减少电路信息的存贮量，并为编写电路描述带来方便。我们可以对大规模电路中的每个子电路命名并描述它的内部电路信息。例如，对某个子电路命名为 SUB1，它的电路描述可表示为

SUB1 ([外部节点表])

R[电阻号]([始节点号]-[终节点号])=[阻值]

...

C[电容号]([始节点号]-[终节点号])=[容量]

...

BG[三极管号] (...

...

若这个子电路在大规模电路中重复出现，例如 SUB5 与 SUB1 完全一样，那么可以这样来描述 SUB5：

SUB5 [外部节点表] = SUB1

若这个子电路又出现在另一个较大的子电路当中，则这个大的子电路描述为

SUB[子电路号] ([外部节点表])

R...

...

C...

...

SUB1 ([外部节点表])

...

这就不必重复列写 SUB1 的内部信息，也不需要重复存贮 SUB1 的内部信息。

2. 在模拟时间区间的大部分时间内，大量的子电路是处于潜伏状态。

对于一个子电路，如果在某一段时间内有关这个子电路的电压、电流变化甚小，可允许视为常量，那么我们称这个子电路在这段时间内是处于潜伏状态。如果我们能判断某个子电路在当前时刻 t_{n+1} 处于潜伏状态，那么就不必计算有关这个子电路的电压、电流在 t_{n+1} 时刻的值，而用 t_n 时刻的值代替，从而可以节省计算时间。利用大规模电路中子电路的潜伏特性可以节省大量的计算时间。

下面给出潜伏的定义：

设网络 N 含子电路 S_i ，矢量 u 是对 S_i 的外部激励 (u 中的元素是 N 中与 S_i 直接发生作用的电压、电流) 并设矢量 R 是 S_i 的内部变量 (包括内部所有的电压、电流) 或者说是 S_i 对 u 的内部响应。对 N 进行瞬态分析可获得 u 、 R 在若干时间点上的值，如果

$$(1) \quad ||u(t_n) - u(t_{n-p})|| \leq \varepsilon_{11} \quad p = 1, 2, \dots, k$$

$$(2) \quad ||R(t_n) - R(t_{n-q})|| \leq \varepsilon_{12} \quad q = 1, 2, \dots, l$$

$$(3) \quad ||u(t_{n+1}) - u(t_{n-p})|| \leq \varepsilon_{11} \quad p = 1, 2, \dots, k$$

其中 ε_{11} 和 ε_{12} 是指定的潜伏误差； $l > 0$ ， $k \geq 1$ 。那么子电路 S_i 在 t_{n+1} 时刻处于潜伏状态。只要继续保持

$$(4) \quad ||u(t_{n+j}) - u(t_{n-k})|| \leq \varepsilon_{11} \quad j = 2, 3, \dots$$

则 S_i 在 t_{n+j} 时刻继续处于潜伏状态。

该定义中的条件 (1) 表明从时刻 t_{n-k} 到 t_n 输入量变化极小；条件 (2) 表明从时刻 t_{n-l} 到 t_n 子电路响应变化极小；条件 (3) 表明在 t_{n+1} 时刻输入量变化仍极小。由于通常电路的响应是输入量的连续函数，子电路在 t_{n+1} 时刻的响应与在 t_n 时刻的响应相比应当变化极小，因而子电路 S_i 在 t_{n+1} 时刻处于潜伏状态。

条件 $k \geq 1$ 是考虑电路的响应有延时的情况下，需要激

励保持不变的时间长一些。我们以 $k=1$ 的情况来说明。如果 S_i 满足潜伏条件, 则 $\mathbf{R}(t_{n+1}) = \mathbf{R}(t_n)$ 。但是, 当 S_i 的响应相对于激励的延时为 $(t_{n+1} - t_{n-1-1})$, 而激励 u 在 t_{n-1-1} 时刻发生变化, 这将引起响应 $\mathbf{R}$ 在 t_{n+1} 时刻发生变化, 电路并不处于潜伏状态。显然这时应取 $k>1$ 。 k 的大小应当由子电路的延时和积分步长来确定。

在潜伏的定义中, 一个重要的问题是如何选择 ε_{11} 和 ε_{12} 。它们的大小应当与电路中电压、电流的变化率有关。例如, 设所要模拟的电路是一个电压、电流变化缓慢的系统, 若将 ε_{11} 、 ε_{12} 选得太大, 这将意味着把网络电压、电流缓慢变化的特点误认为潜伏。这时 ε_{11} 和 ε_{12} 应当取小, 反之应当取大。关于这两个潜伏误差的选择, N. B. Rabbat 提出了如下的准则参考文献[3]:

如果在各个时间点上牛顿迭代过程收敛的话, 潜伏误差不应劣于所使用的积分算法的截断误差估计值。

对于这个准则可以这样理解: 第一, 若所使用的积分算法的阶数为 k , 在 t_n 时刻的截断误差估计值与解在 t_n 时刻的 $k+1$ 阶导数成正比。截断误差大, 说明解(电压或电流)对时间的变化率大, 允许使用较大的潜伏误差; 第二, 如果潜伏误差大于所使用的积分算法的截断误差估计值, 那么整个瞬态分析的误差将有可能超过用户指定的允许值(每一积分步允许的截断误差是根据用户指定的瞬态分析误差确定的)。

有了以上准则, 我们就可以使潜伏误差随解的变化快慢而自动调整。

前面叙述的潜伏条件对任何电路都适用。对某些电路, 潜伏条件可以放松。例如对于 TTL 与非门电路, 当一个输

入固定在低电平，其它输入信号无论如何变化，输出仍不变化，就输出而言此时该门电路仍可视处于潜伏状态。

二、大规模电路的电路模拟策略

1. 用宏模技术缩小网络规模

宏模技术是简化网络模型的技术。宏模型是一种这样的模型，它在电性能上与原网络充分接近而在结构上比原网络简单或者表达网络性能的方法较简单。

用宏模型代替原网络模型后可以减少电路变量。例如一个运算放大器，含有 20~30 个晶体管，数十个电路元件，十多个节点，而运放的电路特性宏模型只含几个节点，十多个元件，不含晶体管。当用这种宏模型代替真实的运放后，节点数减少，元件数减少。若电路中含多个运放，用其宏模型取代后，网络规模大为缩小，电路方程的规模也随之缩小。

本书将介绍宏模概念、数字电路和运放的宏模型以及宏模概念的应用。

2. 用分解技术将大规模电路的模拟（或分析）问题转化为若干子电路或模块的分析问题。这种做法有三个好处：

（1）可以在较小的计算机上，逐个地处理子电路从而达到模拟大规模电路的目的；

（2）可以利用并行处理的计算机。某些大规模电路的模拟算法中，允许同时处理多个子电路。这样，就可以利用并行处理机同时分析多个子电路，从而缩短了模拟时间；

（3）能有效地利用潜伏技术。关于这一点，在以后各章中陆续介绍。

由于大规模电路是由许多互相联系的子电路组成的，我们在将大规模电路的分析问题转化为若干子电路的分析问题时，既要做到能独立地逐个地或并行地处理各个子电路，又要

考虑各个子电路之间的相互作用。因而需要使用一些专门的分解技术和算法，其中包括撕裂技术和松弛技术。这两种技术是本书将要重点介绍的内容。

3. 使用晶体管的表格模型。

晶体管表格模型产生的背景是，根据数值实验的统计表明，电路模拟最费机时的部分是根据晶体管的数学模型求取晶体管的电流（即求函数值）和求取晶体管电流对有关电极电压的偏导数（在建立雅可比矩阵时需要这种计算）。这些计算占整个电路模拟时间的大部分。使用晶体管的表格模型可以减少这些时间。例如，一个 MOS 晶体管的漏源电流 i_{ds} 是电压 v_{ds} , v_{gs} , v_{bs} 的函数，把这种函数关系制成表 $T_d(v_{ds}, v_{gs}, v_{bs})$, T_d 是一张包含所预期的各个电压范围内的全部 i_{ds} 值的表。对于多数计算机，查表要比计算函数值快得多，而模型的精度仍然很高。使用表格模型比使用数学模型需要更多的内存。考虑到大规模集成电路中晶体管的种类不会很多，表格模型占用的内存不至很大。在某个工作点上， i_{ds} 对于某电压的偏导数也可以从表中通过内插和计算数值斜率得到。

实用的表格模型技术见参考文献[5] [6]。

§ 1-4 描述算法所用语言的几点说明

本书涉及一些算法，我们选择了一种抽象的类似于 PASCAL 语言的高级语言来描述算法。由于它不是真正的 PASCAL 语言，用它描述的算法不能直接在机器上执行，但它具有重要的优点：易于书写，便于阅读和理解算法，使读者可把注意力集中于算法的实质，而不是把精力化费在某

种实际高级语言的许多具体规定之上。同时，本书的算法中略去了对变量类型的说明。为了清楚和方便起见，在算法中还使用了一些汉语句子。

所使用的类 PASCAL 语言有下列几个语句：

1. 赋值语句

〈变量〉：= 〈表达式〉

2. 复合语句 由两个以上的语句构成的语句组称为复合语句。复合语句中的成分语句组按其书写顺序执行，成分语句组写在‘{’号与‘}’号之间。复合语句的形式为

```
{  
  〈语句〉;  
  ...  
  〈语句〉;  
}
```

3. if 条件语句 if 条件语句的形式有两种：

if 〈条件〉 then 〈语句〉;

if 〈条件〉 then 〈语句〉else〈语句〉。

它的含义是仅当条件为真时，才执行 then 之后的语句；否则，分两种情况，或者执行 if 以下的语句（对应于第一种形式），或者执行 else 之后的语句（对应于第二种形式）。它们的执行过程的逻辑示意图分别如图 1-2(a)、(b)所示。

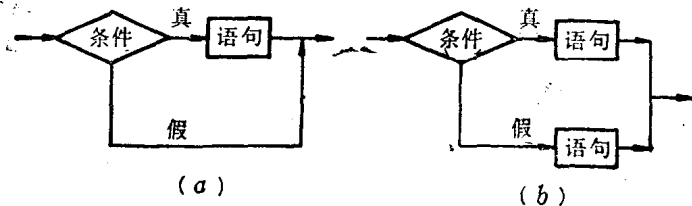


图 1-2 if 条件语句的逻辑示意图

(a) 第一种条件语句 ; (b) 第二种条件语句