

电子设计自动化 (EDA) 软件应用丛书

在系统 可编程器件 与开发技术

赵不贿 等编著



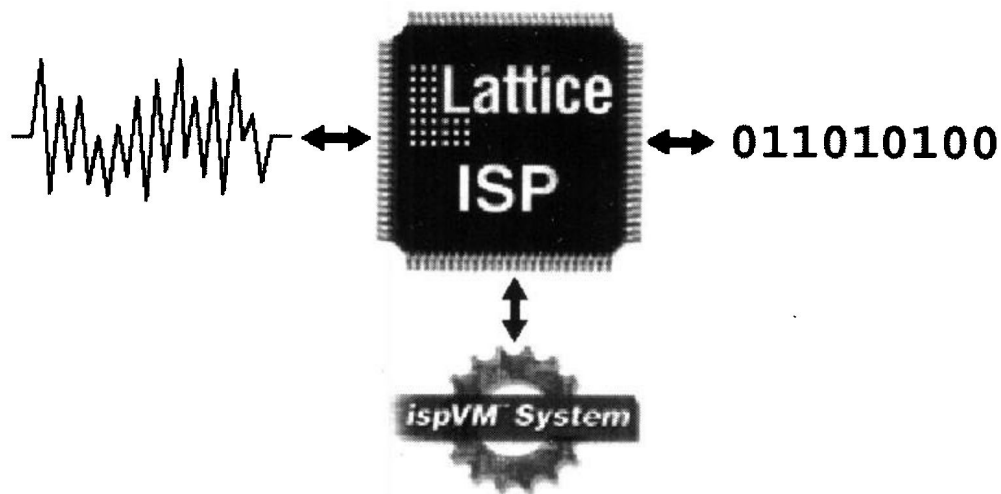
 机械工业出版社
China Machine Press

在系统可编程器件与开发技术

赵不赅 景亮

白雪 编著

徐雷钧 房进



机械工业出版社

本书在介绍 PAL 和 GAL 可编程逻辑器件的基础上,着重介绍了美国 Lattice 公司的 ispLSI 系列在系统可编程逻辑器件和 ispPAC 系列在系统可编程模拟器件的结构和工作原理,以及用于这两类器件的开发软件 ispDesign EXPERT 和 PAC-Designer 的使用方法。介绍了用于逻辑电路设计的硬件描述语言 ABEL-HDL 和 VHDL。书中结合实际应用,介绍了数字系统设计方法,给出了许多数字系统和模拟系统的设计实例,并给出大量的思考题与习题。第 9 章是实验内容,便于教学和读者自学。本书还提出了用 Petri 网设计逻辑控制器的方法。附录中给出了 EDA Pro2k 实验开发系统的使用方法,ispDesign EXPERT 中的部分出错代码的含义以及 Lattice 系统宏,这些资料对于读者迅速掌握在系统可编程器件的开发技术是十分有益的。

本书可作为从事电子产品开发和生产的工程技术人员、电子爱好者掌握在系统可编程技术的参考书,可作为大专院校电类和机电类专业相关课程的教材和教学参考书,也适合用作企业的培训教材。

图书在版编目(CIP)数据

在系统可编程器件与开发技术/赵不贿等编. —北京:
机械工业出版社, 2001.6
ISBN 7-111-02546-6

I. 在… II. 赵… III. 可编程序控制器
IV. TP332.3

中国版本图书馆 CIP 数据核字(2001)第 042149 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 吉 玲 封面设计: 姚 毅

责任印制: 郭景龙

三河市宏达印刷有限公司印刷·新华书店北京发行所发行

2001 年 7 月第 1 版第 1 次印刷

787mm×1092mm 1/16·16.25 印张·398 千字

0 001—4 000 册

定价: 26.00 元

投稿专线: jiling@mail.machineinfo.gov.cn

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

本社购书热线电话(010) 68993821、68326677-2527

前 言

自从世界上第一片 GAL 芯片在美国 Lattice 公司诞生以来, 可编程逻辑器件 (PLD) 的应用取得了日新月异的发展。特别是 Lattice 公司在 1991 年发明并率先推出了在系统可编程技术 (ISP), 开拓了新一代在系统可编程逻辑器件, 给电子产品的设计和生带来了革命性的变化。如今, 现场可编程器件 (FPGA) 和复杂可编程逻辑器件 (CPLD) 已广泛应用于通信、工业自动化、智能仪表、图像处理、计算机等领域, 大有取代中、小规模集成电路之趋势。与此同时, Lattice 公司于 1999 年 11 月又推出了在系统可编程模拟器件 (ispPAC), 翻开了模拟电路设计方法的新篇章。因此, 掌握在系统可编程技术是新一代电子设计工程师及从事电子技术开发和研究人员的必备技能, 也是电类专业和机电类专业学生学习的重要内容。

本书系统地介绍了在系统可编程数字、模拟器件的结构和工作原理, ABEL-HDL 和 VHDL 等硬件描述语言, 开发软件 ispDesign EXPERT 和 PAC-Designer 的使用以及电子系统设计方法和综合设计举例等内容, 并介绍了用 Petri 网对离散事件动态系统 (DEDS) 控制器建模、设计并用 ISP 器件实现的新方法, 随着研究的不断深入, 该方法具有广阔的应用前景。本书重点放在如何学习用硬件描述语言设计数字系统以及软件的使用上。为了便于工程技术人员和初学者的学习和练习, 书中给出了大量的例子, 同时为了教学方便, 给出了习题和实验。

在本书编写过程中, 上海 Lattice 公司的陈恒先生自始至终给予作者热情鼓励和大力支持, 并对本书的初稿进行了认真仔细的审阅, 提出了宝贵的修改意见, 在此谨致以衷心的感谢。编写中, 参考了许多相关的著作和教材, 在此对这些相关著作和教材的作者表示诚挚的谢意。

编者深感科学技术飞速发展, 本书原来编写的软件内容是 ispEXPERT System, 在即将完稿时, 又收到上海 Lattice 公司的新版软件 ispDesign EXPERT, 我们对内容重新作了修改。由于编者水平有限, 时间仓促, 不足和错误之处, 在所难免, 恳请读者批评指正。

需要软件的读者可与上海 Lattice 公司联系, 通信地址: 上海桂平路 471 号 10 号楼 6 层, 上海莱迪思半导体有限公司, 邮编: 200233。

本书由赵不赓担任主编。第 1 章由白雪编写, 第 2 章、第 6 章及附录 B~D 由徐雷钧编写, 第 3 章、第 7 章由景亮编写, 第 4 章、第 8 章、第 9 章由赵不赓编写, 第 5 章及附录 A 由房进编写。

编 者
2001 年 3 月

目 录

前 言

第 1 章 PLD 的基础知识	1
1.1 PLD 概述	1
1.1.1 PLD 器件的分类	1
1.1.2 PLD 基本结构及电路表示法	3
1.2 PAL 器件	4
1.2.1 PAL 器件概述	4
1.2.2 PAL 器件输出与反馈结构	5
1.2.3 PAL 器件的应用	7
1.2.4 PAL 器件的特点和缺陷	8
1.3 GAL 器件	9
1.3.1 GAL 器件概述	9
1.3.2 普通型 GAL 器件的基本结构	9
1.3.3 GAL 器件的优点和局限性	14
思考题与习题	15
第 2 章 在系统可编程数字逻辑器件	16
2.1 在系统可编程技术的特点	16
2.1.1 FPGA 和 CPLD 简介	16
2.1.2 在系统可编程技术的特点	17
2.1.3 在系统可编程技术的未来	18
2.2 ispLSI1016 的结构	18
2.2.1 全局布线区 (Global Routing Pool——GRP)	19
2.2.2 万能逻辑块(Generic Logic Block——GLB)	19
2.2.3 输出布线区 (Output Routing Pool——ORP)	23
2.2.4 输入输出单元 (Input Output Cell——IOC)	24
2.2.5 巨块 (Megblock)	25
2.2.6 时钟分配网络 (Clock Distribut Network——CDN)	26
2.3 其他在系统可编程器件简介	27
2.3.1 ispLSI1032E 芯片简介	27
2.3.2 ispLSI2000 系列简介	28
2.3.3 8000 系列简介	31
思考题与习题	33
第 3 章 在系统可编程模拟器件	35
3.1 概述	35

3.2 ispPAC10 的结构和原理.....	37
3.2.1 PAC 块的结构.....	38
3.2.2 PAC 块的传递函数.....	39
3.2.3 PAC 块的特点.....	40
3.2.4 ispPAC 器件模拟信号接口电路.....	41
3.2.5 输入、输出信号的共模电压.....	43
3.2.6 PAC 块增益的设置.....	44
3.3 ispPAC20 的结构与原理.....	47
3.3.1 ispPAC20 的结构.....	47
3.3.2 ispPAC20 的原理.....	48
3.4 ispPAC80 的结构和原理.....	52
3.4.1 ispPAC80 的结构.....	52
3.4.2 ispPAC80 的工作原理.....	52
思考题与习题.....	54
第 4 章 ABEL-HDL 语言	55
4.1 概述.....	55
4.2 ABEL-HDL 语言的基本元素和基本语法规则.....	55
4.2.1 合法的 ASCII 字符.....	55
4.2.2 数据.....	55
4.2.3 特殊常量.....	56
4.2.4 字符串.....	56
4.2.5 标识符.....	56
4.2.6 保留标识符(关键字).....	57
4.2.7 注释.....	57
4.2.8 运算符.....	58
4.2.9 表达式.....	60
4.2.10 布尔方程.....	60
4.2.11 集合与集合运算.....	60
4.2.12 块.....	62
4.2.13 实变量与哑变量.....	63
4.2.14 基本语法规则.....	63
4.3 ABEL-HDL 语言的基本结构.....	63
4.3.1 模块开始段.....	64
4.3.2 说明段.....	65
4.3.3 逻辑描述段.....	68
4.3.4 测试向量段.....	71
4.3.5 模块结束段.....	72
4.4 ABEL-HDL 语言的指示字.....	72
4.5 设计举例.....	75

4.5.1	七段显示译码器	76
4.5.2	1-4 数据分配器	77
4.5.3	16-4 数据选择器	78
4.5.4	4 位数据比较器	80
4.5.5	加法器	81
4.5.6	4 位格雷码(Gray)计数器	81
4.5.7	8 位移位寄存器	83
4.5.8	可逆十进制计数器	84
4.5.9	任意进制加法计数器	88
	思考题与习题	90
第 5 章	VHDL 语言	93
5.1	VHDL 的基本知	93
5.1.1	VHDL 程序的基本结构	93
5.1.2	VHDL 语言要素	96
5.2	基本语句和几个重要概	106
5.2.1	并行语句	106
5.2.2	顺序语句	112
5.2.3	描述风格	116
5.2.4	几个重要概念	116
5.3	设计举例	121
5.3.1	基本设计	121
5.3.2	状态机设计	126
	思考题与习题	130
第 6 章	ispDesign EXPERT 软件的使用	131
6.1	概述	131
6.2	项目创建	131
6.2.1	启动软件	131
6.2.2	创建新项目 and 器件选定	132
6.3	原理图输入	133
6.3.1	进入原理图输入	133
6.3.2	输入原理图	134
6.3.3	对新器件进行描述	138
6.3.4	编译原理图	138
6.3.5	原理图编辑窗口的其它功能	139
6.4	仿真与测试	140
6.4.1	建立仿真测试向量	140
6.4.2	输入测试向量	140
6.4.3	编译测试向量文件	141
6.4.4	仿真	141

6.5	ABEL-HDL 语言输入方式.....	143
6.5.1	进入 ABEL 语言输入	143
6.5.2	电路描述	144
6.5.3	编译 ABEL-HDL 源文件.....	145
6.6	ABEL-HDL 语言与原理图混合输入方式.....	145
6.6.1	创建新项目和选定器件.....	146
6.6.2	输入原理图	147
6.6.3	器件的 ABEL-HDL 语言描述.....	149
6.6.4	编译与仿真测试	149
6.7	适配与下载.....	151
6.7.1	锁定引脚	151
6.7.2	适配	152
6.7.3	下载	153
6.8	VHDL 输入设计方式.....	153
6.8.1	进入 VHDL 设计	154
6.8.2	VHDL 语言描述	154
6.8.3	仿真测试	155
6.8.4	引脚的锁定与下载.....	155
6.8.5	VHDL 设计步骤	156
6.9	ispDesign EXPERT 文件后缀及其含义	157
	思考题与习题	157
第 7 章	PAC-Designer 软件的使用.....	159
7.1	概述	159
7.2	设计输入.....	160
7.2.1	建立设计文件	160
7.2.2	输入设计方案	161
7.2.3	宏、库的使用	164
7.3	电路特性仿真.....	166
7.4	设计方案的下载.....	167
7.5	ispPAC80 的编程.....	168
	思考题与习题	172
第 8 章	系统设计实例	173
8.1	数字系统设计.....	173
8.1.1	数字系统的基本概念.....	173
8.1.2	数字系统设计方法.....	173
8.2	数字系统设计实例.....	175
8.2.1	8 路彩灯控制器	175
8.2.2	4 位数字频率计	185
8.3	模拟系统设计实例.....	191

8.3.1 双二阶滤波器的实现.....	191
8.3.2 温度测量系统.....	193
8.4 基于 Petri 网的设计方法.....	196
8.4.1 Petri 网基本知识简介.....	196
8.4.2 基于 Petri 网控制器的设计方法.....	200
第 9 章 在系统可编程技术实验.....	209
9.1 组合逻辑电路实验.....	209
实验一 在系统可编程技术入门.....	209
实验二 多路选择/多路分配器.....	210
实验三 编码/译码电路.....	211
实验四 加法器和乘法器.....	212
9.2 时序逻辑电路实验.....	212
实验一 寄存器和计数器.....	212
实验二 巴克码信号发生器.....	213
实验三 步进电机控制器.....	214
实验四 小车控制.....	215
9.3 模拟电路实验.....	215
实验一 放大器设计.....	215
实验二 滤波器设计.....	216
9.4 综合设计实验.....	217
9.4.1 数字式自动打铃机.....	217
9.4.2 交通灯控制.....	219
9.4.3 数字电子钟.....	220
9.4.4 出租车自动计费器.....	220
9.4.5 脉搏计.....	221
9.4.6 电子密码锁.....	221
附录 A VHDL 语言保留字.....	304
附录 B EDA Pro2K 实验开发系统.....	235
附录 C ispDesign EXPERT 中的部分错误代码与信息.....	233
附录 D ispLSI 宏单元库.....	238

第 1 章 PLD 的基础知识

1.1 PLD 概述

可编程逻辑器件 (Programmable Logic Device——PLD) 是一种由用户编程以实现某种逻辑功能的新型逻辑器件, 诞生于 20 世纪 70 年代, 自问世以来, 它经历了从 PROM、PLA、PAL、GAL 等低密度 PLD 到 CPLD、FPGA 等高密度 PLD 的发展过程。在此期间, PLD 集成度、速度不断提高, 功能不断增强, 结构趋于更合理, 使用变得更灵活方便。PLD 的出现, 打破了由中小规模通用型集成电路和大规模专用集成电路垄断天下的局面。与中小规模通用型集成电路相比, 用 PLD 实现数字系统, 具有集成度高、速度快、功耗小、可靠性高等优点; 与大规模专用集成电路相比, 用 PLD 实现数字系统, 具有研制周期短、先期投资少、无风险、修改逻辑设计方便、小批量生产成本低等优势。由此可见, 在不久的将来, PLD 将在集成电路市场占据统治地位。

1.1.1 PLD 器件的分类

在实际应用中, PLD 可根据其结构、集成度以及编程方法进行分类。

1. 按与阵列和或阵列是否可编程分类。

(1) 与阵列固定、或阵列可编程的 PLD

PLD 最早的产品——20 世纪 70 年代初期出现的可编程只读存储器(Programmable Read Only Memory——PROM)就是采用这种形式。现在市场上供应的 PROM 的最高密度达一个芯片 200 万位以上。

优点: 能够较方便地实现多输入多输出组合函数, 可以实现任何组合逻辑功能。而且由于它以最小项为基础, 因此在设计中无须对函数化简。对于每一种可能的输入组合, 就相应得到一组可以独立编程的输出, 大大扩展了可编程逻辑的思想, 减少了输入变量的引脚数, 并能与 TTL 电路兼容。

缺点: 输入增加时, 它的与阵列输出 (即乘积项) 个数以 2 的级数增加, 这样导致与乘积项成正比的芯片面积、成本和开关延时相应迅速增加, 从而速度变慢; 然而, 大多数逻辑函数并不需要使用输入的全部可能组合, 因为其中许多组合是无效的或不可能出现的, 这使得芯片利用率较低。

(2) 与阵列和或阵列均可编程的 PLD

此类 PLD 的与阵列采用部分译码方式, 通过编程使其产生函数所需的乘积项, 乘积项不一定是全部 n 个输入的组合。它的或阵列可编程, 并通过选择所需要的乘积项相或, 在输出端产生乘积项之和的函数。20 世纪 70 年代中期出现的现场可编程逻辑阵列器件 (Field Programmable Logic Array——FPLA) 采用了这种结构。与 PROM 相比, 它的优点在于阵列

较小,使用灵活,速度快,双重可编程阵列使设计者可以控制器件的全部功能,即使设计变得容易,同时又有效地提高了芯片的利用率,缩小了系统体积。但存在的问题是制造工艺复杂,编程缺少高质量的支撑软件和编程工具,且价格较高,因而使用不广泛。

(3) 与阵列可编程或阵列固定的 PLD

在此类 PLD 中,与阵列可编程,或阵列是固定的。每个输出是若干个乘积项之和,其中乘积项的数目是固定的。这种结构不仅能实现大多数逻辑功能,而且提供了最高的性能和速度,是 PLD 目前发展的主流。

2. 按集成度分类

随着集成工艺的发展,PLD 的集成规模越来越大,集成度从几百门/每片发展到几千门/每片,甚至几百万门/每片。据此,PLD 可分为低密度可编程逻辑器件(Low Density PLD——LDPLD)和高密度可编程逻辑器件(High Density PLD——HDPLD)两大类。

(1) 低密度可编程逻辑器件(LDPLD)

低密度 PLD 通常指集成度小于 1000 门/每片的 PLD。从 20 世纪 70 年代初期至 80 年代中期产生的 PLD 如 PROM、PLA、PAL 和 GAL 均属于此类。与中小规模集成电路相比,它有集成度高、速度快、设计灵活方便、设计周期短等优点,因此得到广泛应用。但随着科学技术的发展,由于集成密度低,它已很难满足大规模以及超大规模专用集成电路(ASIC)在规模和性能上的要求。

(2) 高密度可编程逻辑器件(HDPLD)

高密度 PLD 通常指集成度大于 1000 门/每片的 PLD。80 年代中期以后产生的 EPLD、CPLD 和 FPGA 均属于此类。

3. 按编程方法分类

(1) 掩膜编程

最初的 ROM 是由半导体生产厂家制造的,阵列中各点间的连线由厂家专门为用户设计的掩模板制作,此种方法称为掩膜编程。其设计成本高,一般在批量生产中才有价值,所以它只用来生产存放固定数据、固定程序的 ROM 以及函数表、字符发生器等器件。

(2) 熔丝或反熔丝编程

熔丝编程器件在每个可编程的互连接点上都有熔丝。如果接点需要连接,则保留熔丝;若接点需要断开,则用比工作电流大得多的电流烧断熔丝即可。由于熔丝一旦烧断便不能恢复导通,因此这种方法只能一次编程,而且熔丝占芯片面积较大,不利于提高器件集成度。

反熔丝编程器件以反熔丝作为编程元件。反熔丝的核心是介质,未编程时开关呈现很高的阻抗(例如可用一对反向串联的肖特基二极管构成),当编程电压加在开关上将介质击穿后(使一个二极管永久性击穿而短路),开关则呈现导通状态。

PROM 和 PAL 采用了熔丝编程工艺,美国 Actel 公司的 FPGA 则采用了反熔丝编程工艺。

(3) 浮栅编程

浮栅编程器件采用了浮栅编程技术,包括紫外线擦除电编程的 UVEPROM 和电擦除电编程的 E²PROM。它们都采用浮栅存储电荷的方法来保存数据。

浮栅编程器件属于非易失可重复擦除器件。GAL、EPLD、CPLD 大都采用了这种工艺。

(4) SRAM 编程器件

SRAM 即静态存储器,又称配置存储器,用来存储决定系统逻辑功能和互联的配置数据。

它属于易失元件, 所以每次系统加电时, 先要将储存在外部 EPROM 或硬盘中的编程数据加载到 SRAM 中。采用 SRAM 技术可以方便地装入新的配置数据实现在线重置。美国 Xilinx 公司的 FPGA 采用了这种技术。

综上所述, 通常把一次性编程的 (如 PROM) 称为第一代 PLD, 把紫外光 (UV) 擦除的 (如 EPROM) 称为第二代 PLD, 把电擦除的 (如 E²PROM) 称为第三代 PLD。第二代、第三代 PLD 的编程都是在编程器上进行的。1991 年, 美国 Lattice 公司又推出一种在系统编程 (ISP) 器件, 编程工作直接在目标系统或电路板上进行而不用编程器, 称为第四代 PLD。

1.1.2 PLD 基本结构及电路表示法

1. 基本结构

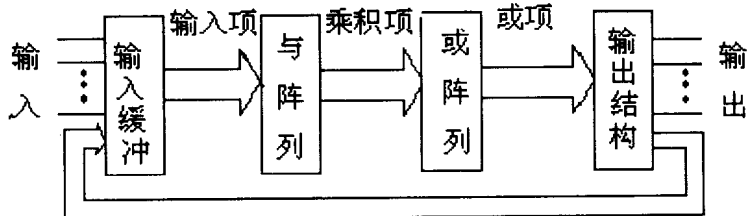


图 1-1 PLD 的基本结构

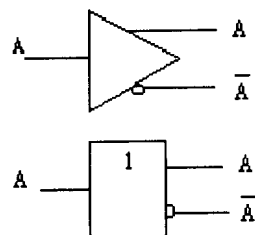


图 1-2 PLD 缓冲器表示法

PLD 的基本结构框图如图 1-1 所示。它主要由输入缓冲、与阵列、或阵列和输出结构等四部分组成。其中核心部分是可实现与-或逻辑的与阵列和或阵列, 由与门构成的与阵列用来产生乘积项, 由或门构成的或阵列用来产生乘积项之和形式的函数。输出信号往往可以通过内部通路反馈到与阵列的输入端。为了适应各种输入情况, 与阵列的每个输入端 (包括内部反馈信号输入端) 都有输入缓冲电路, 如图 1-2 所示, 从而降低对输入信号的要求, 使之

具有足够的驱动能力, 并产生原变量 (A) 和反变量 ($\bar{A}$) 两个互补的信号。有些 PLD 的输入电路还包含锁存器 (Latch), 甚至是一些可以组态的输入宏单元, 可对信号进行预处理。输出结构相对于不同的 PLD 差异很大, 有些是组合输出结构, 有些是时序输出结构, 还有些是可编程的输出结构, 可以实现各种组合逻辑和时序逻辑功能。

2. PLD 电路表示法

PLD 电路表示法与传统表示法有所不同, 主要因为 PLD 的阵列规模十分庞大, 用传统的方法表示极不方便。图 1-3 中给出了 PLD 的三种连接方式。连线交叉处有实点的表示硬线连接, 也就是固定连接, 用户不可改变; 有符号 “ $\times$ ” 的表示可编程连接, 它通常表示此点目前是互连的, 即编程熔丝未被烧断; 若交叉点上没有 “ $\times$ ”, 连线只是单纯交叉的, 表示不连接或者是擦除单元。

图 1-4 分别给出了传统表示法和 PLD 表示法的一个示例。显然, 在输入量很多的情况下, PLD 表示法显得简洁。由图可看出, 三输入端与门的输入线只有一根线, 一般称为乘积线, 三个输入变量分别由三根与乘积线垂直的竖线送入, 其中固定连接和编程连接的相应输入项

为乘积项的一部分，不连接的输入线不作为乘积项的一部分。

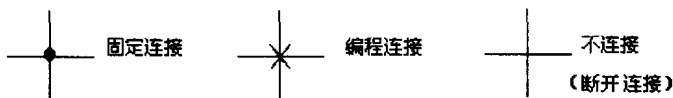


图 1-3 PLD 的三种连接方式

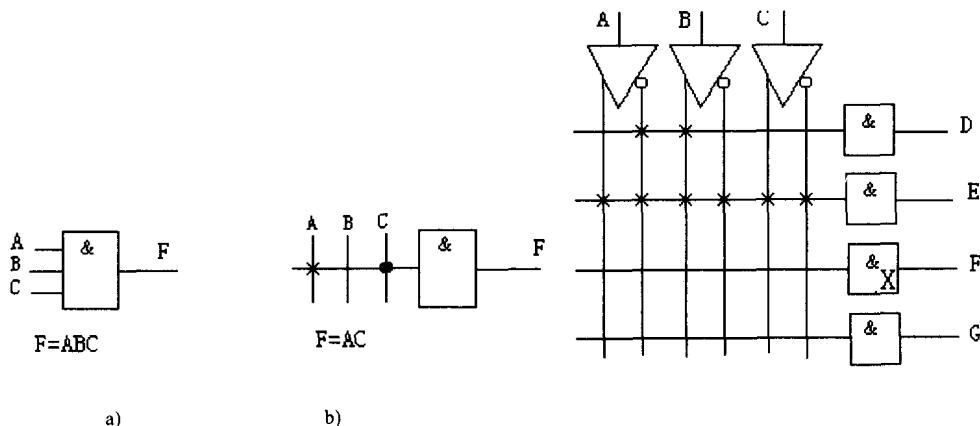


图 1-4 PLD 表示法示例

图 1-5 三输入的与阵列

a) 传统表示法 b) PLD 表示法

图 1-5 所示为三输入变量 A、B、C 分别通过具有互补输出端的输入缓冲器输入原变量和反变量构成的与阵列。第一个与门输出为 $D = \overline{A}B$ ，第二个与门输出为 $E = A\overline{A}B\overline{B}C\overline{C} = 0$ ，这种状态称为与门的缺省状态，为了表示方便，可以在相应与门符号中加一个“×”，以代替所有输入项所对应的“×”，如第三个与门所表示的那样， $F=0$ 。第四个与门与所有输入都不接通，即它的输入是悬空的，因此 $G=1$ ，一般将其称作“悬浮 1”状态。

在低密度可编程器件中，PAL 和 GAL 器件的应用比较广泛。下面对这两类器件的有关知识做一简单介绍。

1.2 PAL 器件

PAL (Programmable Array Logic) 器件是 20 世纪 70 年代后期由美国 MMI 公司 (Monolithic Memories, Inc. 单片存储器公司) 推出的可编程逻辑器件。它采用了阵列逻辑技术，既有规则的阵列结构，又能实现灵活多变的逻辑功能，且编程简单，易于实现。目前它已从处理一般逻辑设计问题的简单器件发展到处理较复杂问题的更先进的器件。

1.2.1 PAL 器件概述

PAL 采用与阵列可编程、或阵列固定的基本组成结构。但由于引脚数、速度、功耗等不同，PAL 器件型号很多。通常它可分为 20 引脚和 24 引脚两大系列，此外还有 40 (44)，80

(84) 引脚的宏 PAL 器件。另外, 根据内部电路区分, 每一系列可分为简单组合逻辑、带反馈的寄存器输出和可编程 I/O 等三类器件。按功能区分, 每一系列又分为标准型、低功耗型和 1/4 功耗型。按输出功率区分, 又可分为小功率、中功率和大功率器件。按运行速度区分, 可分为标准速度、高速和超高速器件。按工艺可靠性区分, 可分为军用、民用器件等。

每一种 PAL 器件都可用一个逻辑符号来简明地描述该器件的逻辑功能。图 1-6 为 PAL20L10 器件的逻辑符号。符号中的内部方框表示基本的与或门阵列, 方框外的三态缓冲器表示输出结构形式, 其选通端为 13 脚。用单根连线 and 方框相连的引脚为输入端。

1.2.2 PAL 器件输出与反馈结构

从结构上看, PAL 的与阵列是类同的, 只是门阵列规模稍有不同, 主要是因为它们的输出结构不同。通常我们把 PAL 的输出结构分为以下几种类型。

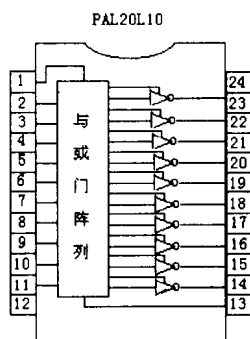


图 1-6 PAL 器件 PAL20L10 逻辑符号

1. 专用组合输出结构

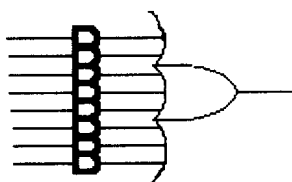


图 1-7 专用组合输出结构

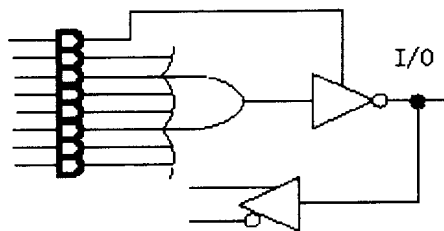


图 1-8 异步 I/O 输出结构

这种结构一般用于实现组合逻辑, 如图 1-7 所示。图中输出部分采用或门, 称为高电平有效器件。此外, 常见的还有或非门和带互补输出端的或门, 分别称为低电平有效器件和互补输出器件。

2. 异步 I/O 输出结构

异步 I/O 输出结构如图 1-8 所示。该电路的或门将 7 个乘积项相加, 其输出通过一个三态缓冲器到 I/O 端。三态缓冲器的控制端由最上面一个与门来控制: 当这个与门输出为 1 时, 三态门被选通, 或门的输出可以通过缓冲器输出, 此时的 I/O 端作为输出端使用, 并利

用其下方的缓冲器将输出信号反馈到与阵列；当与门输出为 0 时，则三态门被禁止，即成高阻状态，这样或门与引脚间联系隔断，此时 I/O 引脚只能作为输入端用，外信号可以通过下面的缓冲器输入到与阵列。因此这种结构的引脚既可作输出用，又可作输入用，是一个 I/O 端口。另外，在一个 PAL 器件中，两组与门的最上面一个与门的输出不一定相同，从而输出函数在时间上可能不一致，此性能成为“异步”。所以称这种结构为异步 I/O 输出结构。

3. 寄存器输出结构

这种结构的 PAL 适用于时序电路，如图 1-9 所示。与组合输出结构不同的是：或门输出到后面一个 D 触发器（上升沿触发），未直接送回与阵列。当系统时钟 CLK 上升沿到来时，或门的输出存入 D 触发器，而 D 触发器的 Q 端输出通过三态缓冲器到达输出端， $\bar{Q}$ 端输出通过

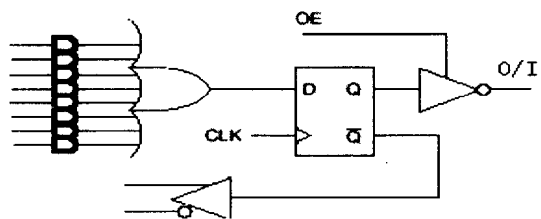


图 1-9 寄存器输出结构

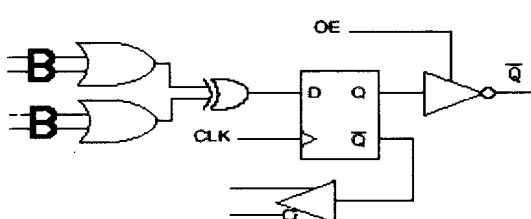


图 1-10 异或结构

下方的缓冲器反馈到与门阵列，这样就使 PAL 器件具有了记忆功能，从而能实现时序逻辑电路。这种结构也就称为寄存器结构或时序结构。另外，该结构中的 D 触发器受系统时钟控制，同一个 PAL 器件中的这种输出结构的三态缓冲器也由同一信号控制，所以这种结构容易实现同步逻辑。例如 PAL16R8 器件中 8 个输出都为寄存器型，不含组合输出即不含即时信号，8 个寄存器输出同步，属于 Moore 型电路。而 PAL16R6 器件中的中间 6 个输出属于寄存器结构，因此这 6 个输出端同步，而上下两个输出为组合型。这样 PAL16R6 器件中既有组合输出结构，又有时序输出结构，实现了 Mealy 型时序逻辑。

4. 异或结构

图 1-10 为此输出结构逻辑图。它的特点是把乘积项分成两个和项，并在寄存器型的基础上增加了一个异或门。两个和项经过异或门进行异或（XOR）运算后，在系统时钟的上升沿时存入 D 触发器，再从 Q 端经三态缓冲器输出。用这种结构的 PAL 器件实现二进制计数器很方便。

5. 算术选通反馈结构

这种结构是在异或结构的基础上加入反馈选通电路得到的，如图 1-11 所示。这个反馈选通电路可以对反馈信号 A 和输入信号 B 进行逻辑运算，产生 4 种不同形式的或门输出，分别为 $(A+B)$ 、 $(A+\bar{B})$ 、 $(\bar{A}+B)$ 和 $(\bar{A}+\bar{B})$ ，把这四种逻辑加结果送到与阵列中，使得与阵列中的输入含有或运算因子，最后通过与阵列的编程，可以获得 16 种可能的逻辑组合。这种结构的 PAL 器件对实现快速算术操作（如相加、相减、大于、小于等）很方便。该类 PAL 器件的典型产品有 PAL16A4（8 个输入，4 个寄存器输出，4 个可编程 I/O 输出，4 个反馈输入，4 个算术选通反馈输入）。

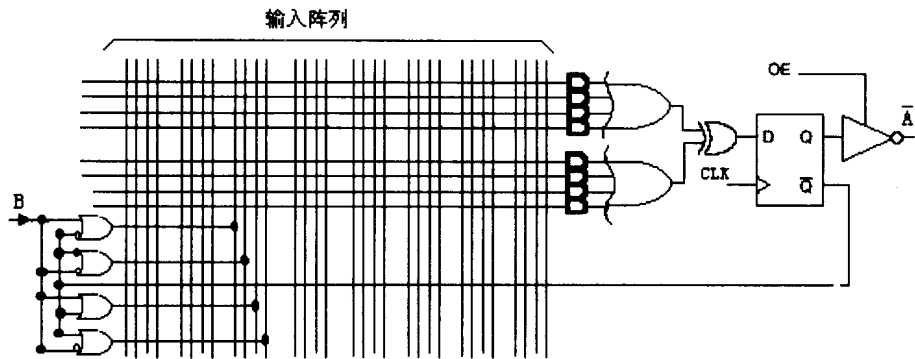


图 1-11 算术选通反馈结构

1.2.3 PAL 器件的应用

由于 PAL 器件的基本结构是与或结构，所以使用 PAL 器件的关键就在于将逻辑电路的输出函数、触发器的驱动方程等都写成与或表达式。现以实现 2bit 二进制乘法电路为例来说明 PAL 器件的使用。

由电路功能可列出 2bit 乘法器真值表如表 1-1 所示。把此表进行逻辑化简（利用卡诺图），可以得到逻辑表达式，如表 1-1 右边所示。此组合逻辑电路可用 PAL16L8 来实现，如图 1-12 所示。

可以看出，每个表达式中的积项都少于 7 个，而我们知道 PAL16L8 中的或门输入为 8 个，也就是说在本题中，每个或门至少有一个输入端未使用，按照规则，它们应加“0”信号，编程时可以通过使与项为所有变量之积来实现此“0”逻辑，其省略画法如图 1-12（与门中打“×”）所示。由此可见，用 PAL 实现一般组合逻辑电路比较容易。

表 1-1 乘法器真值表

被乘数		乘数		积			
A ₁	A ₀	B ₁	B ₀	P ₃	P ₂	P ₁	P ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

$$\bar{P}_3 = \bar{A}_1 + \bar{A}_0 + \bar{B}_1 + \bar{B}_0$$

$$\bar{P}_2 = \bar{A}_1 + \bar{B}_1 + A_0 B_0$$

$$\bar{P}_1 = \bar{A}_1 \bar{A}_0 + \bar{B}_1 \bar{B}_0 + \bar{A}_1 \bar{B}_1 + A_0 \bar{B}_0 + A_1 A_0 B_1 B_0$$

$$\bar{P}_0 = \bar{A}_0 + \bar{B}_0$$

1.2.4 PAL 器件的特点和缺陷

与 SSI、MSI 标准产品相比, PAL 器件在以下几方面显示出优越性:

- (1) 提高了功能密度, 节省了空间, 提高了速度。
- (2) 使用方便, 提高了设计的灵活性。
- (3) 通过对加密位进行编程, 实现加密功能, 可防止非法复制。
- (4) 时序型 PAL 器件在接通电源时可自动将各触发器置 0, 保证电路从起始状态开始使用, 即具有上电复位功能。

PAL 器件的出现虽然给逻辑设计带来了很大的灵活性, 相对标准电路有很多优点, 但其集成密度低, 仍有一定的局限性, 主要体现在:

- (1) PAL 器件采用熔丝工艺, 只能一次性编程, 不能改写, 使用者有一定的风险。
- (2) PAL 器件的输出结构固定, 不能重新组态, 编程灵活性较差。要满足不同的输出结构需求, 就得选用不同型号的 PAL 器件。

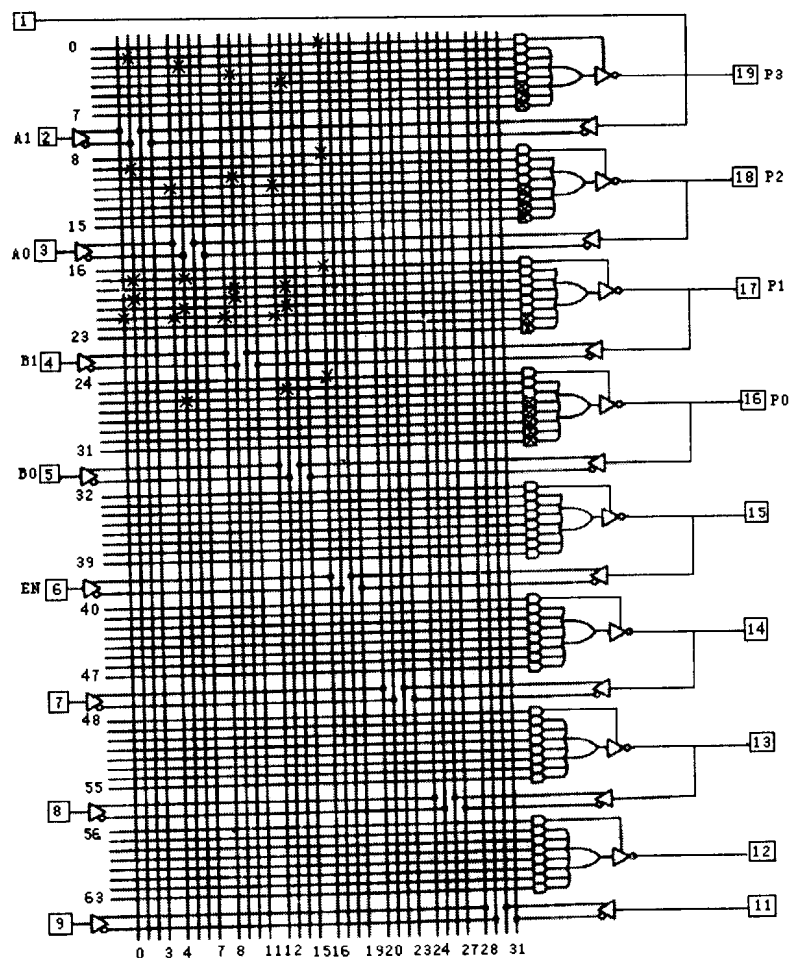


图 1-12 应用 PAL16L8 实现二进制乘法器