

超大规模集成电路 设计方法学导论

杨之廉

清华大学出版社

内 容 简 介

本书全面介绍各种设计超大规模集成电路的方法。讨论了全定制法、定制法、半定制法、可编程逻辑器件法、混合模式法、硅编译器法的特点和适用范围。介绍了层次式的设计概念。还分别论述了逻辑模拟、时序模拟、电路模拟、器件模拟和工艺模拟的作用，各种模拟所采用的算法及典型程序的应用。同时还讨论了芯片版图的生成和验证。

本书可作为大专院校微电子学和半导体器件专业、电子类专业本科生和研究生的教材，也可作为集成电路芯片设计人员、微电子工程技术人员的参考书。

超大规模集成电路 设计方法学导论

杨之廉

☆

清华大学出版社出版

北京 清华园

北京昌平第一排版厂排版

北京京辉印刷厂印装

新华书店总店科技发行所发行

☆

开本：787×1092 1/16 印张：13.5 字数：332千字

1990年12月第1版 1990年12月第1次印刷

印数：0001~4000

ISBN 7-302-00684-9/TN·20

定价：3.15元

目 录

第一章 设计方法分类和计算机辅助的作用	1
§ 1.1 集成电路的设计要求	1
§ 1.2 集成电路的设计流程	3
§ 1.3 设计方法分类	4
§ 1.4 专用集成电路与设计方法	6
§ 1.5 各设计阶段计算机辅助的应用	7
§ 1.6 设计系统与软件	9
第二章 全定制、定制和半定制设计方法	11
§ 2.1 全定制版图设计方法	11
§ 2.2 符号法版图设计	11
§ 2.3 门阵列设计方法	13
§ 2.4 标准单元法	22
§ 2.5 通用单元法	26
§ 2.6 PLD 方法.....	26
§ 2.7 不同设计方法的比较	32
§ 2.8 混合模式设计方法	32
§ 2.9 层次式设计概念	34
第三章 硅编译器	39
§ 3.1 概述	39
§ 3.2 硅编译器与语言编译的比较	39
§ 3.3 硅编译器的输入描述语言	40
§ 3.4 硅编译器的内部组成	42
§ 3.5 软件环境与设计步骤	45
§ 3.6 简单实例——随机逻辑编译器	46
§ 3.7 硅编译器的优点与限制	51
第四章 逻辑模拟	52
§ 4.1 逻辑模拟程序分类	52
§ 4.2 逻辑模拟的一些基本概念	53
§ 4.3 逻辑模拟的方法	56
4.3.1 编译方式.....	56
4.3.2 表格驱动和面向事件方式.....	58
4.3.3 硬件加速方式.....	62
§ 4.4 SPLICE 模拟程序及其应用	63
§ 4.5 SPLICE 使用举例	65

第五章 时序分析	67
§ 5.1 时序分析的目的	67
§ 5.2 时序分析的方法	68
§ 5.3 MOTIS-C 时序分析程序及其应用.....	74
§ 5.4 MOTIS-C 使用举例.....	76
第六章 电路模拟	78
§ 6.1 电路分析的作用	78
§ 6.2 SPICE 电路模拟程序及其应用	78
§ 6.3 SPICE 使用举例	80
§ 6.4 器件模型及各参数的意义	82
6.4.1 二极管模型.....	82
6.4.2 双极型晶体管模型.....	83
6.4.3 结型场效应晶体管模型.....	89
6.4.4 MOS场效应晶体管模型.....	90
6.4.5 砷化镓 MESFET 场效应管模型	102
§ 6.5 模型参数的提取	102
第七章 电路模拟程序的内部结构和求解过程	108
§ 7.1 电路模拟程序的基本组成	108
§ 7.2 电路模拟程序的流程	109
§ 7.3 输入处理	110
§ 7.4 建立电路方程	118
§ 7.5 求解方法和过程	123
7.5.1 线性电路的直流分析.....	123
7.5.2 非线性电路的直流分析.....	126
7.5.3 交流分析.....	128
7.5.4 瞬态分析.....	129
§ 7.6 牛顿迭代解的收敛性改进	136
第八章 器件模拟	139
§ 8.1 器件模拟的目的	139
§ 8.2 器件模拟的内容	140
§ 8.3 器件模拟的求解方法	141
§ 8.4 物理参数的模型	149
§ 8.5 SEDAN III 器件模拟程序及其应用	151
§ 8.6 SEDAN III 程序应用举例	155
第九章 工艺模拟	157
§ 9.1 工艺模拟的作用	157
§ 9.2 工艺模拟的求解方法	158
§ 9.3 SUPREM III 工艺模拟程序及其应用.....	162
§ 9.4 SUPREM III 工艺模拟程序应用举例.....	164

§ 9.5 SUPREM II 中的工艺模型.....	167
第十章 计算机辅助版图设计.....	179
§ 10.1 版图设计系统的构成.....	179
§ 10.2 版图编辑器.....	180
§ 10.3 版图的生成与编辑.....	182
§ 10.4 版图验证和分析.....	185
§ 10.5 图形发生器文件.....	189
§ 10.6 格式的交换.....	189
附录 I 算法基础.....	191
附录 II CIF 格式.....	201
参考文献.....	204

第一章 设计方法分类和计算机辅助的作用

§ 1.1 集成电路的设计要求

自 1959 年以来, 集成电路技术发生了惊人的变化。第一个设计出来的集成电路只有四个晶体管, 而三十年以后的今天, 在 1989 年, 一个芯片上集成的晶体管数目已超过一千万个。

集成电路经历了 SSI、MSI、LSI、VLSI 阶段, 目前已开始进入特大规模集成电路 ULSI (Ultra Large Scale Integration) 阶段。各阶段的主要特征可见于表 1-1。

表 1-1 集成电路各阶段的特征

发展阶段	MSI	LSI	VLSI	ULSI
主要特征				
元件数/芯片	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^8$
特征线宽 (μm)	10~5	5~3	3~1	<1
速度功耗乘积 (μJ)	$10^2 \sim 10$	10~1	$1 \sim 10^{-2}$	$< 10^{-2}$
栅氧化层厚度 (nm)	120~100	100~40	40~15	15~10
结深 (μm)	2~1.2	1.2~0.5	0.5~0.2	0.2~0.1
芯片面积 (mm^2)	<10	10~25	25~50	50~100
被加工硅片直径 (mm)	50~75	100~125	150	>150

随着集成技术的发展和集成度的迅速提高, 集成电路芯片的设计越来越复杂, 原有的传统方法——手工画图、刻红膜的方法已无法适应, 急需在设计方法与设计工具方面来一个大的变革。这就是经常谈论的“设计革命”。各种计算机辅助设计手段的涌现以及设计方法学的诞生正是为了适应这种要求。

设计一个芯片时有以下几方面的要求。

第一是设计时间。设计时间不仅影响设计费用和产品成本, 而且会由于设计时间过长, 而失去新产品投入市场的机会。

在芯片设计中, 版图设计尤其花费时间。按常规方法, 一个版图绘制人员每天约画 5~10 个器件 (包括检查和修改)。如果我们要设计一个有一万个 MOS 晶体管的芯片就需要 40~80 个人月; 如设计一个有十万个器件的芯片则大约要花 60 个人年。而这又不可能单纯依靠增加版图设计人员来缩短设计周期。

微处理器 Z8000 的设计是一个典型例子。它采用 N 沟硅栅工艺, 晶体管总数为 17,500 个, 芯片面积为 39.3mm^2 。主要依靠人工来完成, 总共要花费 13,000 个人时, 其中约 50% 的工作量即 6,600 个人时用于版图设计。各设计阶段所花费的时间见表 1-2。

第二是设计的正确性。目前, 在一个芯片上所集成的是很复杂的电路甚至是一个子系统, 要对这样的芯片进行一次修改, 所要花费的代价是昂贵的, 因此必须保证设计的正确

表 1-2 设计 Z80 和 Z8000 所花费的人月数

设计各阶段	品种	Z80	Z8000	Z8000 芯片设计师的工作量在 总时间中所占比例
	花费时间			
确定功能		5*	15*	40%
逻辑/电路设计		7*	11*	100%
版图设计		8* 10**	8* 30**	26%
测试程序编制		6*	10* 3**	65%

* 高级技术人员 ** 助理技术人员

无误。但随着集成度的增加，在设计中引入错误的几率也随着加大。对于小规模集成电路还可以采用人工检查，而对于大规模及超大规模集成电路即使投入大量的人力也难以检查出所有的错误。这就要求在设计每个阶段都要进行反复的验证和检查。

第三是设计成本。每个芯片的成本可以由下式计算而得：

$$C_T = \frac{C_D}{V} + \frac{C_P}{yn} \quad (1-1)$$

式中， C_D 为开发费用； C_P 为每片硅片的工艺成本； V 为生产数量； y 为平均成品率； n 为每片硅片上的芯片数目。

公式表明，对于小批量生产应减小开发费用。而对大批量生产，应增加成品率和每一硅片上的芯片数。为了增加 y 和 n ，又必须减小每个芯片的尺寸。减小芯片尺寸的途径有：

- (1) 减少每个功能所需的电路数目；
- (2) 减少器件数和每个器件的尺寸；
- (3) 减少布局和布线中的所谓“死区”(无用区)。

第四是产品的性能。集成电路的性能主要决定于所选择的器件结构和电路形式，但是对于高速和低功耗的电路来说不能忽视版图设计对电路性能的影响。我们可以从下列公式中得出这一结论。

电路的延迟时间 T_{pd} 可表示为

$$T_{pd} = T_{pd0} + \frac{V_L(C_w + C_G)}{I_P} \quad (1-2)$$

电路的功耗 P_d 可表示为

$$P_d \propto \begin{cases} I_P V_{DD} & \text{对有比电路} \\ f(C_w + C_G + C_0) V_L^2 & \text{对无比电路} \end{cases} \quad (1-3)$$

式中， V_L 为逻辑摆幅； I_P 为晶体管峰值电流； V_{DD} 为电源电压； C_w 为连线电容； C_G 为总的扇出栅电容； C_0 为总的自电容； f 为工作频率。很明显， I_P 的增加会导致速度提高但却使功耗增加， C_w 的减小 (C_w 正比于连线长度) 会带来高速和低功耗。所以得到一个紧凑的版图，使连线长度减少对于获得高性能的产品是必须的。但紧凑版图的获得必然增

加设计工作量。

最后还必须考虑采用何种工艺技术。版图设计强烈地依赖于工艺技术水平，而这体现在版图设计所采用的设计规则上。

设计规则是规定生产工艺中可以接受的尺寸要求和可以达到的电学特性。因此设计规则既是工艺制造时应该达到的规范，也是设计人员在设计时必须遵守的准则。设计规则规定了最小线宽、最小容差及最小器件尺寸等，同时规定了设计者可以使用的参数范围，如开启电压、薄层电阻等的允许范围。随着工艺水平的提高，各种器件尺寸会不同程度地下降。因此要求设计一个高密度的、高成品率的产品时就需要一套相当复杂的设计规则。但对于生产量很小的产品，就可以采用简化的设计规则。

综上所述，一个集成系统的设计就是在保证产品质量的前提下，正确地选择器件结构、电路形式、工艺方案和设计规则，同时要尽可能地减小芯片尺寸，降低设计成本和缩短设计周期。

§ 1.2 集成电路的设计流程

当前典型的设计流程如图 1-1 所示。现有流程的主要特点是顺序地进行系统设计、逻辑设计、电路设计和版图设计，以及逐次地在各层次进行反复验证和比较。

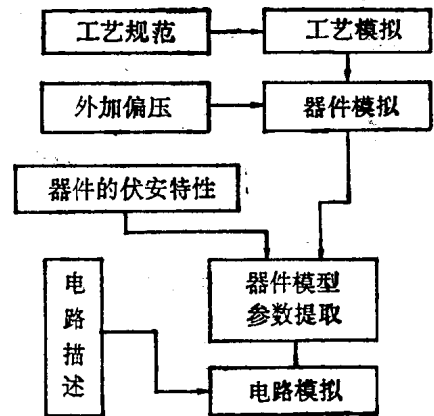
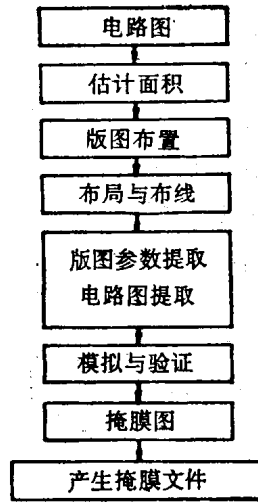
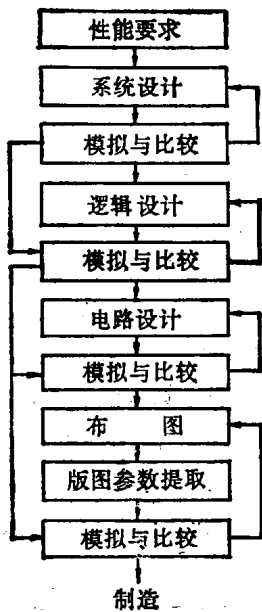


图 1-1 集成电路设计流程 图 1-2 布图的详细步骤 图 1-3 器件模型参数的提取过程

其中布图这一过程又可详细分解成以下几步，见图 1-2。布图以后的模拟常称为后模拟。它是把版图中的寄生参数和实际版图参数提取出来，再进行模拟，并与布图前的模拟结果相比较，看是否相符。若不符合设计要求，则应重新布图。电路图提取是为了验证实际的布图结果与原要求的电路图是否一致。

电路模拟时所需的器件模型参数可以设法从器件伏安特性的测量值中提取，也可以从

工艺模拟和器件模拟所得到的特性曲线中提取。这一过程示于图 1-3。

§ 1.3 设计方法分类

目前集成电路已渗透到各个应用领域。它的品种从微处理器、数字式电话一直到电子玩具和家用电器。由于品种的不同，在性能和价格上有很大差别，因而实现各种设计的方法和手段也就有所不同。

总的来讲，我们希望能尽可能短的时间内用最低的成本来获得最佳的设计指标，而所用的芯片面积又是最小的。但实际上要全面达到这种要求是很困难的，只能进行某种折衷。

如果一个半导体制造厂想推出一种新的功能最强的微处理器芯片，就需要进行精心的设计。为了提高芯片的工作速度，就要采用最佳的随机逻辑网络，并把芯片设计得最紧凑，以节省每一小块面积。

但是有很多产品，产量不大或者不允许设计的时间过长，这时只能对芯片面积或性能作出某种牺牲，并尽可能采用一部分已有的、规则结构的版图。

为了争取时间或市场，也可先用很短的时间设计出芯片，在占领市场的过程中，再予以改进，进行一次再开发、再设计。

根据不同的设计要求，现有的各种设计方法可归纳如下：

一、全定制设计方法 (Full-Custom Design Approach)

它适用于要求得到最高速度、最低功耗和最省面积的芯片设计。这种方法通常采用随机逻辑网络，因为它能满足上述要求。但版图设计通常需要人来不断完善，以便把每个器件及内连接安排得最紧凑、最合适，因而特别花费时间。

Z8000 就是一个完全由随机逻辑网络组成的芯片（共 17,500 个晶体管），但是这样的芯片已不多见。目前很多芯片已采用或部分采用规则结构网络 (Regular Structured Network)，如 ROM、RAM 或 PLA，因为这类规则结构的版图设计比较容易，易于用自动设计手段实现。而部分随机逻辑网络也逐渐走向模块式结构 (Modular-Structure)，例如计数器、行波进位加法器等。这种标准的模块式结构的版图设计比非标准的随机逻辑要容易得多，且便于检查。70 年代末，在 LSI 芯片中随机逻辑网络的面积比例约占整个芯片面积的 30~40%。预计在 VLSI 芯片中这个比例会减小。但是应该指出，即使规则结构网络被广泛使用，随机逻辑网络仍对芯片的性能起着关键的作用。

为了提高全定制设计方法的效率，减少错误，现正采用层次式设计手段 (Hierarchical Method)。

符号法版图设计法也属于全定制类。但实际上只能称它为“伪”全定制设计，因为要全局地减小芯片面积对符号法还有一定的困难。

二、定制设计方法 (Custom Design Approach)

它适用于芯片性能指标比较高而生产批量又比较大的产品设计。通常分为两种：

(1) 标准单元法 (Standard Cell Method)，其商业名称为多元胞法 (Polycell)。

(2) 通用单元法 (General Cell Method)，或称为积木块法 (Building Block)。

以上通称库单元法。在设计时根据电路要求从库中调出所需单元和外围单元（包括

压焊块), 进行自动布局和布线, 最后得到被设计电路的掩膜版图。它的特点是元件得到充分利用, 芯片面积较小, 设计上的自由度较大。但建立一个单元库需要大量的初始投资。此外, 制造周期较长, 成本也较高。

三、半定制设计方法 (Semi-Custom Design Approach)

它适用于要求设计成本低、设计周期短而生产批量小的芯片设计。

门阵列 (Gate Array) 及最近发展起来的门海 (Sea of Gate) 就属于这一类。

门阵列是预先在芯片上生成由基本门 (或单元) 所组成的阵列, 即完成连线以外的所有的芯片的加工步骤。

半定制的含义就在于对一批芯片作“单独处理”, 即单独设计和制作接触孔和连线以完成电路的要求。这样就使从设计到芯片完成的整个周期大大缩短, 因而设计和制造成本大大下降。但门阵列的门利用率一般较低, 芯片面积较大。

四、可编程逻辑器件 (Programmable Logic Device) 法

其特点是“可编程”, 往往由制造商提供通用器件, 而由设计者根据需要进行“再加工”实现其特定的逻辑。如果说门阵列的“单独处理”由芯片制造商用 2~4 道掩膜工序来实现的话, PLD 的“可编程”则由设计者通过开发工具自己来完成, 这就大大方便了用户。

可编程逻辑器件一般包括:

- (1) 可编程只读存储器 (PROM);
- (2) 可编程逻辑阵列 (PLA、FPLA);
- (3) 可编程阵列逻辑 (PAL);
- (4) 通用阵列逻辑 (GAL);
- (5) 其它可编程器件 (如可编程微顺序器、专用 PLD 等)。

五、混合模式设计方法

随着 VLSI 复杂性的增长, 在整个芯片中只利用一种设计方法已认为是不经济的。因而提出了混合模式, 即把不同的设计方法加以优化, 并组合而构成一体。如近年提出的 IMSA (Integrated Modular and Standard cell design Approach) 就是一例。它把人工设计、标准单元法和 PLA 法用于一个芯片设计中, 取得了满意的结果。

六、硅编译 (Silicon Compiler) 法

它是一种全自动的设计方法。利用这种方法可从集成电路的行为级描述直接得到该电路的掩膜版图。以硅编译器为基础的 VLSI 设计系统为系统设计人员提供了一种真正的设计自动化工具。

除以上六种外, 还有如栅列阵 (Gate Matrix) 法等正在开发中的其它设计方法。

要对各种设计方法作出全面的比较是复杂的。现用图 1-4 说明采用不同方法时, 成本与产量之间的关系。可以看出, 为了得到合理的成本, 不同的设计方法有不同的最小产量。对于全定制设计方法设计的芯片, 只有当产量超过 10 万块时, 它的价格才是可接受的。而对于门阵列芯片, 生产量只要超过一万块时, 就有明显的竞争能力。

从设计自动化的程度来比较不同的设计方法, 可见图 1-5。其中硅编译法自动化程度最高, 符号法的设计自动化程度最低。

还应该指出, 自动化实现的难易与约束条件有关。一般讲, 约束限制越多, 实现自动化越容易。但约束条件会带来布局和布线上的种种限制, 而导致芯片面积增加和性能降低。

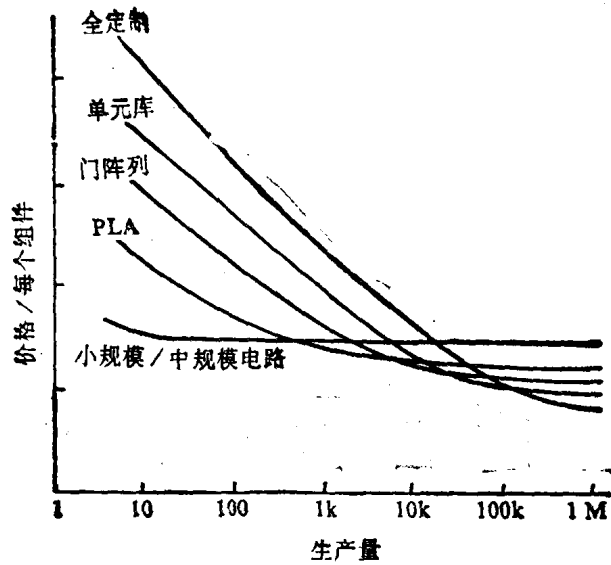


图 1-4 不同设计方法时成本与产量的关系

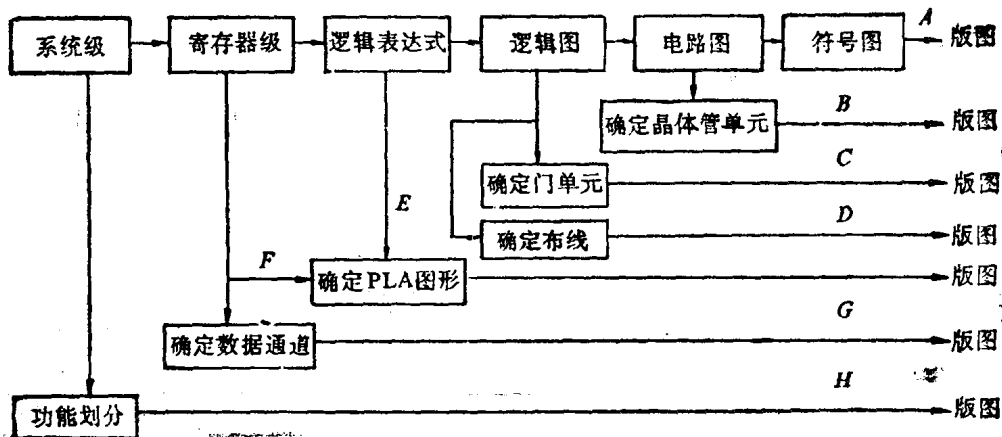


图 1-5 设计自动化程度的比较

A——符号法；B——晶体管单元法；C——标准单元法；D——门阵列法；E, F——PLA法；G——数据通道法；H——硅编译法

§ 1.4 专用集成电路与设计方法

ASIC(Application Specific Integrated Circuit) 直译为“专用集成电路”。这种电路实际上早就存在。它面向专门用途，而区别于标准逻辑(Standard Logic)电路或通用存储器及通用微处理器电路。

这一术语得到广泛的传播和重视是在80年代中期以后。ASIC的提出和发展说明集成电路进入了一个新阶段。通用标准的集成电路和人工全定制电路已不能适应电子工业的急剧变化。各个厂家都希望生产具有特色、个性的产品，要求增加品种型号，加快产品更新。而只有ASIC才能迅速地生产出具有竞争力和保密性的新产品。

ASIC并不是一个学术名词，它的含义并不确切。广义地讲，几乎所有有专门用途的、

而又不属于标准逻辑电路或通用存储器及通用微处理器的、新开发的产品都可以称为 ASIC。ASIC 产品可以采用任何一种设计方法来实现。既可以采用全定制方法,也可以采用定制、半定制方法,或者用硅编译法。

目前对 ASIC 有另一种狭义的理解,即 ASIC 是根据用户的特定要求,能够以低研制成本、短的交货周期供货的半定制电路和定制电路。根据这一狭义的定义,实现 ASIC 的主要方法是门阵列和库单元法。

目前门阵列占 ASIC 产品的 60% 以上,已有系列化产品出现,规模可达数万门,十几万门的门阵列也已研制成功。门阵列现有 CMOS、NMOS、ECL、TTL 和 BiCMOS 等不同工艺。

标准单元目前的产值次于门阵列而列居第二位。但它的发展速度最快,最富有活力,因为可以在它的基础上开发含有 ROM、RAM、ALU 等的数字 ASIC,以及含有模拟电路的混合型 ASIC。标准单元也已有系列化产品出现。

ASIC 电路的蓬勃发展正在极大地推动着设计方法学的研究及设计工具的完善,同时也促使系统设计人员与芯片设计人员的结合与渗透。“门海”的出现就是一例。ASIC 中最广泛使用的是门阵列设计方法,但门阵列的固有弱点之一是通道固定,门的利用率低。为了解决这一问题,研究出了“门海”技术。在 ASIC 的研制方式上也更多地采用用户(系统设计人员)与厂商(芯片设计人员)共同结合,联合设计的方式。

§ 1.5 各设计阶段计算机辅助的应用

目前在集成电路的各个设计阶段,从系统设计一直到样片测试都已广泛采用计算机辅助。计算机辅助设计的作用是缩短设计时间,减少设计错误和反复,当需要改变设计时能做到及时而又方便。此外,计算机能用图表或文字报告分析及验证结果,并指出正确与否。

一个比较完整的设计系统示于图 1-6。

设计人员可以在彩色图形终端上,利用鼠标器或小数字化板,调用图形库中的各种逻辑符号来产生逻辑图,连接关系是根据逻辑网络的要求在系统功能键作用下,用连线连接而成。一旦完成了逻辑图,用户就可以将它存入逻辑数据库,以便今后调出进行检查和修改。

已产生的逻辑图可提交逻辑设计规则检查(如检查有无悬空点,是否违反扇出要求等),如检查无误可产生网单表(或称连接网表)。下一步可进行(版图前)逻辑模拟。数据库与现用的逻辑模拟程序之间有一接口。设计人员不必再书写逻辑模拟时所需的输入文件,而只要给出有关的命令和数据,以控制模拟的进行。

同样地,可以进行电路图的输入和电路模拟。在较完善的设计系统上,用户不仅可以调用图形库中的电路符号,甚至可以调用某一集成电路的管脚排列图,并利用数据库中该集成电路的性能信息,直接进行电路模拟。

在模拟工作完成后,设计人员可在图形终端上进行版图的生成和编辑。

对全定制设计系统,可利用图形库所提供的各种菜单和图形,通过人机交互方式,产生所需的直线、矩形、多边形等图形并进行增添、删除、放大缩小等编辑功能以产生所

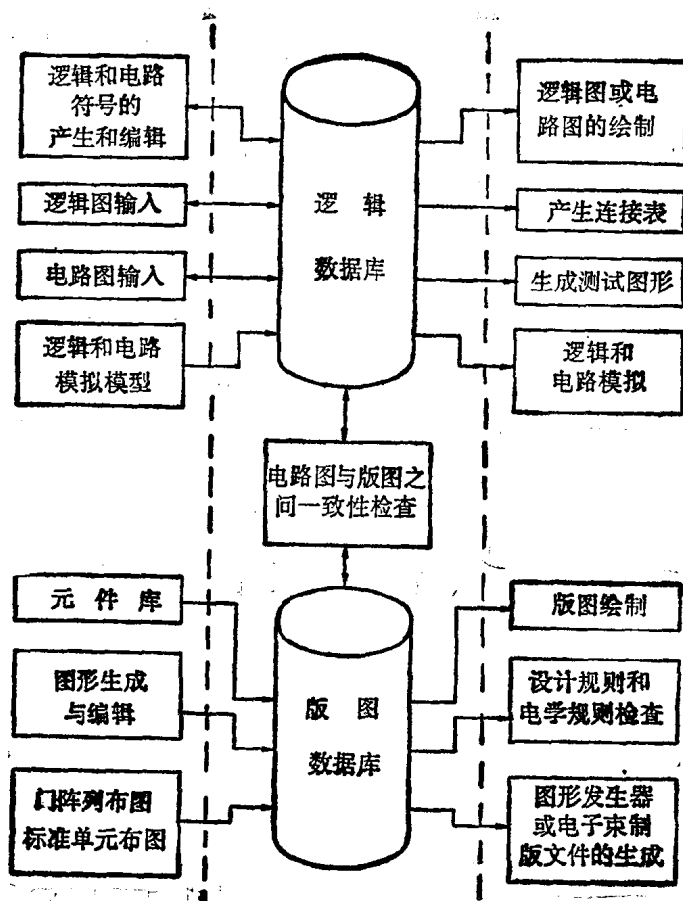


图 1-6 设计系统示意图

需的版图图形。

对于半定制、定制设计系统，由用户输入网单表，设计系统将自动进行布局布线，调用库内单元或宏单元完成正确的连接。如有个别地方无法自动连接，将进行人工干预。

在掩膜版图完成之后，将进行一系列的检查，“逆向”验证和后模拟（版图后）。

检查内容包括设计规则检查、电学规则检查、连线正确性检查。

“逆向”验证是将已得到的实际掩膜版图再次转换成电路图，并与原要求的电路图进行一次一致性比较。有的甚至将提取出来的电路图再次转换成逻辑图，并与原要求的逻辑图进行比较。

后模拟是将提取出来（版图设计后引入）的寄生参数加到模拟时的输入文件中，再进行一次模拟，以确认该版图设计是否符合产品的要求。因为过多寄生因素的引入，会使该设计达不到原来的要求。

计算机辅助除应用在电路设计阶段，另一重要应用是在器件和工艺设计阶段。

工艺计算机辅助是将各制造工序中的工艺规范作为输入，通过模拟确定杂质在各物理截面中的分布，这样可减少工艺“试流水”的盲目性，特别有利于制订合理的工艺规范。器件计算机辅助是将杂质分布和外加电压作为输入，提取出器件的电流-电压特性，及载流子和电位、电流分布。在了解器件特性和设计器件方面它已成为一种不可缺少的工具。近

年来已出现了将工艺模拟与器件模拟合在一起，以及将它们再与电路模拟合在一起的一体化模拟程序，从而进一步加强了计算机辅助设计的作用。

§ 1.6 设计系统与计算机软件

近年来，为了计算机辅助设计的需要，开发了许多设计系统及软件工具。

一、人机交互图形系统

60年代末首次出现了用于版图设计的人机交互图形系统。

它的主要功能有：

- (1) 交互式的图形输入和编辑，并允许图形数据的多层嵌套。
- (2) 设计规则检查。
- (3) 转换到图形发生器或电子束制版设备的控制文件。

随着 VLSI 设计的需要，这类系统的硬件配置逐渐从 16 位机转向 32 位机，从小型机发展为超小型机。在软件方面增加了符号法（包括符号法所用的压缩程序）作为标准配置。其典型的硬件配置示于图 1-7。

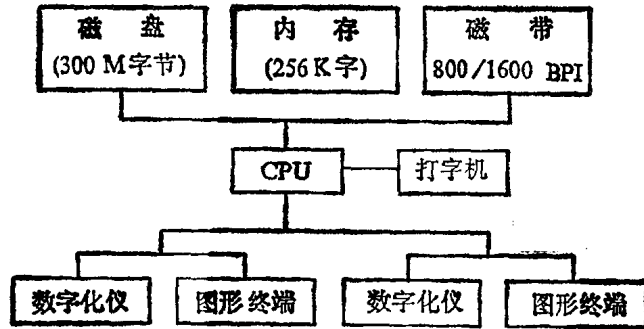


图 1-7 人机交互图形系统的硬件配置

二、CAE 工作站

80 年代初引入了设计工作站 (Engineering Workstation)。上述的人机交互图形系统，一般称之为 CAD 系统，实际上是一种灵巧的作图工具，主要是针对版图设计的要求而开发的。而 CAE 工作站的开发则是为了给逻辑设计者提供一个充分的逻辑设计环境，完成整个系统设计，并允许与各种模拟程序合成一个整体。因此一般 CAE 系统都包括逻辑图（电路图）输入和逻辑模拟功能，并进而扩展到电路模拟，测试诊断等。初期的 CAE 工作站在版图设计方面的功能不如上述的 CAD 系统，一般只限于处理长方形和具有 45° 斜线的图形。

更完善的 CAE 工作站可以进行图形化的版图平面布置，这时可完成高层次的模块布局。在详细的版图设计以前先确定连线方案。在图形处理功能上也比早期的系统大大加强。

这类 CAE 工作站以一高性能的 CPU 作为控制器，目前的工作站其主存为 1~8M 字节，速度在 1 MIPS 以上。支持多窗口功能，即在屏幕上有几个视口同时出现。一般这类工作站通过局部网与大型或巨型机相连。

随着 CAE 工作站的出现, 最初形式的人机交互图形系统正被逐渐淘汰。CAE 工作站中除了有全定制软件外, 还逐渐加入了门阵列、标准单元法的自动设计软件, 使功能进一步加强。

三、通用的软件工具

这类软件包括各类模拟分析用软件。它们有: 功能级模拟、门级或开关级逻辑模拟、时序模拟、电路模拟、故障模拟、器件模拟、工艺模拟。

在验证软件方面, 已有的商业用软件是: 电学/设计规则检查、版图参数提取、版图与电路图一致性检查。

以上这些软件可以装入某一设计系统或单独运行于大型或巨型机上。

随着集成电路进入 ULSI 阶段, 我们即将跨入一个新的领域, 即集成系统 (System in Silicon) 领域。

这就要求在设计思想上有一个新的突破。设计人员必须在低层次上花费较少的时间, 而把更多的精力集中于高层次即研究系统方面的问题。现有的 CAD 和 CAE 系统提供了设计常规芯片的功能, 但依靠这种系统设计超级芯片是很困难的。因此新的系统必须具有一个统一的环境, 以保证数据的可靠性和一致性, 同时要求在各种设计工具之间具有快速的数据传递和流动, 且具有方便的界面。这些要求将推动现有设计系统的进一步提高和新的软件工具的出现。

例如理想的设计方法将以综合处理整个设计为特征, 如图 1-8 所示。

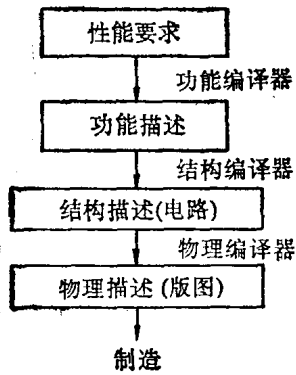


图 1-8 理想的设计方法

不久还将出现一种在算法难于处理情况下的程序设计方法, 即专家系统, 图 1-9 表示了这种专家系统的框图。

在新的模拟程序方面将会出现模拟小尺寸器件的新的二维、三维器件模拟程序, 二维工艺模拟程序, 以及模拟化合物半导体、异质结的器件模拟程序等。

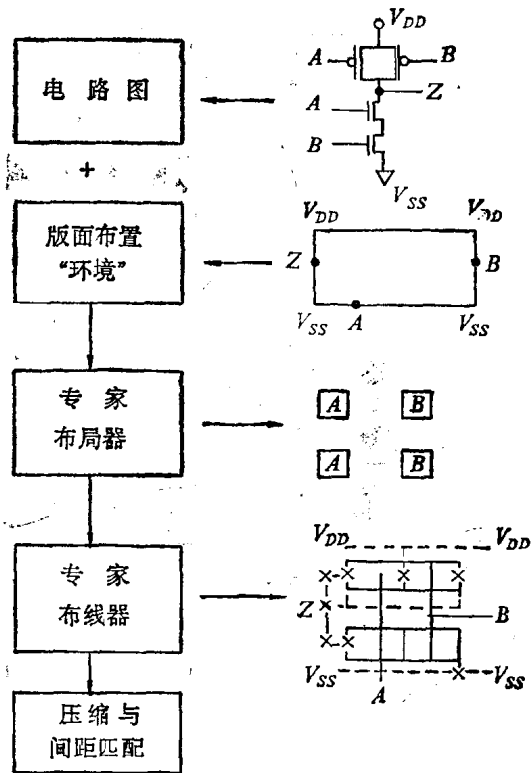


图 1-9 专家系统框图

第二章 全定制、定制和半定制设计方法

§ 2.1 全定制版图设计方法

这种方法是利用人机交互图形系统，由版图设计人员设计版图中的各个器件和连线。

全定制版图设计的特点是针对每个晶体管进行电路参数和版图参数的优化，这样可以得到最佳的性能（包括速度和功耗）以及最小的芯片尺寸。但由于它的效率很低，一个版图绘制人员每天约画 5~10 个器件，因而对于具有几十万或几百万个晶体管的超大规模集成电路来说，这种方法显然不适合。但对于具有重复性结构的网络如 RAM、RISC、阵列机等它仍然很有效。对这些网络中的单元进行精心的人工设计，然后利用人机交互图形系统所具有的重复或形成矩阵的功能得到整个网络的结构，其效率仍然很高。

采用这种方法时除了要求有人机交互的图形系统支持外，还要求有完整的检查和验证的 CAD 工具，因为设计人员不可避免会造成版图上的某些错误，需要通过自动的工具加以彻底地纠正。这些工具包括设计规则检查、电学规则检查、连接性检查、版图参数提取、版图与电路图一致性检查等。

§ 2.2 符号法版图设计

这是为了提高版图设计效率而开发的一种设计方法。它利用一组事先定义好的符号来表示版图中的晶体管、接触孔、多晶硅和铝引线等。典型的符号定义如图 2-1 所示。

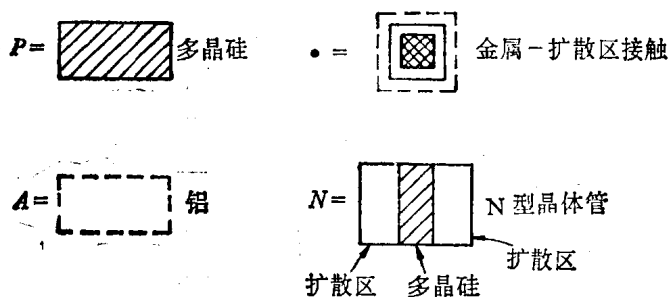


图 2-1 各种符号定义

设计人员根据网络要求画出一相应的符号图，自动转换程序再将这些符号自动地转换成版图图形。这时人们不必考虑版图规则的细节，也不存在违反设计规则的问题。

目前有三种符号法：（1）固定栅格式；（2）梗图式；（3）虚网格式。

固定栅格式是把芯片表面划分成均匀间隔的栅格。栅格大小表示最小的特征尺寸或布局上的容差。

设计人员根据要求将这些符号画在栅格图上，如图 2-2(a) 所示，经自动转换得到图

2-2(b) 所示的版图形式。

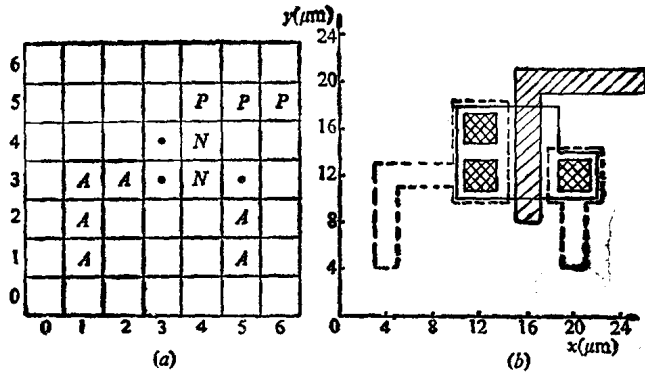


图 2-2 固定栅格的符号图及对应的掩膜形式

梗图式 (Stick Diagram) 是设计人员根据网络图画出一对应的梗形草图。符号法设计系统将其整理成规则的梗形图, 再进一步转换成版图形式。

由于梗形草图是自由画制, 符号之间的间距并不固定, 因而转换得来的版图可能有空余的空间, 这时符号法设计系统利用一种自动压缩程序在 x 和 y 方向分别将版图压缩到设计规则所允许的最小间距。整个过程示于图 2-3。

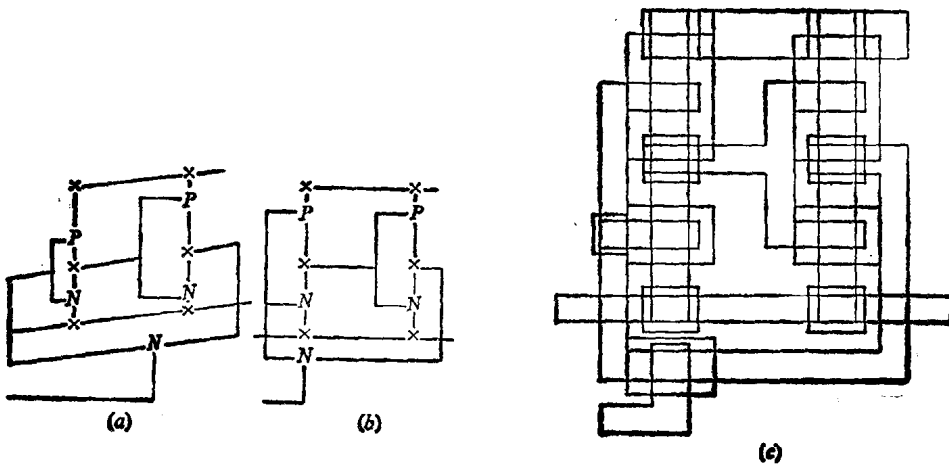


图 2-3 梗形图与对应的版图

虚网格符号法是在吸收了其它符号法的经验基础上发展起来的。

这里引入了一个“虚”网格的概念, 即网格线之间的最终间距取决于相邻网络上电路元件密度和相互关系, 它不再是固定的。这个概念通过图 2-4 可以得到很好的说明。

图 2-4(a) 中有四个图形, 并分别对处于各个网格线。如果采用 10 个单位的固定栅格, 线宽取 10 个单位, 间距也取 10 单位, 则得到的掩膜图为图 2-4(b)。如果采用虚网格方式, 网格线间距将按拓扑关系而变, 就可得到图 2-4(c) 所示的掩膜图。对某些虚网格压缩器来讲, 还可得到如虚线 (指小方格) 所示的掩膜图。

这样, 对于设计人员来讲, 在网络上进行布局时不必考虑任何设计规则的要求。

与人工全定制版图设计相比, 符号法有明显的优点, 它的设计工作量明显下降, 版图