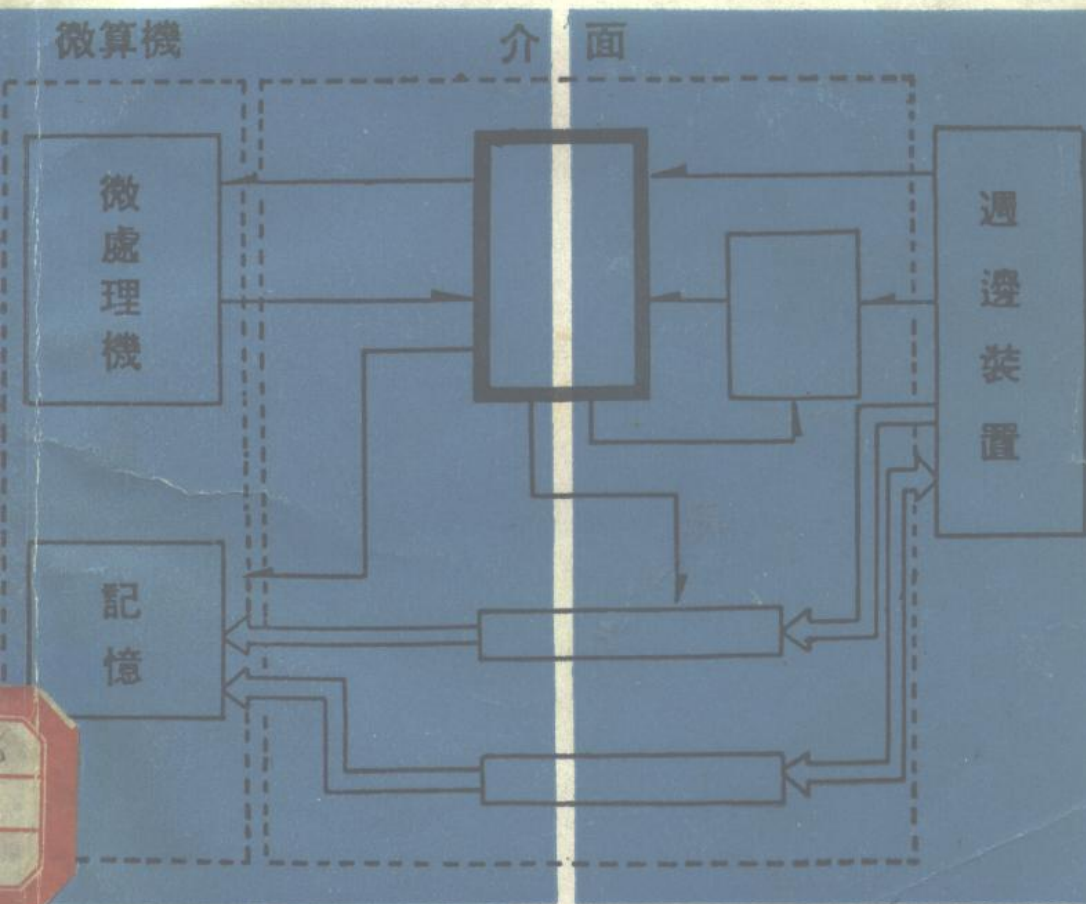


微處理機介面技術

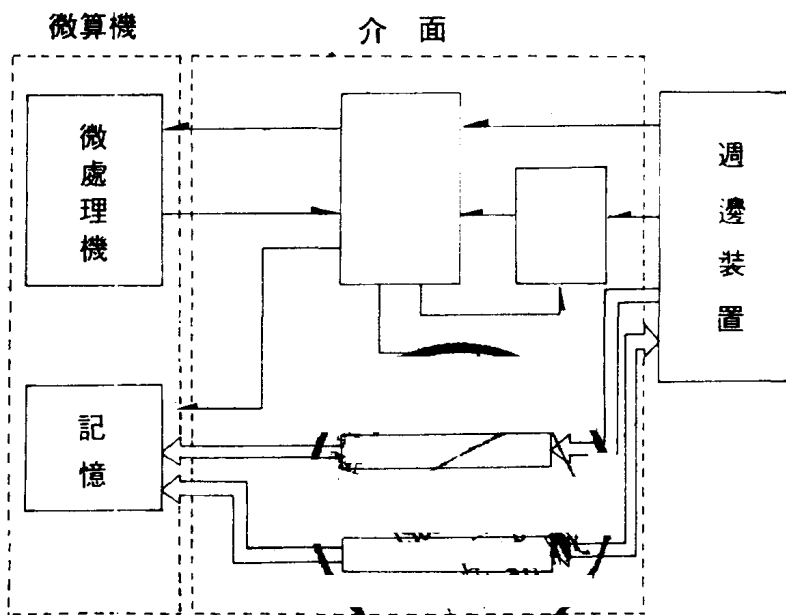
于憲厥 編譯



全華科技圖書公司

微處理機介面技術

于憲厥 編譯



851.0119
全華科技圖書公司印行

譯 者 序

1971年Intel公司推出了第一個四機元微處理機。此後的短短七、八年間，微處理機已經由四數元發展為八數元，十六數元，而應用的範圍也由收銀機擴及工業控制，小型資料處理，甚至家用電腦等等。由於微處理機的功能愈來愈複雜也愈來愈好，因此我們可以斷言，微處理機將在各方面扮演日益重要的角色。

微處理機必須與適當的介面相配合，才能構成完整的系統。自從LSI技術快速發展後，微處理機的介面已經逐漸由“藝術”而變為“技術”。可是這些技術通常只散見於各製造廠家的使用說明中，並沒有整體性的解析。“微處理機介面技術”這本書正好可以彌補這個缺憾。它從最基本的RAM，ROM介面開始，一直介紹到軟性磁碟與類比電路的介面。最後還討論了一個設計實例。全書脈絡相承，是討論介面技術難得一見的好書。

本書譯自原書第二版（1978年）。與第一版（1977年）相較，增加了不少最新的資料。讀者詳讀此書，將獲益匪淺。譯者工作之餘翻譯此書，難免有思慮不週之處，尚祈讀者不吝指教。

于憲厥謹識

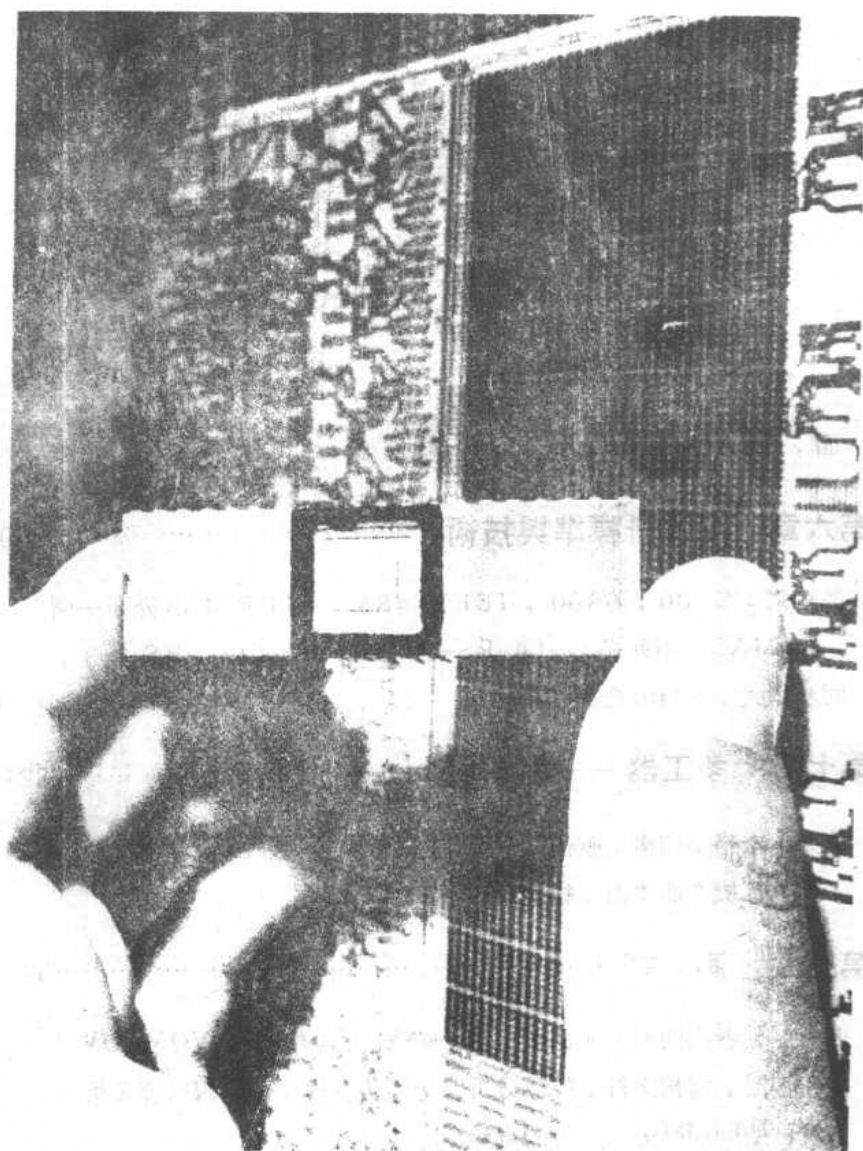


图 1.0

2010128

目 錄

第一章 緒 論	1
---------	---

概念，將要討論的技術，匯流排簡介，匯流排細節

第二章 組合中央處理機	13
-------------	----

簡介，8080，6800，Z-80：動態記憶元件，8085

第三章 基本的輸入——輸出	43
---------------	----

8085，6800系統並列，串列LSI介面晶方，間斷，DMA控制器，有用的電路

第四章 週邊設備介面	85
------------	----

鍵盤，LED，電傳打字機，紙帶閱讀機，步進式馬達，信用卡閱讀機，CRT，智慧型介面，卡式錄音機，軟性磁碟，再論動態記憶元件，音樂合成器

第五章 類比電路——A/D與D/A轉換	243
---------------------	-----

簡介，觀念上的D/A，實際的D/A，實際的產品，A/D，抽樣定理，連續近似法，積分法，直接比較轉換法，實際的產品，D/A介

面，資料收集子系統，定比，偏移，結論

第六章 匯流排標準與技術.....269

並列式：S100，6800，IEEE-488，IEEE-488介面一例
，CAMAC，串列式：EIA RS-232C，RS422，RS423，
同步格式，S100介面一例

第七章 多工器——實例研討.....321

簡介，規格，結構，軟體，CPU模組，RAM模組，USART模組
，主計算機介面模組，結論

第八章 測 試.....343

簡介，何者有問題：元件，雜訊，軟體；工具與方法：VOM，DVM
，示波器，邏輯探針，特徵分析器，模仿，模擬，邏輯狀態分析器
，實例的問題歷史，完美的實驗枱

第九章 未來的進展.....381

新的晶方—單晶方系統，塑膠軟體，通用可規劃式介面

1

緒 論

目 的

這本書的目的是要說明微處理機與外界交接時所須要的一套完整的技術。由於新的、應用了絕大多數硬體設計技術的LSI介面晶方的問世，介面技術已經變的簡單容易。

由藝術至技術

在傳統上，微計算機介面是一種藝術：設計複雜的邏輯電路板，以便處理在處理機與外界聯繫時所必須的資料的傳送與同步信號，傳統上，處理機本身就須要一塊或更多的邏輯電路板，每一個輸入／輸出介面傳統上須要一塊或更多的邏輯電路板。在絕大多數的情況下，這種多電路板的作法已經是落伍了。大型積體電路（Large scale integration, LSI）現在已經可以將一個完整的（或者近乎完整的）CPU 做在一個晶方上。微處理機所創造的新市場使得製造廠商必須要能夠提供所須要的支持元件。裝配一個完整系統所須要的電路板絕大部份都已經被縮小成為LSI晶方。從1976年開始，甚至連元件控制器介面晶方也都問世了，它們在介面設

8510129

計所扮演的角色正如同微處理機在 CPU 設計上所扮演的角色一樣。

今天，一個完整的介面電路板，或是它的絕大部份，已經被縮小成爲幾個 LSI 晶方，這樣做所付出的代價，正如同微處理機的情形一樣，其電路結構在 LSI 晶方裡已經是固定了的。

現在已經可能將一個完整的微計算機系統，包括介面的電路，用很少數目的 LSI 晶方來構成。如果你仍然使用一塊或更多的邏輯電路板來構成你的介面電路，你的設計可能已經落伍了。

微處理機介面電路晶方現在還沒有到達成熟的階段。它們仍然是“愚笨”的晶方。換句話說，它們只能執行很少的幾個命令。由於處理元件的價格很低，可以預見在不久的將來絕大部份的微處理機介面晶方將會變爲可以完全程式化。它們會變成“處理機裝備的”，可以執行很複雜的程式步驟。它們將會變爲“有智慧”的介面電路。

雖然目前還沒有進步到這第二個階段，這本書所介紹的所有技術在未來還是正確的。利用軟體或硬體來達成某個目的永遠是利弊互見的。隨著新元件的引進以及每個特定系統設計時的考慮，這兩者的利害權衡也會因之改變。

硬體 / 軟體的利弊

這本書要很詳細的說明解決所有常見的介面問題的技術。像設計計算機一樣，這些技術的絕大部份都可以用硬體（元件），或用軟體（程式），或用兩者，來實現。在硬體的高效率與軟體的低元件數目之間，系統設計者永遠要找出一個合理的，妥協的實施方式，這兩種情形都會舉例加以說明。

標準的微處理機系統

在這本書中，將要以“標準的微處理機”作爲參考。目前標準的微處理機是 8 位元微處理機（8-bit microprocessor），例如 Intel 8080，8085，Zilog Z-80，Motorola 6800，Signetics 2650 等等。由於

雙排包裝接腳數目的限制，8—數元微處理機是目前標準的型式。理由很簡單：

由於經濟上的考慮，接腳的數目被限制為 40（或 42）。用來測試超過 40 個接腳元件的工業用測試機器或者是沒有，或者是貴的驚人。所有標準的測試機器最多只能測試 40 個或 42 個接腳，除此而外，超過 40 個接腳時，包裝本身的成本也增加的很快。

由於 MOS LSI 在製造上所能達到的密度受到限制，所以目前還不能將完整的記憶元件與輸入／輸出裝置做在微處理機的晶方上。在標準的系統中，微處理機本身（簡寫為 MPU），或許再加上定時脈波，是做在單一的晶方上。記憶元件（只讀記憶元件，簡寫為 ROM；隨機讀寫記憶元件，簡寫為 RAM）是外加的。由於記憶元件與輸入／輸出（簡寫為 I/O）電路晶方是外加在微處理機上的，所以一定要有一種方式來選取這些元件，一個微處理機必須要具有位址匯流排（Address-bus）。位址匯流排標準的寬度是 16 數元，可以選取到 64K 個位置（ $K = 1024$ ； $2^{16} = 64K$ ）。

一個 8—數元微處理機要傳送 8—數元的資料，所以它必須要有 8—數元的資料匯流排（Data-bus）。這樣又須要另外 8 個接腳。

至少要有兩個接腳來供應電源，還要有兩個接腳接到外加的振盪晶體或振盪器上。最後，必須還要有 10 到 12 根控制信號綫來協調系統中資料的傳送（控制匯流排，Control-bus），於是所使用的接腳總數就是 40。沒有一個接腳沒有使用。

由於接腳數目的限制，一個 16—數元的微處理機不能在同時提供一個 16—數元位址匯流排，以及一個 16—數元資料匯流排。這兩個匯流排之一必須是多工的（Multiplexed）。結果會使得動作速度變慢，也必須要用外加的元件來將匯流排解多工（De-multiplex）。

由於積體電路技術的進步，可以預期在不久將會有一種新的標準的微處理機，就是 16—數元單晶方微計算機（16-bit microcomputer-on-a-chip）。單晶方微計算機就是微處理機加上定時脈波加上記憶元件（

ROM+RAM)，全部做在一個晶方上。因為記憶元件就在晶方上，所以沒有必要再提供通往外界的位置匯流排。於是就空出 16 個接腳可以使用。在這種系統裡，至少有 24 條信號線可以用來做資料傳送，它們是一般性用途的 I/O 信號線。目前微計算機的缺點是能夠直接做在晶方上的記憶元件的數目受到限制。目前的限制是 ROM 2048 個字，RAM 512 個字。外加記憶元件會牽涉到很複雜的多工化與解多工，通常不值得這樣做，不過，如果在不久的將來可以做出具有很大大記憶容量的系統來，可以預見它將成為下一個標準的設計。

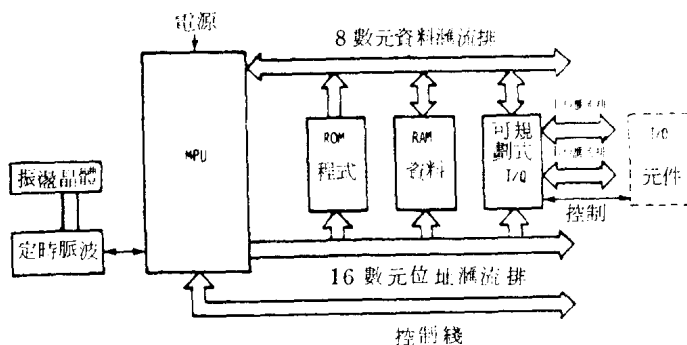


圖 1.1 標準的微處理機系統

目前，8-數位微處理機在有伸縮性，有力的應用上的確是標準的設計。圖 1.1 是一個標準系統結構的基本方塊圖，微處理機本身，記做 MPU，在圖的左方。到 1976 年為止，在絕大多數標準的系統中，定時脈波是外加在 MPU 上的，它在圖的最左方，從 1976 年起，定時脈波電路已經與微處理機做在同一個晶方上，所有最近的产品不再須要這個外加的定時脈波電路。不過它們還是永遠須要一個外加的振盪晶體或振盪器。在圖中，它接到定時脈波電路上。

微處理機產生了三個匯流排：

一個 8-數位雙向性的資料匯流排（以三態邏輯電路構成，以容許直接記憶器出入控制器，即 Direct-memory-access controller，簡寫為 DMAC 的使用）。

一個16—數元單向性的位址匯流排，在微處理機的內部接到位址指標器上，特別是接到程式計數器（Program-counter，簡寫為PC）上。位址匯流排也是以三態邏輯電路構成，以便容許DMAC的使用。

最後，一個10到12根線的控制匯流排，它將各種不同的同步信號饋至微處理機或者由微處理機饋至別處。控制信號線不一定是三個狀態的。

所有常用的系統元件都直接接到這三個匯流排上。圖中是三種基本的元件。它們分別是ROM，RAM及PIO。ROM是只讀記憶元件。它儲存程式。RAM是隨機讀寫記憶元件，它是儲存資料的MOS讀寫記憶元件。PIO是一個可程式化的輸入-輸出晶方，它將資料匯流排多工化為兩個或更多的輸入-輸出端。在第三章中將要仔細的討論這個問題，這些輸入輸出端可以直接連到輸入-輸出元件，或者連到元件控制器，或者須要利用介面電路。

將這個基本系統與實際I/O元件介面時所須要的介面電路或介面晶方（Interface-chip）將要連接到這些匯流排上，不論這些匯流排是微處理機的匯流排或是PIO造成的輸入-輸出匯流排，或是其它元件造成的匯流排。

將這個基本系統連接到各種輸入-輸出元件上所須要的技術就正是介面技術（Interfacing techniques）。將任何微處機系統與輸入-輸出元件相連接所須要的基本介面技術大致上是相同的。在第三、四、五章中將要仔細討論這些技術，在微處理機本身這個階層來說，所須要的邏輯與電性的介面很簡單，所有的微處理機都有大致相同的資料匯流排和位址匯流排，差別最大的是控制匯流排，就是由於控制匯流排的特性各不相同，使得輸入-輸出介面晶方對某一種微處理機可以適用的，對另外一種微處理機則未必能夠適用。圖1.2是8080，6800以及6502 SC/MP基本的介面特性。

輸入-輸出元件的介面須要瞭解兩種基本的技術：

1. 利用一個微處理機晶方裝配一個完整的CPU。第二章中將要討論這個問題。

大致相等的信號

	8086A, 8228	8085	Z80	6800	6502
位址	A0-A15	AD0-AD7 CALT-A8 A15	A0-A15	A0-A15	AB0-AB15
資料	D0-D7	AD0-AD7 C-A15	D0-D7	D0-D7	DB0-DB7
控制	HOLD HOLD INT INTE WAIT READY RESET SYNC INTA MEMR MEMW I/O RD I/O WR BUSEN SSTB	HOLD HOLD CLK INTR READY RESET INTA RD&IO/M WR&IO/M RD&IO/M WR&IO/M	BUSAK BUSRQ INT WAIT RESET MI M1&IORQ RD&MEMRQ WR&MEMRQ RD&IORQ WR&IORQ	BACKVMA HALT ϕ 2 stretched IRQ RESET VMA&FFF8 R/W& ϕ 2 as above as above as above HALT	RDY ϕ 2 stretch IRQ RDY RESET SYNC R/W& ϕ 2 as above as above as above
其它控制信號	---	RST 5.5 RST 6.5 RST 7.5 TRAP RESET OUT SID SOD ALE	---	---	---
	---	---	NMI	NMI	NMI
	---	---	---	---	---
	---	---	RSTH	---	---
	---	---	HALT	---	---
	---	---	---	---	---
	---	---	---	TSC	---
	---	---	---	DBF	---
	---	---	---	---	SO

圖 1.2 相等的信號

2. 微處理機與外界溝通時所須要的基本的輸入 - 輸出技術，這個問題將要在第三章中加以討論。

微處理機的控制信號

前面已經說明一個標準的MPU 產生了三個滙流排，8 - 數元雙向資料滙流排，16 - 數元單向性位址滙流排，以及視微處機而定寬度不一的控制滙流排。對所有的微處理機而言，資料滙流排大致相同。它是8 - 數元雙向性滙流排，通常用三態邏輯電路構成。位址滙流排也很類似，幾乎都是16 - 數元，偶爾也有15 - 數元，單向性滙流排，用來選取MPU 外部的元件。下一章中將要討論位址滙流排與資料滙流排實際的使用與連接

。第三個匯流排（控制匯流排）是唯一複雜的匯流排，它帶有微處理機的控制信號，也就是“介面信號”。

控制匯流排提供了四種功能：

1. 記憶元件同步。
2. 輸入 - 輸出同步。
3. MPU定序一間斷與DMA。
4. 公用控制，例如定時脈波與重定。

記憶元件與輸入 - 輸出同步基本上很相似。通常使用一種連繫交換（Hand-Shake）的步驟。在“讀”的動作中，有一個“準備完成”的信號來表示資料已經可用。然後資料就被傳送到資料匯流排上。在有些輸入 - 輸出元件中，會產生一個“已收到”的信號來證實已經收到資料。在“寫”的動作中，外界元件是否可用是經由一個狀態數元或信號來查對，然後資料就傳送到資料匯流排上。在這種情形下，元件也可能會產生一個“已收到”的信號來證實已經收到資料。

產生，或是不產生，“已收到”信號是使用同步方式或非同步方式的典型。在同步方式中，所有的事件都是在某一段特定的時間內發生。在這種情形下沒有必要產生“已收到”信號。在非同步系統中，必須產生“已收到”信號。在設計控制匯流排時，選擇同步或非同步通信原理是根本的考慮。同步設計具有較高速度和較少控制信號綫的潛力。不過它對外界元件的速度加上了限制。非同步設計須要增加一個“已收到”信號，並且也須要更多的邏輯電路。不過在同一個系統裡，它可以容許使用不同速度的元件。

舉例來說，圖 1.3 是 8080 的控制信號，圖 1.4 與 1.5 是它匯流排的定時關係。作為對照，圖 1.6 與 1.7 是 6800 的匯流排。這些匯流排在第二章中將會加以解釋。第六章將會更進一步說明一些目前所使用的標準的匯流排。

8 微處理機介面技術

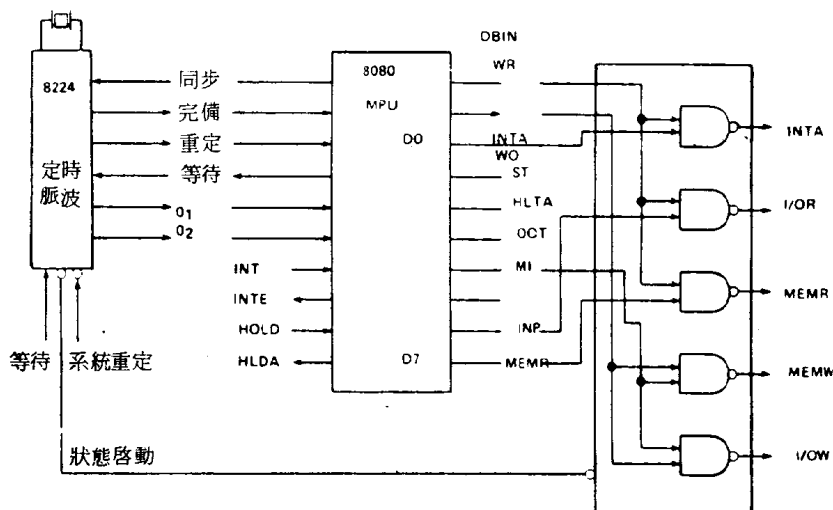


圖 1-3 8080 控制信號

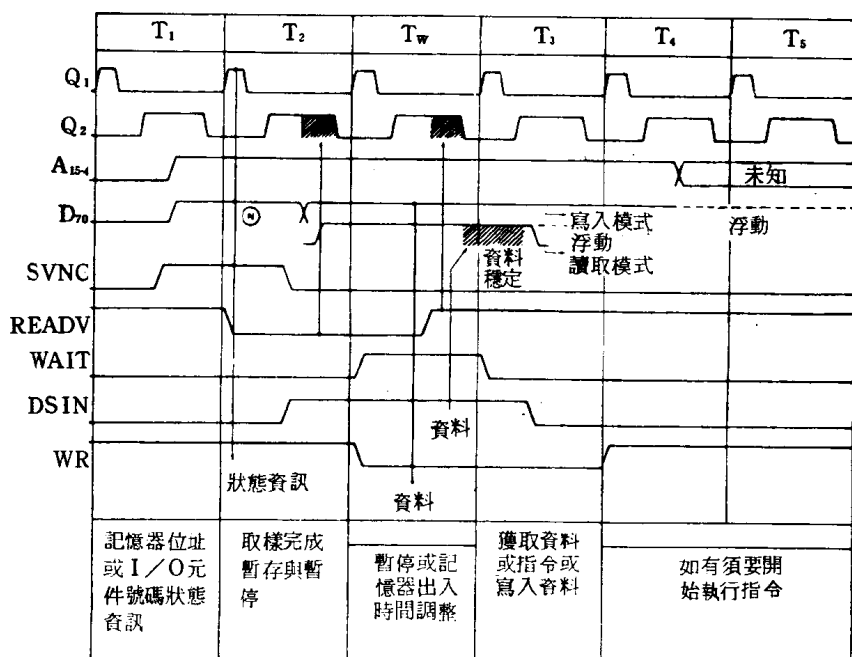
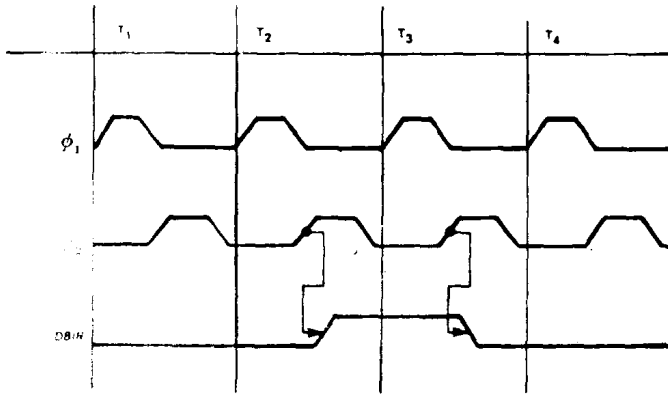


圖 1.4 8080 基本的指令週期



DBIN由 ϕ_2 所觸發

圖 1.5 定時脈波

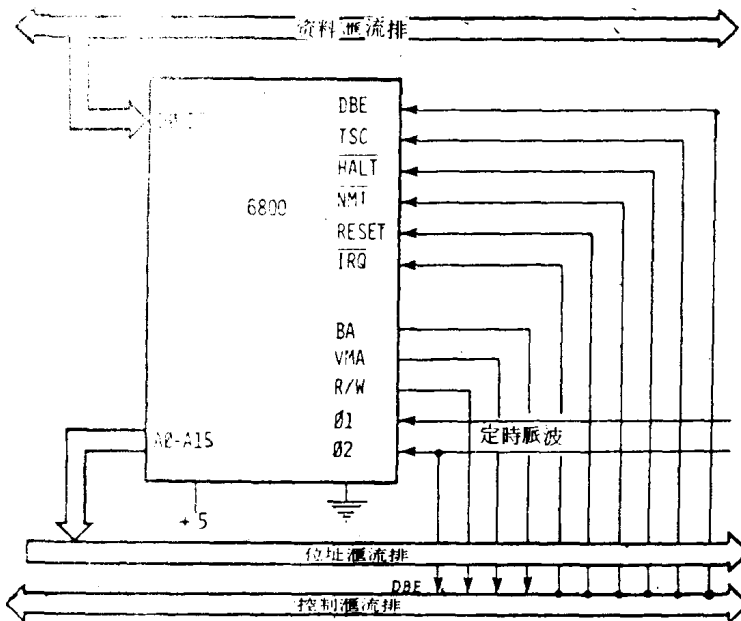


圖 1.6 匯流排信號

10 微處理機介面技術

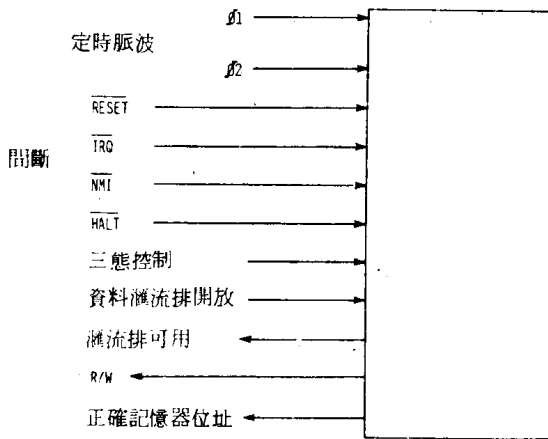


圖 1.7 6800 控制漚流排細節

