

六、编码与解码电路

数字通信系统传送与处理的信息是二进制数码,因而它与模拟通信相比,具有抗干扰性强(可中继再生,防止噪声积累)、便于加密、适于处理与集成化,可靠性好及能够构成综合业务数字网等特点。基于这些优点,使得数字通信业已成为现代通信技术发展的重要方向。

对于电话数字通信,需要对话音进行编码与解码,即进行 A-D、D-A 变换。将模拟话转换为数字话,话音编码方法很多,常用的有脉冲编码调制(PCM—Pulse Code Modulation),增量调制(DM 或 ΔM —Delta Modulation),线性预测编码(LPC—Linear Predictive Coding)及它们的改进方法:差值脉冲编码调制(DPCM),自适应差值脉冲编码调制(ADPCM)与自适应增量调制(ADM)等。其中除 LPC 为参数编码外,其它均为波形编码。本部分所介绍的内容限于 PCM,DM 和 ADPCM 编解码器,重点放在应用广泛并已形成国际标准或 CCITT 正式建议的 PCM 编解码集成电路上。

PCM 的原理如图 6-1 所示。话音信号先经防混叠低通滤波器,得到限带信号(300 ~ 3400Hz),进行脉冲抽样,变成 8kHz 重复频率的抽样信号(即离散的脉冲调幅 PAM 信号),然后将幅度连续的 PAM 信号用“四舍五入”办法量化为有限个幅度取值的量化信号,再经编码,转换成二进制码。对于电话,CCITT 规定抽样率为 8kHz,每抽样值编 8 位码,即共有 $2^8=256$ 个量化值,因而每话路 PCM 编码后的标准数码率是 64kb/s。为解决均匀量化时小信号量化误差大、音质差的问题,在实际中采用不均匀选取量化间隔的非线性量化方法,即量化特性在小信号时分层密、量化间隔小,而在大信号时分层疏、量化间隔大,如图 6-2 所示。

在实际中广泛使用的是两种对数形式的压缩特性: A 律和 μ 律。对压缩器而言,其输入、输出归一化特性表示式为:

A 律:

$$V_o = \begin{cases} \frac{AV_i}{1 + \ln A} & (0 < V_i < \frac{1}{A}) \\ \frac{1 + \ln(AV_i)}{1 + \ln A} & (\frac{1}{A} < V_i < 1) \end{cases}$$

μ 律:

$$V_o = \frac{1 + \ln(1 + \mu V_i)}{\ln(1 + \mu)} \quad (0 < V_i < 1)$$

式中 A, μ 为压缩系数,CCITT 规定它们取值是 A=87.6 与 $\mu=255$ 。

A 律 PCM 主要用于欧洲, μ 律主要用于北美和日本,我国采用欧洲体制。

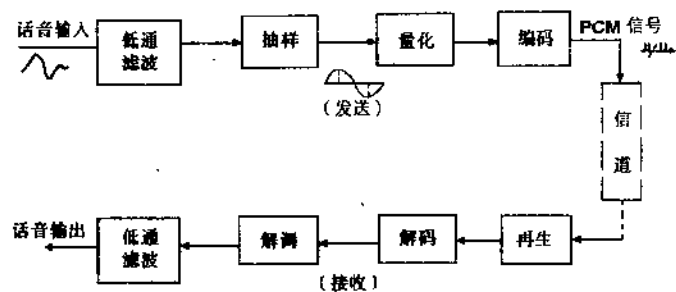


图 6-1 PCM 的原理框图

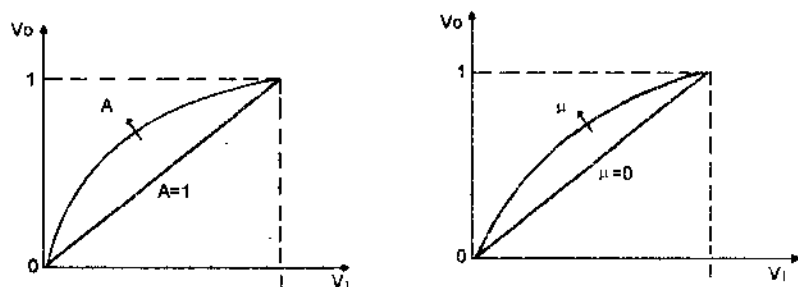
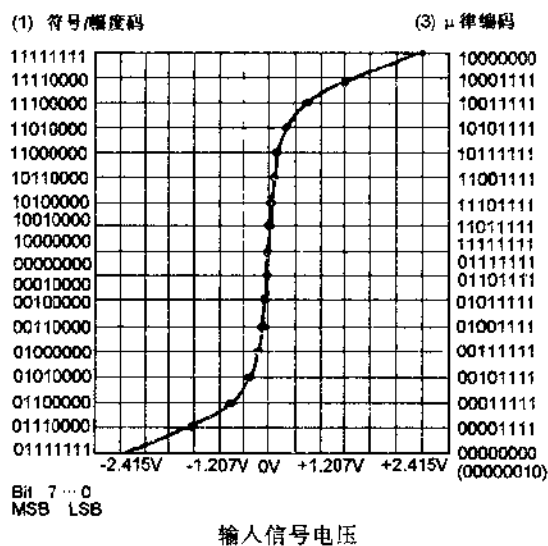


图 6-2 A 律与 μ 律的压缩特性

它们的编码规律如图 6-3 所示。图中给出了信号抽样编码字与输入电压的关系，其中编码方式(1)为符号/幅度数据格式，Bit7 表示符号位，Bit6 ~ 0 表示幅度大小；(2)为 A 律压缩数据格式，它是(1)的 ADI(偶位反相)码；(3)为 μ 律压缩数据格式，它是由(1)的 Bit6 ~ 0 反相而得到，通常为 00000000 码出现，将其变成零抑制码 00000010。



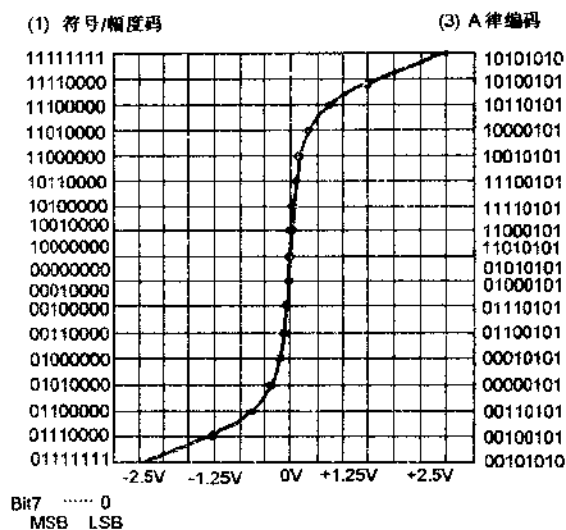


图 6-3 PCM 编码方式

增量调制是 PCM 的一种特例,它只用一位编码,这一位码不是表示信号抽样值大小,而是表示抽样幅度的增量极性,若当前抽样值与前抽样积累值之差 $e(t)>0$,则编为“1”码;若 $e(t)<0$,则编为“0”码。其原理框图如图6-4 所示。

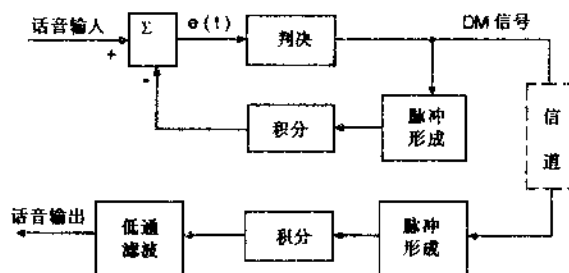


图6-4 DM 的原理框图

近些年来,人们在不断改进 PCM、DM 的性能,陆续发展出多种新型编码形式,从而达到改善话音质量和降低数码率的目的。常见的有差值脉冲编码调制(DPCM)与自适应差值 PCM(ADPCM),及增量总和调制($\Delta-\Sigma$),连续可变斜率增量调制(CVSD)与自适应增量调制(ADIM)等。采用这些方法一般在保证相同音质下,可使 PCM 的数码率从 64kb/s 降到 32 或 16kb/s;使 DM 的数码率从 32kb/s 降到 16 或 8kb/s。

差值 PCM(DPCM)和自适应差值 PCM(ADPCM)是在 PCM 基础上改进的新型数字化方法,它在实现上采用预测技术减少量化编码器输入信号多余度,将差值信号编码以提高效率,降低编码信号速率,它广泛应用于语音和图象信号数字化。CCITT 近几年制定了 32、24、16kb/s ADPCM 建议(如 G.721、G.723、G.726),从而使 64kb/s 数字得以压缩,扩大了传输信道的容量。下面介绍 ADPCM 基本原理。

当以高于奈奎斯特速率对语音或视频信号抽样时,在前后样值间可以看到有明显的相关性,将这些相关样值按通常 PCM 系统的方式加以编码时会使得编码信号含有多余信息。如在编码前将这种多余信息去掉,则可得到效率较高的编码信号。

为此,可先利用信号 $x(nT_s)$ 的相关性对未来样值进行线性预测,预测器通常为抽头延时滤波器(即 FIR 滤波器),如图 6-5 所示。

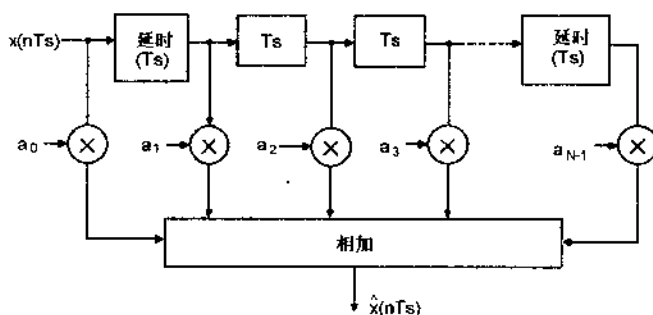


图 6-5 线性预测器的构成

线性预测器的预测值为

$$\hat{X}(nT_s) = \sum_{i=0}^{N-1} a_i x(nT_s - iT_s)$$

其中 a_i 为预测系数,在 DPCM 中为常数;在 ADPCM 中为自适应变量。 N 为预测阶数。可以根据预测误差能量最小的准则求出预测系数 a_i 这样,PCM 编码器改对差值信号 $e(nT_s) = x(nT_s) - \hat{X}(nT_s)$ 进行量化和编码,以达到 DPCM 或 ADPCM 编码的目的。

由于编解码器是光纤与数字通信电端机、程控数字交换系统中应用量大、面广、通用性强的电路,因而从七十年代初国际上就开始研制这类专用集成电路。现已形成系列,产品品种与型号众多,目前尚多属单话路编解码类型,随着微电子技术和通信技术的发展,正不断开发功能强、集成度高和多话路单片编解码器及新型 ADPCM 编解码(或码变换)电路。

目前国际上应用较广、有代表性的单路 PCM、ADPCM、DM 编解码与滤波器集成电路。有 MC14403、MC2914/29C14、S3506、MC145567、MC145503、TP3057、MC145540P、MT9128 与 MC3417、MC3418 等。本部分择要介绍几种典型的 PCM、DM、ADPCM 集成电路。

PCM 编解码器

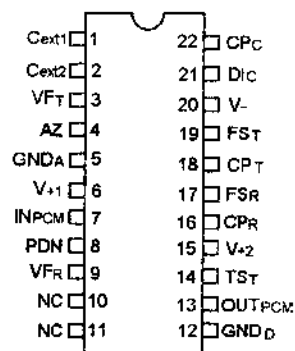
I2911A

简要说明

该电路是INTEL公司生产的PCM编解码器。它内含A律PCM编解码器、基准电压源、输入与输出电路及时隙控制单元等部分,可通过微处理器控制发送与接收时隙位置。该电路与话路滤波器(如I2912)可共同构成PCM电话终端,广泛用于数字电话终端机、程控数字交换机及线路集中器、保密通信与信号处理等设备,电路的基本特性为:

- (1) 采用 A 律编码压扩方式。
- (2) 可控发送与接收时隙分配。
- (3) 与 CCITT G.711 与 G.732 兼容,可在片内实现偶数位反相,产生 ADI 码。
- (4) 利用固定时隙时,可借助简单的直接控制模式与外电路接口。
- (5) 内含稳定、精密的基准电压源。
- (6) 动态范围可达 66dB。
- (7) 电源 $\pm 5V, +12V$
- (8) 功耗(正常工作状态): 230mW, (低功耗状态): 33mW
- (9) 工艺 NMOS
- (10) 封装 DIP-22PIN

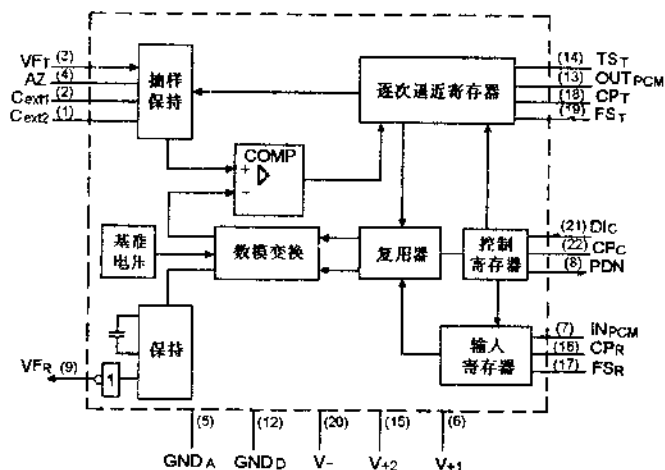
引出端排列



引出端符号说明

C_{ext1}, C_{ext2}	外接保持电容	PDN	低功耗控制	FS_R	接收帧同步输入
VFT	发送输入	VFR	接收输出	CP_T	发送时钟输入
AZ	自动调零输出	GND_D	数字地	FS_T	发送帧同步输入
GND_A	模拟地	OUT_{PCM}	PCM码输出	V_-	负电源(-5V)
V_{+1}, V_{+2}	正电源	TS_T	发送状态输出	DI_C	控制数据输入
IN_{PCM}	PCM码输入	CP_R	接收时钟输入	CP_C	控制时钟输入

功能框图



引出端功能说明

C_{ext1} 、 C_{ext2} —— 外接保持电容。构成发送保持电容接入端口。在通常情况下,对于 8kHz 抽样率,外接电容值为 2000pF。

VF_T —— 发送输入。来自发送滤波器的模拟信号由该端输入给 PCM 编码器。该信号按发送帧同步脉冲 FS_T 速率被抽样,以构成 PCM 信号。抽样值保持在外接保持电容两端,直到编码过程结束。

AZ —— 自动调零输出。当已编码的 PCM 信号最高位(符号位)为“1”时,该端输出 -5V;最高位为“0”时,该端输出 +5V。该端与外接 RC 网络构成自动调零反馈环路。

GND_A —— 模拟地。该端为片内发送与接收模拟电路的公共接地端,在内部未与 GND_D 端连接。

IN_{PCM} —— PCM 码输入。在 FS_R 、 CP_R 、 DI_C 和 CP_C 信号控制下,总线上的 PCM 码在适当时间通过该端串行输给解码器。

PDN —— 降功耗控制。当编解码器处于降功耗模式时,该端输出高电平。该端输出信号满足 TTL 电平,开漏输出。

VF_R —— 接收输出。根据 IN_{PCM} 端输入数据解调产生的模拟信号从该端输出。

GND_D —— 数字地。片内数字电路的公共接地端。

OUT_{PCM} —— PCM 码输出。在 FS_T 、 CP_T 、 DI_C 和 CP_C 信号控制下,编码器将根据 VF_T 端输入信号产生 PCM 信号并通过该端串行输出。

TS_T —— 发送状态输出。编解码器在 OUT_{PCM} 端发送 PCM 码时,该端输出低电平;其它时间内该端输出高电平。低电平间隔即为发送传输时隙。该端为开漏输出,输出电平与 TTL 电平兼容。

CP_R —— 接收时钟输入。接收部分时钟从该端输入给解码器以决定 PCM 码的接收数据率(典型值为 2.048Mb/s,最高可达 2.1Mb/s)。该端输入电平与 TTL 兼容,占空比 50%。

FS_R —— 接收帧同步输入。接收 PCM 母线上的帧同步脉冲,并复位接收端片内时隙计数器。最高重复频率为 12kHz。该端输入电平与 TTL 兼容。

CP_T —— 发送时钟输入。发送部分主时钟从该端输入给编码器以决定 PCM 码发送数据率(典型值为 2.048Mb/s,最高可达 2.1Mb/s)。该端输入电平与 TTL 兼容,占空比为 50%。

FS_T —— 发送帧同步输入。发送 PCM 母线帧同步脉冲,并复位发送端片内时隙计数器。最高重复频率为 12kHz。该端输入电平满足 TTL 标准。

DI_C —— 控制数据输入。编程数据经该端输入给编解码器。当 CP_C 端与 V_{+2} 端相连时,该端为片选输入端,低电平有效。

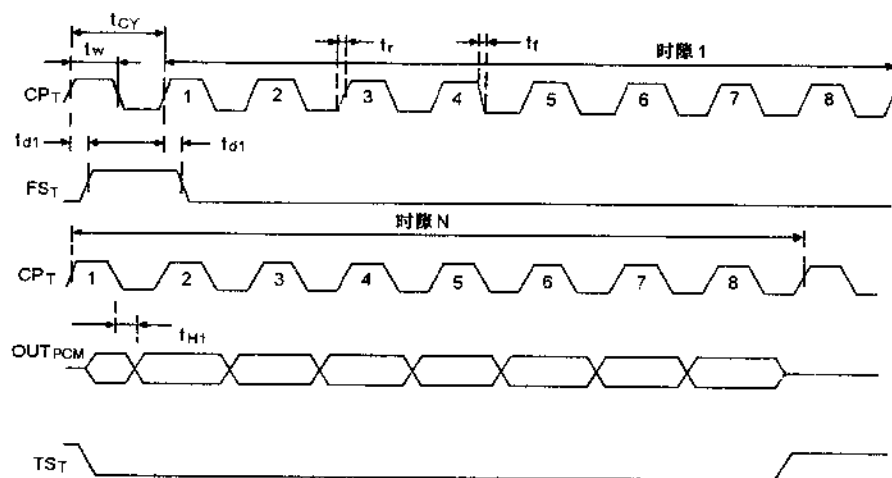
CP_C —— 控制时钟输入。当编解码器工作于时隙分配方式时,控制时钟从该端输入,以同步 DI_C 端输入数据。编解码器工作于其它方式时,该端与 V_{+2} 端相连。

电路的功能说明

电路由发送、接收和控制三部分构成。D-A 变换器是全部电路的核心,无论发送、接收功能都需要 D-A 变换器,复用器和基准电压源共同完成。控制寄存器的主要作用是提供可变的时隙选择。如果该电路工作于直接控制模式,控制寄存器在帧同步脉冲控制下给出

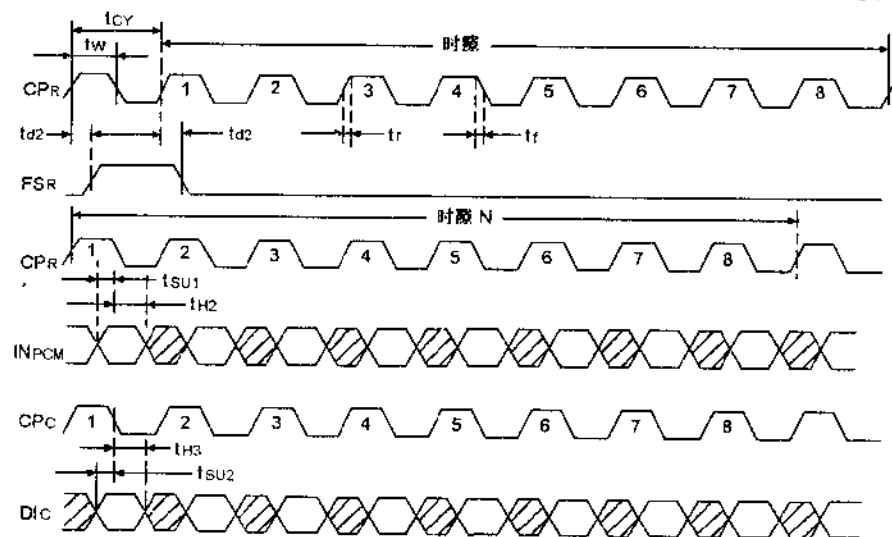
固定时隙。下面简要介绍各部分的组成和基本原理。

发送部分由抽样保持, 比较器, 逐次逼近寄存器和 D-A 变换器组成。模拟输入信号自 V_{F_T} 端输入, 经抽样 (抽样率由 FS_T 端输入信号控制), 保持送往比较器同相输入端。而比较器反相输入端接 D-A 变换器给出的参考电平。比较器输出信号经逐次逼近寄存器和复用器反馈给 D-A 变换器以调整参考电平, 依此逐次比较, 在寄存器中得到 7 位数码, 连同第一位符号码 (由模拟输入信号极性确定) 构成 8 位 PCM 码, 由 OUT_{PCM} 端输出。其时间关系如下图所示。



I2911A 发送时序图

接收部分由输入寄存器, 保持输出运算放大器和 D-A 变换器组成。接收的 PCM 信号自 IN_{PCM} 端串行输入给解码器, 经输入寄存器转换为并行信号后输给复用器, 再经 D-A 变换器中的译码网络恢复成分层为 128 电平的离散信号, 经保持电路得到阶梯形模拟信号。



I2911A 接收时序图

加至由运放构成的跟随器,从 VF_R 端输出。按照脉冲编码调制线路传输码型的习惯要求, I2911A 片内已将 PCM 码流进行了偶数比特反相,变换成 ADI 码。接收端信号时间关系如前页下图所示。

控制部分主要包括控制寄存器,主要功能是选择可变的工作时隙。8 比特控制字 DI_C 在控制时钟 CP_C 同步下串行输入给控制寄存器,它与编解码器的其它信号是非同步的。在 CP_C 下降沿被采样。

8 位控制码由两部分组成。第一位和第二位 (D_1, D_2) 选择四种控制方式中的一种,这四种控制方式是:置发送与接收时隙(00 码)、仅置发送时隙(01 码)、仅置接收时隙(10 码)和置降功耗状态(11 码)。

控制码的后 6 位 ($D_3 \sim D_8$) 除在降功耗方式中无意义外,在其它三种方式中用于决定时隙分配,从 000000 到 111111 可决定 64 种时隙。各位码控制功能如左表所示。

时隙控制字 ($D_3 \sim D_8$ 位)	所选进隙
0 0 0 0 0 0	1
0 0 0 0 0 1	2
.	.
.	.
.	.
1 1 1 1 1 1	64

控制寄存器可以提供 64 个时隙,这时对应的帧同步脉冲频率应为 4kHz。通常,对应于帧同步速率为 8kHz 的情况,只选择其中前 32 个时隙。进入控制寄存器的控制码经锁定后与一组同步计数器的各级输出进行逻辑运算,产生所需的时隙间隔。该时隙脉冲分别控制逐次逼近寄存器或输入寄存器,以保证在规定的时隙间隔内发送或接收 PCM 码。

在微机控制模式中,每个编解码器在发送时钟 CP_T 和接收时钟 CP_R 控制下,独立完成各自的发送或接收时隙分配。挂在同一总线上的各路编解码器应接收同一个帧同步脉冲 (FS_T, FS_R)。帧同步脉冲在每一帧使各编解码器中的同步计数器复位,因此所在器件中的计数器均是同步,可根据需要由不同的控制码为各个编解码器的收发时隙编程。

如果不需要改变编解码器的工作时隙,也可工作于直接控制模式。这时 CP_C 端应接高电平, DI_C 端就接低电平,控制寄存器将发送和接收时隙都置于零时隙。此时,用于传输系统中的各路编解码器必须接收不同的帧同步脉冲,以在时间上依次出现的 FS_T 或 FS_R 信号直接控制各路时隙。

当 DI_C 端接高电平时, I2911A 进入降功耗待机状态,此时控制寄存器在 PDN 端输出高电平,控制其配套电路也进入降功耗状态。

主要电参数

(1) 定时与开关特性 ($V_{+1}=12V, V_{+2}=5V, V_-=-5V, GND_A=0V, GND_D=0V, T_A=0 \sim 70^{\circ}C$)

特 性	符 号	最 小 值	最 大 值	单 位
时钟周期	t_{cr}	485		ns
时钟上升时间、下降时间	t_r, t_f	0	30	ns
时钟脉冲宽度	t_m	215		ns
时钟占空比	DC_C	45	55	%
数据保持时间	t_{wh}	80	230	ns
发送帧同步延时	t_{dt}	15	150	ns
接收帧同步延时	t_{rd}	15	150	ns

(2) 直流与工作特性 ($V_{+1}=12V$, $V_{+2}=5V$, $V_-=-5V$, $GND_A=0V$, $GND_D=0V$
 $T_A=0 \sim 70\text{ }^{\circ}\text{C}$)

特 性	符 号	最 小 值	典 型 值	最 大 值	单 位
数字接口低电平输入电流	I_{IL}			10	μA
高电平输入电流	I_{IH}			10	μA
输入低电平	V_{IL}			0.6	V
输入高电平	V_{IH}	2.2			V
输出低电平	V_{OL}			0.4	V
输出高电平	V_{OH}	2.4			V
模拟接口抽样时 VF_T 输入阻抗	Z_{AI}	125	300	500	Ω
小信号 VF_T 输出阻抗	Z_{AO}	100	180	300	Ω
VF_T 输入失调电压	V_{IOE}	-5		5	mV
VF_R 输出失调电压	V_{OOS}	-50		50	mV
AZ 输出低电平	V_{OL2}		V_-	$V_- + 2$	V
AZ 输出高电平	V_{OH2}	$V_{+2} - 2$	V_{+2}		V
V_{+1} 待机电流	I_{q1}		0.7	1.1	mV
V_{+2} 待机电流	I_{q2}		4	7	mV
V_- 待机电流	I_{q3}		1	2.5	mV
V_{+1} 工作电流	I_{D1}		11	16	mV
V_{+2} 工作电流	I_{D2}		13	21	mV
V_- 工作电流	I_{D3}		4	6	mV

(3) 交流特性 ($V_{+1}=12V$, $V_{+2}=5V$, $V_-=-5V$, $GND_A=0V$, $GND_D=0V$,
 $T_A=0 \sim 70\text{ }^{\circ}\text{C}$)

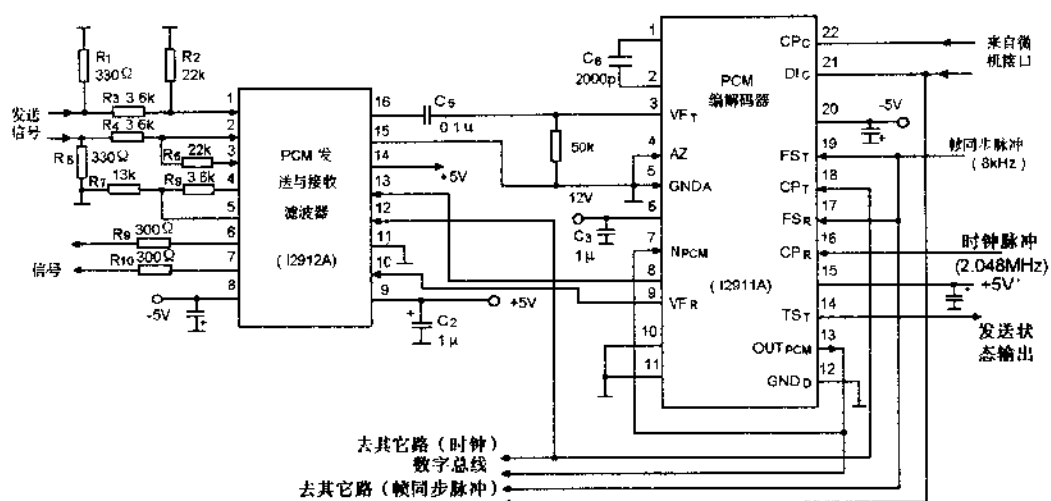
特 性	符 号	最 小 值	典 型 值	最 大 值	单 位
信号对总失真比	信号电平 ($0 \sim -30\text{dB}_{m0}$)	S/D	35		dB
	信号电平 (-40dB_{m0})	S/D	29		dB
	信号电平 (-45dB_{m0})	S/D	24		dB
增益随信号电平的变化	信号电平 ($+3 \sim -40\text{dB}_{m0}$)	ΔG	-0.4	0.4	dB
	信号电平 (-50dB_{m0})	ΔG	-0.8	0.8	dB
	信号电平 (-55dB_{m0})	ΔG	-2.4	2.4	dB
空闲信道噪声	N_{IC}		85	-78	dB_{mnp}
谐波失真 (2或3阶次)	HD		-48	-44	dB
交调失真	IMO		-45	2.23	dB
输入动态范围	A_{IR}	2.17	2.20	2.19	V_{RMS}
输出动态范围	A_{OR}	2.13	2.16		V_{RMS}
发送端串话	CT_T	75	80		dB
接收端串话	CT_R	75	80		dB
输入抽样保持电容	C_{SH}	1600	2000	2400	pF
V_{+1}, V_{+2} 电源抑制比	PSRR	50			dB

(4) 极限参数

参 数	符 号	极 限 值		单 位
		最小	最大	
各端输入、输出电压(相对 V_{-})	V_{IO}	-0.3	+20	V
$V_{+1}, V_{+2}, GND_A, GND_D$ 电压(相对 V_{-})	V_D	-0.3	+20	V
功耗	P_D		1.35	W
工作温度	T_A	-10	+80	℃
贮存温度	T_{stg}	-65	+150	℃

典型应用线路

用 I2911A 与 I2912A 构成 PCM 编解码、可变时隙总线数字交换部分线路:



PCM 编解码器

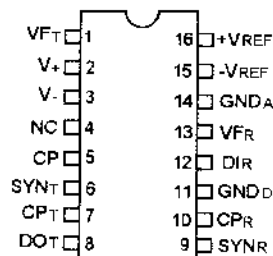
MK5156

简要说明

该电路是 MOSTEK 公司生产的 A 律 PCM 编解码器。它能够以同步或异步方式工作,并可在片内完成偶数位比特反相功能。该电路目前用于某些 PCM 数字电话终端设备与程控数字交换机,实现话路信号编解码。电路的基本特性为:

- (1) 采用 A 律压扩编解码方式,需外接基准电压源。
- (2) 在片内完成符合 CCITT 建议的偶数位比特反相功能。可同步或异步工作。
- (3) 在 8kHz 抽样率情况下,能以 64kb/s ~ 2.1Mb/s 速率发送数码。
- (4) 电源 $\pm 5V$
- (5) 功耗 30mW
- (6) 工艺 CMOS
- (7) 封装 DIP-16PIN

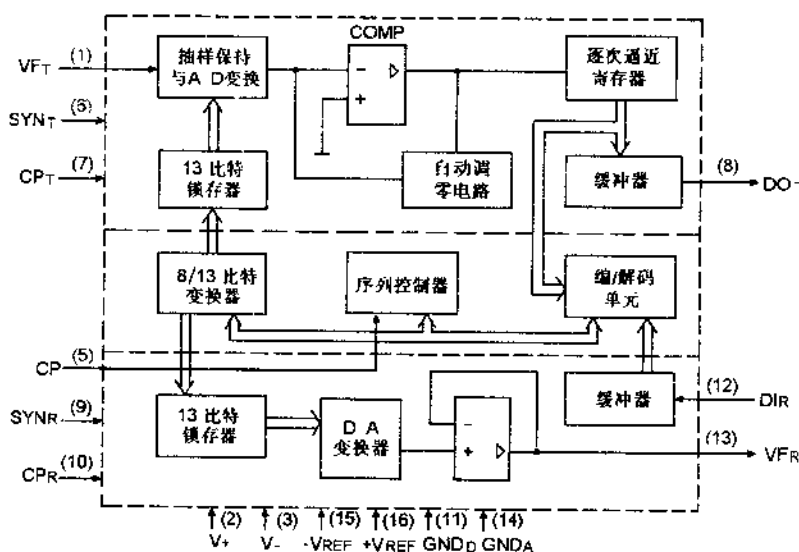
引出端排列



引出端符号说明

VF _T	发送输入	CP _T	发送时钟输入	DI _R	接收数据输入
V ₊	正电源	DO _T	发送数据输出	VF _R	接收输出
V ₋	负电源	SYN _k	接收同步输入	GND _A	模拟地
CP	主时钟输入	CP _R	接收时钟输入	-VREF	负基准电源
SYN _T	发送同步输入	GND _D	数字地	+VREF	正基准电源
				NC	空

功能框图

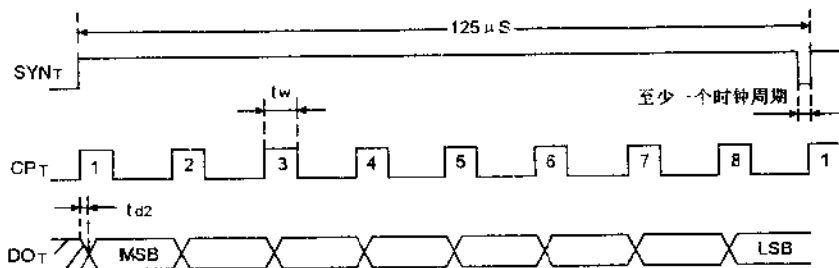


引出端功能说明

V_{F_T} —— 发送输入。限带的音频模拟信号从该端输入给编码器。输入信号幅度应限制在 $-V_{REF}$ 与 $+V_{REF}$ 之间。

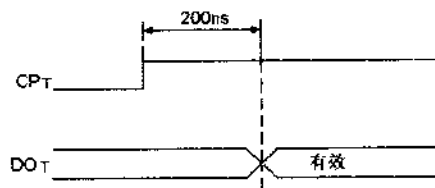
CP_T —— 主时钟输入。该端输入信号为内部电路正常工作提供基本定时和控制信号，它可以不与 SYN_R 、 CP_T 和 CP_R 信号同步。

SYN_T —— 发送同步输入。该端输入信号与发送时钟同步，升为高电平后， DO_T 端脱离高阻状态，当下一个主时钟负跳变到来时 A-D 变换过程开始，然后 8 位 PCM 码在发送时钟同步下依次出现在数据总线上。该信号降回低电平后， DO_T 端立刻回到高阻状态。该信号低电平持续时间至少为 1 个主时钟周期，如下图所示。



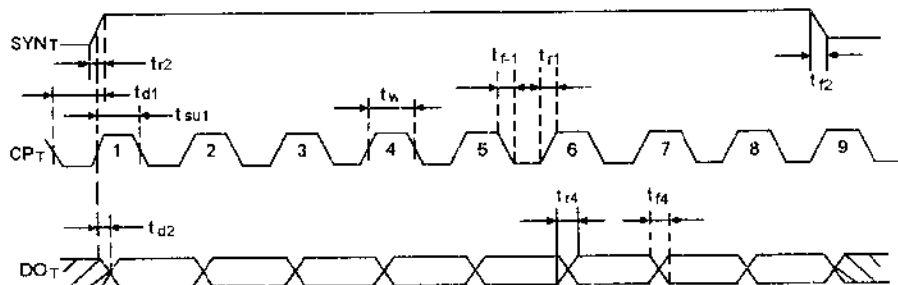
发送速率为 64kb/s 时的发送时序

CP_T —— 发送时钟输入。发送部分时钟信号从该端输入 PCM 编码器以决定 PCM 码的发送数据率。其时间关系如下图所示



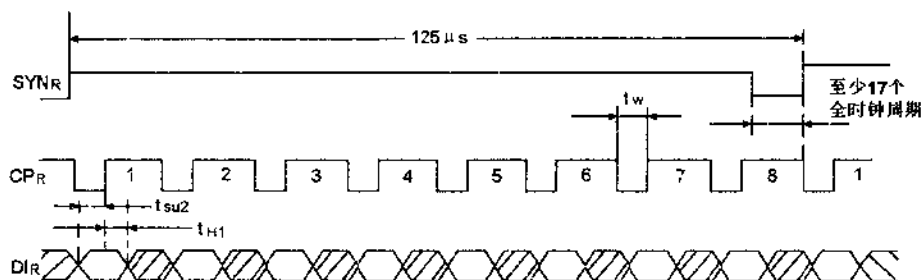
发送时钟与输出数据时间关系

DO_T —— 发送数据输出。在 SYN_T 和 CP_T 信号控制下，根据 V_{F_T} 端输入音频信号编码产生的 PCM 信号从该端串行输出。发送时序见下图所示。



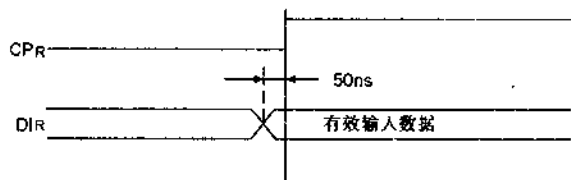
SYN_R —— 接收同步输入。该信号与接收时钟同步，周期约为 8 个接收时钟周期。其负跳变到来时，D-A 变换过程开始，8 位 PCM 码在此后的 8 个接收时钟控制下依次进入输入

缓冲寄存器。该信号的低电平持续时间应大于或等于 17 个主时钟周期,如下图所示。



接收速率为 64kb/s 时的接收时序

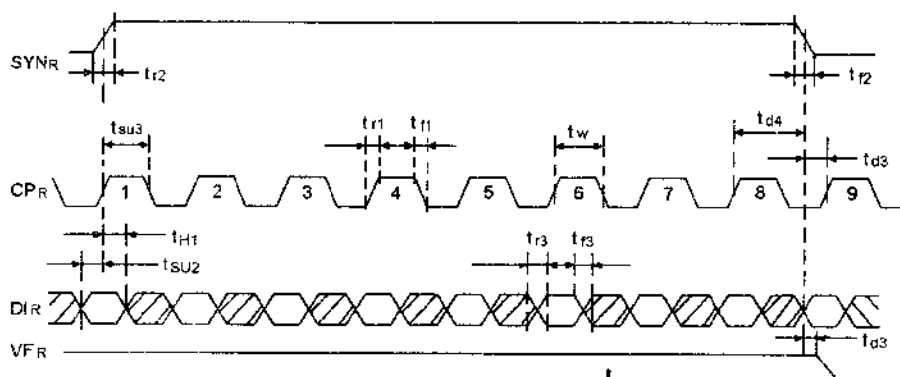
CP_R ——接收时钟输入。接收部分时钟信号从该端输入解码器以决定 PCM 码接收数据率,时间关系如右图所示。



接收时钟与输入数据时间关系

GND_D ——数字地。片内数字电路的公共接地端。

DI_R ——接收数据输入。在 SYN_R 和 CP_R 信号控制下,总线上的 PCM 信号经该端串行输入解码器。接收时序如下图所示。



MK5156 接收时序图

VF_R ——接收输出。根据 DI_R 端输入的 PCM 信号解码恢复的音频模拟信号从该端输出。

GND_A ——模拟地。片内模拟电路的公共接地端。

$-V_{REF}$ ——负基准电源。

$+V_{REF}$ ——正基准电源。进行 A-D、D-A 变换所需的基准电源由该端和 $-V_{REF}$ 端引入。

电路的功能说明

电路由发送接收和控制部分组成。发送模拟信号从 VF_T 输入,经抽样、保持和 A-D 变换,加到比较器,其输出送入逐次逼近寄存器,缓冲输出 PCM 编码信号。接收部分由输入

缓冲器、PCM解码电路、D-A变换器及输出跟随器构成。从DI_R端串行输入的PCM数码经缓冲寄存器变为并行码信号,再经D-A变换与解码,恢复成模拟信号而由VF_R输出。

控制部分根据从CP端输入的主时钟产生所需的定时与控制信号,提供电路内相关单元应用。

主要电参数

(1)直流特性

推荐电源电压

特 性	符号	最小值	典型值	最大值	单位
正电源电压	V ₊	4.75	5.0	5.25	V
负电源电压	V ₋	-5.25	-5.0	-4.75	V
正基准电压	+V _{REF}	2.375	2.5	2.625	V
负基准电压	-V _{REF}	-2.625	-2.5	-2.375	V

直流特性: (V₊=5V, V₋=-5V, V_{REF}=2.5V, -V_{REF}=-2.5V, T_A=0 ~ 70℃)

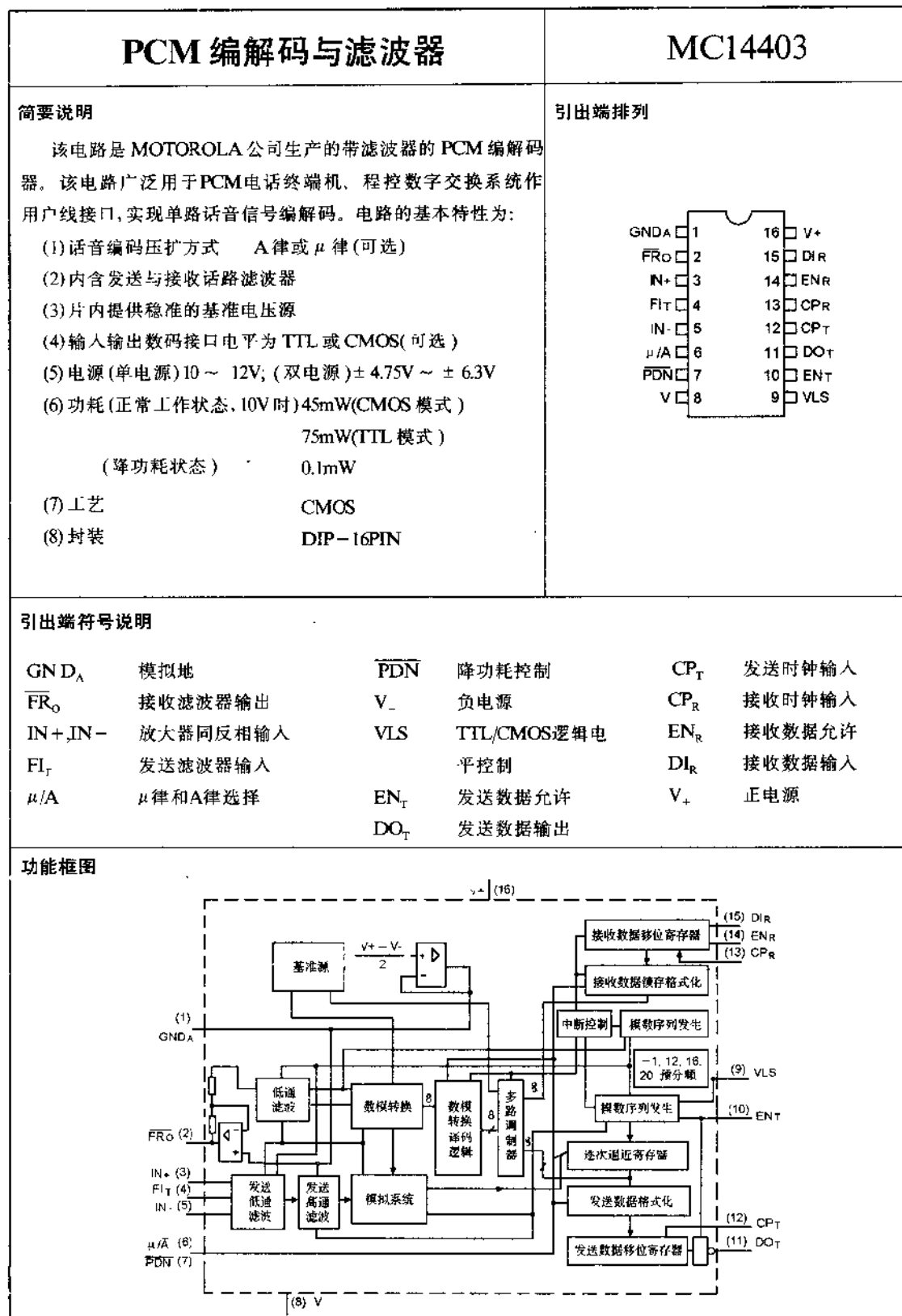
特 性	符号	最小值	典型值	最大值	单位
模拟输入阻抗 (抽样时)	R _{AI1}		2		kΩ
模拟输入阻抗 (非抽样时)	R _{AI2}		100		MΩ
模拟输出阻抗	R _{AO}		20	50	Ω
模拟输出电流	I _{AO}	0.25	0.5		mA
模拟输入失调电压	V _{INB}		± 1	± 8	mV
模拟输入电容	C _{AI}		150	250	pF
模拟输出失调电压	V _{OOS}		± 200	± 850	mV
数字输出漏电流	I _{OL}		+ 0.1	+ 10	μA
数字输出低电平	V _{OL}			0.4	V
数字输出高电平	V _{OH}	3.9			V
数字输出电容	C _O		8	12	pF
V _I 电源电流	I _{D1}		4	10	mA
V ₋ 电源电流	I _{D2}		2	6	mA
V _{REF} 电源电流	I _{D3}		4	20	mA
-V _{REF} 电源电流	I _{D4}		4	20	mA
空闲信道噪声	N _{FC}		-80	-68	dB _{noy}
信号与失真比 (信号电平- -30dB _{no})	S/D	35	39		dB

(2) 交流特性

特 性	符 号	最小值	典型值	最大值	单 位
主时钟频率	f_{CPM}	1.5	2.048	2.1	MHz
发送, 接收时钟频率	f_{CPT}, f_{CPR}	0.064	2.048	2.1	MHz
时钟脉宽	t_w	200			ns
时钟上升, 下降时间	t_{ri}, t_{fg}			$0.25t_w$	ns
SYN _T , SYN _R 信号周期	t_{PS}		125		ns
发送数据延时	t_{d2}	0		200	ns
数据输出下降时间	t_{sa}		50	100	ns
数据输出上升时间	t_{rd}		50	100	ns
接收数据建立时间	T_{SU2}	50			ns
接收数据保持时间	t_{H1}	200			ns
接收同步建立时间	t_{SU3}	200			ns
模拟输出正摆率	SL ₁		1		V/ μ s
模拟输出负摆率	SL ₂		1		V/ μ s

(3) 极限参数

参 数	符 号	极 限 值		单 位
		最 小	最 大	
正电源电压	V_+		+6.0	V
负电源电压	V_-	-6.0		V
正参考电压	$+V_{REF}$	-0.5	V_+	V
负参考电压	$-V_{REF}$	V_-	0.5	V
数字输入电压	V_i	-0.5	V_+	V
模拟输入电压	V_{IA}	V_-	V_+	V
工作温度	T_A	0	+70	℃
贮存温度	T_{stg}	-55	+125	℃



引出端功能说明

GND_A — 模拟地。其直流电压约为 $(V_+ - V_-)/2$ ，在使用对称正负电源时，应接系统模拟地。

$\overline{\text{FR}}_O$ — 接收滤波器输出。PCM 解码与平滑滤波后的模拟信号由该端输出。

IN_+, IN_- — 发送运放的同相、反相输入端。

FI_T — 发送滤波器输入端。它也是发送运放的输出，若该端与 IN_- 或 IN_+ 间外接电阻 ($< 10\text{k}\Omega$) 可调整发送运放的增益。

$\mu/\bar{A}$ — μ 律和 A 律选择。用于选择编解码器压扩方式与数据格式。若 $\mu/\bar{A} = V_-$ ，电路工作及 DO_T, DI_R 输出输入数据应为 A 律压扩编码方式；若 $\mu/\bar{A} = V_+$ ，则为 μ 律压扩与零抑制编码方式；若 $\mu/\bar{A} = \text{GND}_A$ ，则为 μ 律压扩与符号/幅度编码方式，如下表所列。

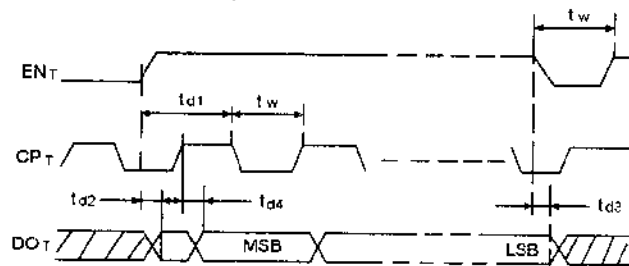
编码方式 输入电压	符号/幅度 码	μ 律编码 (零码抑制)	A 律编码 (CCITT)	$\mu/\bar{A}$	DO_T, DI_R
+1	11111111	10000000	10101010	V_-	A 律
+0	10000000	11111111	11010101	V_+	μ 律(零码抑制)
-0	00000000	01111111	01010101	GND_A	μ 律(符号/幅度码)
-1	01111111	00000010	00101010		

PDN — 降功耗控制。该端接 V_+ 或逻辑高电平时，编解码器正常工作；接 V_- 或逻辑低电平时，编解码器进入降功耗状态，功耗仅为 0.1mW 。

V_- — 负电源。单电源供电时，该端接 0V ；正负电源供电时，该端接负电源。

VLS — TTL/CMOS 逻辑电平控制。该端输入信号电平等于 V_+ 时，编解码器数字端口输入、输出信号与 CMOS 电平兼容；该端输入信号电平小于 $(V_+ - 4)\text{V}$ 时，数字端口输入、输出信号与 TTL 电平兼容。

EN_T — 发送数据允许。控制编解码器开始发送 PCM 信号，高电平有效。此后，在发送时钟同步下，8 位 PCM 码依次出现在总线上，时间关系如下图所示。



MC14403 发送时序

DO_T — 发送数据输出。在 EN_T 和 CP_T 信号控制下，编解码器根据 FI_T 端输入信号产生 PCM 码并通过该端串行输出。输出数据格式由 $\mu/\bar{A}$ 端输入信号决定。

CP_T — 发送时钟输入。发送时钟从该端输入编码器，以决定 PCM 码发送数据率。该信号频率只能为以下值之一：128kHz、1.536MHz、1.544MHz、2.048MHz、2.56MHz。

CP_R — 接收时钟输入。接收时钟从该端输入解码器，以决定 PCM 码接收数据率。该信号频率只能为以下值之一：128kHz、1.536MHz、1.544MHz、2.048MHz、2.56MHz。