

CROMEMCO 微型计算机

硬件资料汇编

(三)

杨森标 编译

清华大学出版社

723

2

CROMEMCO 微型计算机硬件资料汇编(三)

接口技术及芯片汇集

杨森标 编译

清华大学出版社

内 容 简 介

这本资料主要根据国外有关的技术手册以及编者两年来多次在微计算机学习班上讲授的内容整理编成。它比较详细地介绍了目前国外由 Z80-CPU 所组成的微计算机系统中所采用的接口电路芯片: Z80-PIO, Z80-SIO, Z80-CTC, Z80-DMA 以及 TMS-5501, FD-1771 等技术资料。对微计算机系统中常用的 74 系列中小规模芯片以及 2708, 4050, 4116, 9050, 等等也作了介绍。

鉴于编者水平有限, 若有错误或不完善之处欢迎读者给予批评指正。

本书适于作微计算机学习班的培训教材或自学之用。

CROMEMCO 微型计算机硬件资料汇编(三)

接口技术及芯片汇集

杨森标 编译

☆

清华大学出版社出版

北京 清华园

岳各庄印刷厂印刷

北京 丰台

新华书店北京发行所发行 各地新华书店经售

开本: 787×1092 1/16 印张: 11 字数: 273 千字

1983年9月第一版 1983年9月第一次印刷

印数: 1~35000

统一书号: 15235·89 定价: 1.50元

编 者 的 话

随着大规模集成电路技术(LSI)的发展,在七十年代中,以单片硅片上能完成一个运算器与其相联的控制器功能的微处理器和接口芯片,取得了突飞猛进的进展,用这些大规模集成电路组成的微型计算机系统,也迅速发展起来,逐渐形成了计算机的一个新的技术分支。微型计算机系统,具有功能强、价格低廉、使用方便、体积小等特点,在一般工业企业控制、小型工商企业管理,小规模科学计算,及教学方面得到广泛应用。

美国 CROMEMCO 公司生产的八位微型计算机系统,采用了 Z80 (或 Z80A) CPU 作为中央处理器,因此它具备 Z80 (或 Z80A) CPU 在成组数据交换和检索,位处理,三种中断方式(特别是向量中断方式)等方面的优点;在接口技术上采用大规模集成电路芯片,如通用双通道(串行或并行通道口)异步收发器 TMS—5501,软磁盘控制器和格式器 FD—1793 (或 FD—1771),使得接口卡件板具有多功能的特性。由 ZPU、64 KRAM TU-ART、16 FDC(或 4 FDC)等功能卡件板及 8" 软磁盘驱动器、3102型终端显示器、双向快速打印机 3703等外围设备组成微型计算机基本硬件系统。此外,该公司还提供了各种用途的可扩充系统硬件功能的卡件板,如 D+7A(A/D—D/A)转换控制板,32K字节保存器卡件板,8 PIO并行通道接口板等可供用户任意选用。在软件方面,该系统采用 CDOS 磁盘操作系统,它是在 CP/M 系统软件基础上搞出来的,近年又配置了多用户操作系统软件,在程序语言软件方面,配置了 Z80 浮动宏汇编及扩展 BASIC,多用户 BASIC FORTRAN IV, COBOL 等高级语言。

我校在1978年上半年引进一套 CROMEMCO CS-III 系统,从1979年开始我们对该系统硬件进行剖析,翻译消化技术资料及说明书,查阅了有关技术资料及文献,在此基础上进行了教学工作和技术培训,并根据讲稿初步整理了“CROMEMCO 微型计算机硬件资料汇编”参考资料。

这本参考资料共分四册,第一册 Z80 微处理器原理,第二册 Z80 汇编语言程序设计,第三册接口技术及芯片汇集,第四册 CROMEMCO 微型计算机系统原理分析。该书是由清华大学计算机工程与科学系的计算机研制车间的同志们集体讨论,分别负责编写的。第一册由乌振生负责编写,朱家维校订,第二册由史嘉权负责编写,朱家维校订,第三册由杨森标负责编写,张公忠、涂连华校订,第四册由陈在勤负责编写,杨森标等同志负责校订。

本套书第一、二册承蒙林定基同志校阅指正,对此编者表示深切谢意。

由于编者技术业务水平有限,难免出错,敬请广大读者批评指教。

编 者

1982年4月25日

一至四册总目录

第一册 Z 80 微处理器原理

序 言

- 第一章 微处理器发展简况 Z80 微处理器技术特征
- 第二章 Z80 微处理器(CPU)结构
- 第三章 接口信号和时序
- 第四章 寻址方式
- 第五章 指令系统
- 第六章 输入、输出技术与中断结构

第二册 Z80 汇编语言程序设计

- 第一章 汇编语言概述
- 第二章 Z 80 指令系统概述
- 第三章 伪指令
- 第四章 数据传送程序的基本结构
- 第五章 算术逻辑运算和程序结构的变换
- 第六章 移位和位操作
- 第七章 数据表和链表操作
- 第八章 转移和子程序操作
- 第九章 输入、输出
- 第十章 通用子程序
- 第十一章 为指令和条件汇编
- 第十二章 系统调用和汇编程序库
- 第十三章 汇编语言程序的运行和调试
- 第十四章 汇编语言程序设计举例

第三册 接口技术及芯片汇集

- 第一章 接口概述
- 第二章 Z80—PIO
- 第三章 串行数据传递及 Z80—SIO
- 第四章 Z80—DMA 部件
- 第五章 Z80—CTC
- 第六章 TMS—5501
- 第七章 FD—1771
- 第八章 中小规模集成电路器件手册 CROMEMCO 系统 III 所使用主要器件)

第四册 CROMEMCO 微型计算机系统原理分析

- 第一章 CROMEMCO 微型计算机系统结构
- 第二章 ZPU 板
- 第三章 16KZ RAM板
- 第四章 64KZ RAM板
- 第五章 字节保存器Ⅱ板
- 第六章 32 K 字节保存器板
- 第七章 TU-ART 接口板
- 第八章 PRI接口板
- 第九章 4FDC 软磁盘控制板
- 第十章 16FDC 软磁盘控制板
- 第十一章 4 PIO 接口板
- 第十二章 8PIO 接口板
- 第十三章 D+7A I/O 接口板

目 录

第一章 接口概述	1
1.1 引言	1
1.2 接口芯片基本组成	1
第二章 Z80-PIO	4
2.1 特性	4
2.2 方框图及通道结构	4
2.3 Z80-PIO引脚功能说明	5
2.4 工作方式选择	8
2.5 中断控制字设置	11
2.6 复位	14
2.7 应用举例	14
第三章 串行数据传送及Z80-SIO	19
3.1 串行数据传送的基本概念	19
3.1.1有关串行 I/O 的几个基本概念	19
3.1.2异步传送和同步传送	26
3.1.3 SDLC 规程格式简介	28
3.2 Z80-SIO	29
3.2.1 主要性能	29
3.2.2 引脚功能说明	30
3.2.3 SIO的结构	32
3.2.4 SIO程序编制	36
3.2.5 编程举例	47
3.2.6 附图(附 Z80 SIO/1.2.9 引脚图)	60
第四章 Z80-DMB 部件	61
4.1 概述	61
4.2 性能	62
4.3 DMAC 引脚功能说明	63
4.4 内部结构	64
4.5 寄存器讨论	65
4.6 DMA定时波形	67
4.7 DMA 编程	72
第五章 Z80-CTC	81
5.1 概述	81
5.2 CTC 内部结构	81

5.3 CTC引腿功能说明	84
5.4 CTC操作	85
5.5 CTC程序设计	87
5.6 CTC时序	89
5.7 编程举例	90
第六章 TMS-5501	93
6.1 引言	93
6.2 引腿功能说明	93
6.3 方框图	94
6.4 TMS-5501 命令介绍	96
6.5 中断结构	100
6.6 程序举例	101
第七章 FD-1771	103
7.1 概述	103
7.2 磁盘记录格式	103
7.3 FD-1771 引腿功能说明	107
7.4 FD-1771 内部框图	110
7.5 命令说明	112
7.6 状态寄存器	116
7.7 磁盘读写操作	118
第八章 中小规模集成电路器件手册	
(CROMEMCO-III 系统所用的主要器件)	120
引言	120
附图	158
附图一、Z80-SIO/1 引腿图	158
附图二、Z80-SIO/2 引腿图	159
附图三、Z80-SIO/9 引腿图	159
附图四、ED-1771 命令流程图	160
附图4-1, 第 I 类命令流程图	160
附图4-2, 第 I 类命令流程图	161
附图4-3, 第 I 类命令流程图	162
附图4-4, 第 II 类命令流程图	163
图4-5, 第 II 类命令流程图	164
附图4-6, 第 II 类命令流程图	165
附图4 7, 第 II 类命令流程图	166
附图4-8, 第 III 类命令流程图	167
附图4-9, 第 III 类命令流程图	168

第一章 接口概述

1.1 引言

微处理器要构成一台功能较完善的微计算机系统，除了要配置随机存储器(RAM)外，还要配置一些接口和许多支援芯片以及外围设备。接口和支援芯片是硬件系统的重要组成部分。

微计算机通过外围设备(又称I/O设备)和外界进行信息交换。常用的外围设备有光电输入机，打印机，带键盘的显示器(CRT)，磁盘驱动器等等。这些外围设备通过接口芯片(又称I/O口)和CPU配接。所谓接口就是完成计算机和外围设备之间信息交换和控制的部件。

微处理器是一种通用的处理部件，它除了能进行数据运算以外，也可作为系统控制，它的应用范围非常广泛。如果对于各种应用类型都设计专用的接口电路，那么接口芯片的品种就会很繁杂，成本高昂。为此，目前厂家大都根据数据传送类型生产通用可编程序接口芯片，以利于减少品种，降低成本、一片多用。

1.2 接口芯片基本组成

1. 数据缓冲寄存器：

用于缓冲输入输出数据的寄存器称为数据缓冲寄存器。

输入输出是按信息传送的方向定义的。习惯上我们把信息从外围设备送至CPU称为输入，把信息从CPU送至外围设备称为输出。

由于CPU和外围设备之间信息传递的速度、时间不同，要在它们之间实现信息交换，就需要有缓冲寄存器才能协调起来。

数据缓冲寄存器分为：数据发送缓冲寄存器和数据接收缓冲寄存器。

2. 命令控制逻辑：

一般接口芯片具有数据传送或控制外围设备的各种动作的功能。数据传送分为发送或接收，并行或串行，同步或异步等等。为了控制CPU和外围设备之间进行数据交换的类型和方式，就需要向芯片写控制字(或称命令字)，规定该芯片执行何种功能的操作。而且，不论何种操作都需要在一定的时序控制之下进行。

命令控制逻辑可执行上述功能。

3. 中断控制逻辑：

接口芯片不论是用于信息传送或者执行某种动作，大都采用中断方式。即在完成某种规定的操作之后，或请求执行某种操作之前，外围设备通过接口向CPU发中断请求。在多个外围设备的系统中，必须规定中断优先级，进行中断优先排队和解决中断嵌套等问题。

中断控制逻辑可完成上述功能，在一般情况下，它包含有中断寄存器，中断屏蔽寄存器，中断地址寄存器（或中断向量寄存器）以及排队控制电路等等。对满足Z80中断方式2要求的Z80接口芯片，在CPU响应中断时，能够快速提供中断向量的低8位，它和CPU芯片内部I寄存器提供的高8位组成16位地址指针，去访问中断服务程序入口地址表，以获得一个相应的中断服务程序的入口地址。

4. 状态寄存器，

状态寄存器记录外围设备的现行工作状态，以供CPU查询。CPU可从读入状态寄存器的内容，根据外围设备提供的状态信息，转入相应的处理子程序。

以上四个部份是可编程序接口芯片内部的主要组成部份。

5. 外部引脚信号线

由于接口芯片需要和CPU以及外围设备进行配接。所以，接口芯片外部引脚信号线可分为二部份：一部份是和CPU联接的引脚信号线，另一部份是和外围设备联接的引脚信号线。

如图1—1所示。

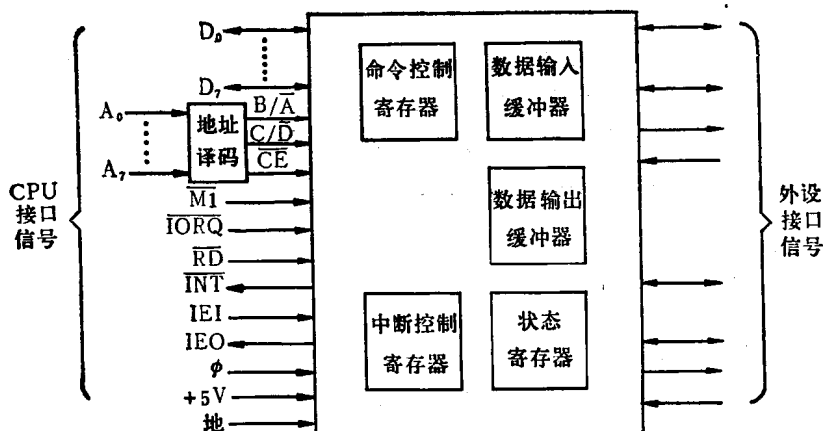


图 1—1 接口芯片引脚信号

和CPU联接的引脚信号线大致可分以下三种：

(1) 数据总线(D₀—D₇)：

用于CPU和接口芯片之间进行信息（包括数据和控制字或状态字）传送的一组传输线。

(2) 设备地址译码：

地址总线的低8位A₀—A₇为设备号。通过地址译码器输出作为 $\overline{CE}$ （芯片允许），B/ $\overline{A}$ （通道选择），和C/ $\overline{D}$ （数据/控制字）这三根引脚信号。

(3) 系统控制信号：

从CPU来的 $\overline{MI}$ ， $\overline{IORQ}$ ， $\overline{RD}$ 这三根引脚信号，主要用于对接口芯片的读、写及操作同步的控制。

(4) 其他：

ϕ 系统时钟：由CPU发来，用于确定接口操作时序。

$\overline{INT}$ 中断请求：接口芯片通过该引脚向CPU发中断请求。

IEI 中断允许输入

IEO 中断允许输出

IEI和IEO这两个引脚信号用在多接口芯片系统中,进行链接成中断优先链路。每个接口芯片的中断优先级决定该芯片在链路中的物理位置。

对于和外部设备联接的引脚信号,根据信息传送的类型不同,外围设备的类型不同,而各有差异。或者说,不同类型的接口芯片在和CPU联接的引脚信号大致相同,主要差别就在于和外围设备联接的引脚信号不同。这部份我们将在介绍不同类型接口芯片时作详细说明。

Z80系列的接口芯片均采用单一(+5V)电源和单一时钟 ϕ 。

第二章 Z80—PIO

2.1 特 性

Z80—PIO 是可程序的并行输入、输出接口部件，具有两个独立的 8 位、双向数据通道。可与 Z80—PIO 配接的典型外围设备有：键盘、打印机、光电输入机、PROM 程序写入器等。其主要特性如下：

1. 有二个独立的 8 位，双向数据通道，配有数据传递时的信息交换握手线 (handshake)。
2. 具有中断优先链结构，能快速响应中断并自动提供 8 位中断向量。
3. 有四种不同的操作方式可供选择：
字节输出方式 (方式0)
字节输入方式 (方式1)
双向方式 (仅适用于通道 A) (方式2)
位控方式 (方式3)
4. 输入、输出均与 TTL 兼容。

2.2 方框图及通道结构

Z80—PIO 的方框图如图2—1所示

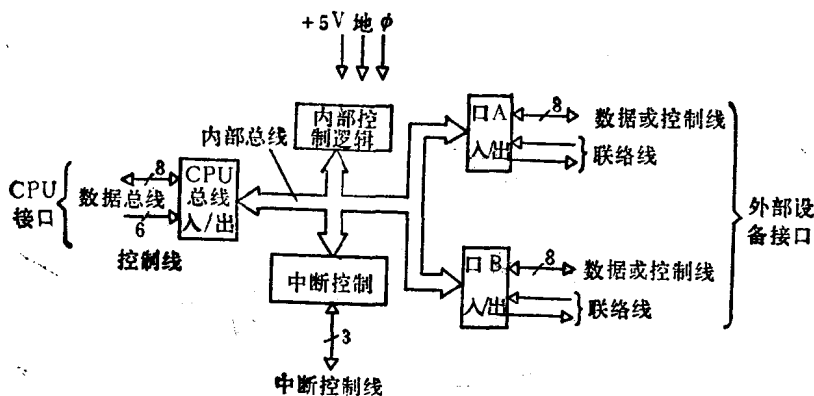


图2—1 PIO方框图

Z80—PIO 的内部结构是由 Z80—CPU 总线接口、内部控制逻辑、中断控制逻辑以及通道 A 和通道 B 等组成。

CPU 总线接口可以和 CPU 8 位数据总线，地址总线的低 8 位（或经译码器），以及系统控制信号直接连接。

内部控制逻辑根据不同的操作方式产生各自的操作时序，解决 CPU 和外围设备之间的同步关系。

中断控制逻辑管理三根引脚信号线：INT，IEI 和 IEO。

INT 为 Z80—PIO 向 CPU 发出中断请求的引脚信号线。

IEI（中断允许输入）和 IEO（中断允许输出）这两根引脚作为联接中断优先链路之用。在多个接口芯片时，通过 IEI 和 IEO 链接成一串优先链路，每个芯片的优先级由它在链路中的物理位置而定。靠近 CPU，其优先级最高。优先级高的芯片发中断请求可以随时打断优先级较低芯片的中断服务，被打断的低优先级的中断服务在高优先级中断服务执行完毕后再接着执行。低优先级芯片的中断请求不能打断优先级较高的芯片的中断服务。在 Z80—PIO 内部，A 通道的优先级高于 B 通道。

Z80—PIO 的通道方框图如图 2—2 所示

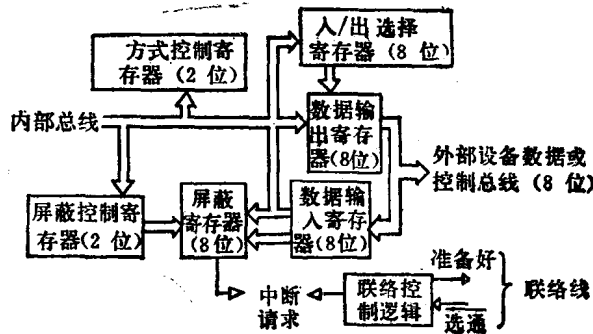


图 2.2 通道方框图

Z80—PIO 内部有两个通道、每个通道由六个寄存器和信息交换握手线（联络线）等所组成。

这六个寄存器是数据输入寄存器（8 位）、数据输出寄存器（8 位）、入/出选择寄存器（8 位）、方式控制寄存器（2 位）、屏蔽寄存器（8 位）、屏蔽控制寄存器（2 位）。

外围设备和 CPU 之间的数据传送都是经过数据输入寄存器和数据输出寄存器。操作方式的选择由方式控制字（2 位）译码而得。每个通道都配有二根信息交换握手线：准备好（RDY）及选通（STB），它们是用来作为 PIO 和外围设备之间进行数据传送的应答和控制信号。

入/出选择寄存器、屏蔽寄存器以及屏蔽控制寄存器是在位控方式（即方式 3）时使用。

2.3 Z80—PIO 引脚功能说明

Z80—PIO 的引脚信号如图 2—3 所示。

D_0 — D_7 数据总线（双向、三态）

数据总线用来传送 CPU 和 PIO 之间的全部数据和命令。 D_0 是数据总线的最低位， D_7 是数据总线的最高位。

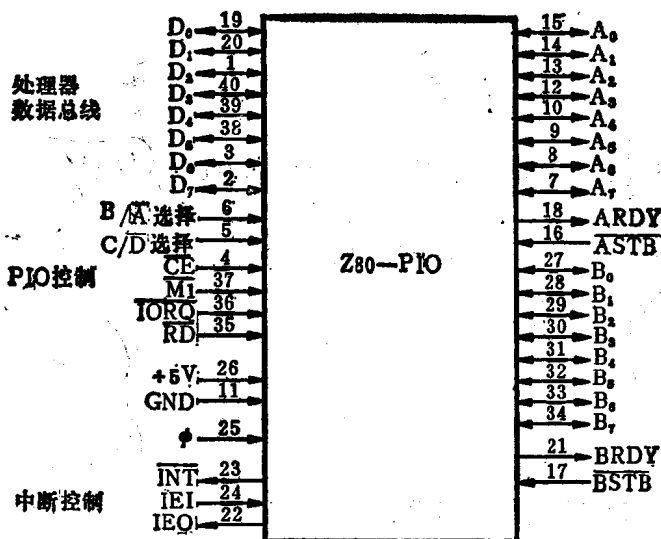


图 2-3 PPIO引脚图

B/ $\bar{A}$ 选择 通道 B 或通道 A 选择 (输入)

本引脚规定了在 CPU 和 PIO 之间进行数据传送时将选择哪一个通道。通常用地址线 A_0 作为本引脚信号。当 A_0 为高电平时、选择 B 通道，当 A_0 为低电平时，选择 A 通道。

C/ $\bar{D}$ 选择 控制字或数据选择 (输入)

本引脚规定了在 CPU 和 PIO 之间进行信息传送的类型。通常用地址线 A_1 作为本引脚信号。当 A_1 为高电平时，Z80—PIO 的数据总线被用来传送控制字，当 A_1 为低电平时，数据总线被用来传送数据。

$\overline{CE}$ 芯片允许 (输入、低电平有效)

当本引脚为低电平时，表示本芯片被 CPU 选中，在 $\overline{IORQ}$ 同时有效时允许芯片开始操作，可在写周期期间接收 CPU 传送来的控制字或数据。在读周期期间向 CPU 发送数据。通常用设备地址码的高位 (A_7-A_2) 经译码器输出后作为本引脚的控制信号。

$\overline{M1}$ 来自 CPU 的 $\overline{M1}$ 信号 (输入，低电平有效)

从 CPU 来的 $\overline{M1}$ 信号被用来作为同步脉冲，以控制 PIO 内部操作。

$\overline{M1}$ 信号是和 $\overline{IORQ}$ 信号以及 $\overline{RD}$ 信号配合使用的。

$\overline{IORQ}$ 来自 CPU 的 $\overline{IORQ}$ 信号。(输入，低电平有效)。

当本引脚信号为有效低电平时，表明地址总线低 8 位 (A_0-A_7) 是一个有效的设备地址码。

$\overline{RD}$ 来自 CPU 的读周期信号。(输入，低电平有效)。

当本引脚信号为有效低电平时，表明正在对存储器或外围设备进行读操作。

$\overline{M1}$ 、 $\overline{IORQ}$ 、 $\overline{RD}$ 三个信号必须配合使用，在 $\overline{CE}$ 信号为有效低电平的情况下：

1，当 $\overline{M1}$ 有效而 $\overline{IORQ}$ 信号和 $\overline{RD}$ 信号无效 (即为高电平) 时，表明 Z80—PIO 进入复位状态。

2，当 $\overline{M1}$ 和 $\overline{IORQ}$ 同时为有效低电平时、表明 CPU 对 Z80—PIO 的中断请求给予响应。中断请求的通道 (若它现在是发中断请求的中断优先级最高的通道) 将自动把 8 位中断向量送

至数据总线上。

3. 当 $\overline{\text{IORQ}}$ 和 $\overline{\text{RD}}$ 信号同时有效时, 表明 CPU 正在对引脚 B/ $\overline{\text{A}}$ 所指定的通道读取数据。

4. 当 $\overline{\text{IORQ}}$ 信号为有效低电平而 $\overline{\text{RD}}$ 信号为高电平时, 表明 CPU 正在向引脚 B/ $\overline{\text{A}}$ 所指定的通道写控制字(当 $\text{C}/\overline{\text{D}} = 1$ 时)。或写数据(当 $\text{C}/\overline{\text{D}} = 0$)。

$\overline{\text{INT}}$ 中断请求信号(输出, 漏极开路, 低电平有效)。

当本引脚为低电平时, 表明本芯片正向 CPU 发出中断请求。

$\overline{\text{IEI}}$ 中断允许输入(输入, 高电平有效)

$\overline{\text{IEO}}$ 中断允许输出(输出, 高电平有效)

当微计算机系统采用多个接口芯片时, 需要进行中断优先权排队。引脚 $\overline{\text{IEI}}$ 和 $\overline{\text{IEO}}$ 即作为连接中断优先链路用。

当 $\overline{\text{IEI}}$ 和 $\overline{\text{IEO}}$ 同时为高电平时表示本芯片尚未有中断请求。优先权更高的器件也没有发中断请求。

当 $\overline{\text{IEI}}$ 和 $\overline{\text{IEO}}$ 同时为低电平表示优先权更高的器件正在中断服务。本芯片的中断被屏蔽。

当 $\overline{\text{IEI}}$ 为高电平, $\overline{\text{IEO}}$ 为低电平时表示本芯片口进行中断服务。

ϕ 系统时钟(输入)

可采用 Z80 系统时钟 ϕ 作为 PIO 内部的时钟信号。

$\text{A}_0 - \text{A}_7$ A 通道数据总线, (双向, 三态)

这 8 位数据总线是用来在 Z80—PIO 的通道 A 和与之连接的外围设备之间进行数据或控制信息的传递。 A_0 是通道数据位的最低位。

$\overline{\text{ARDY}}$ A 通道准备就绪(输出, 高电平有效)

在不同的操作方式时, 本引脚所表示的功能不同。现说明如下:

1. 输出方式: 当本引脚为高电平时, 表示通道 A 的输出数据寄存器已装有数据, 并且外部数据总线也稳定了, 向外围设备传送数据已作好了准备。

2. 输入方式: 当本引脚为高电平时, 表示通道 A 的输入数据寄存器已空, 已经准备好接收外围设备来的数据。

3. 双向方式: 当通道 A 工作在双向方式时, 本引脚为高电平时即表明通道 A 的输出数据寄存器已装有数据(但并不放至数据总线 $\text{A}_0 - \text{A}_7$ 上)。

4. 位控方式: 当通道 A 工作在位控方式时, 本引脚被封锁并强制为低电平。

$\overline{\text{ASTB}}$ A 通道的选通脉冲(输入, 有效低电平)。

在不同的操作方式时, 本引脚的功能说明如下:

1. 输出方式: 外围设备发出来的选通脉冲正沿作为外围设备已接收到通道 A 发送至该设备的有效数据的回答。

2. 输入方式: 本信号的作用是把外围设备送来的数据装入通道 A 的输入数据寄存器。当本信号有效时, 表明已把数据装入 PIC。

3. 双向方式: 当通道 A 工作在双向方式时, 本引脚信号有效时, 表明外围设备已接收到通道 A 的输出数据, 选通脉冲的正沿作为外围设备接收到通道 A 发送来的有效数据的回答。

4. 位控方式：当通道 A 工作在位控方式时本引腿信号被封锁。

$B_0 - B_7$ B 通道的数据总线（双向，三态）

这 8 位数据总线是用来在 Z80—PIO 的通道 B 和与之连接的外围设备之间进行数据或控制信息的传递。 B_0 是通道数据位的最低位。

$\overline{BRDY}$ B 通道准备就绪（输出，高电平有效）

本引腿的功能类似于 $\overline{ARDY}$ 。但有下列例外：当通道 A 操作在双向方式，通道 A 的输入数据寄存器空且准备好接收外围设备来的数据时，本引腿信号为高电平。

$\overline{BSTB}$ B 通道的选通脉冲（输入，低电平有效）

本引腿的功能类似对 $\overline{ASTB}$ 。但有下列例外：当通道 A 操作在双向方式、本引腿信号可将外围设备来的数据选通送至 A 通道的输入数据寄存器。

2.4 工作方式选择

PIO 通道 A 可以有四种不同的操作方式供选择：方式 0（输出方式）、方式 1（输入方式）、方式 2（双向方式）、方式 3（位控方式）。而通道 B 可以操作在除方式 2 以外的其它方式。

操作方式选择是通过 Z80—CPU 向 PIO 写方式控制字。

方式控制字的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
M1	M0	X	X	1	1	1	1

说明：

$D_3 D_2 D_1 D_0$ 为 1 1 1 1 是作为 PIO 识别方式控制字的标记。

$D_7 D_6$ 为操作方式控制码，可译码为四种情况：

$M1 M0$

0 0 表示输出方式（即方式 0）

0 1 表示输入方式（即方式 1）

1 0 表示双向方式（即方式 2）

1 1 表示位控方式（即方式 3）

$D_5 D_4$ 这二位可任意。

下面对上述这四种不同操作方式分别进行讨论：

1. 输出方式（方式 0）

PIO 工作在输出方式时，通道的数据输出寄存器有效，而数据输入寄存器无效。

输出方式的操作过程叙述如下：

当 Z80—CPU 发出 OUT 指令时，CPU 按通道的地址，将 8 位数据写到输出数据寄存器并传送到通道的数据总线上。在 $\overline{WR}$ 信号的上升沿所对应的下一个 ϕ 的下降沿时，使 $\overline{RDY}$ 信号置高电平，表示通道数据总线上的 8 位数据字节是有效、可供外围设备读取。外围设备感受到 $\overline{RDY}$ 有效高电平之后，发出 $\overline{STB}$ 选通脉冲信号作为回答，并接收来自 PIO 通道数据

总线上的 8 位数据字节。在选通脉冲 $\overline{STB}$ 的上升沿将自动产生中断请求 $\overline{INT}$ （若这时中断允许触发器已置 1 且该通道的中断请求优先权为最高者）。并在 $\overline{STB}$ 信号的上升沿对应的时钟 ϕ 的下降沿把 RDY 信号复位。

输出方式的时序波形如图 2—4 所示。

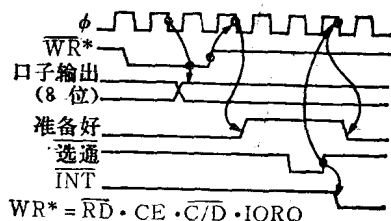


图 2—4 方式 0 输出定时波形

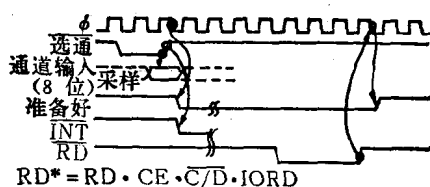


图 2—5 方式 1 输入定时波形

2. 输入方式（方式 1）

PIO 选择在输入方式工作时，其输入数据寄存器有效，而输出数据寄存器无效。

输入方式的操作过程叙述如下：

当 Z80—CPU 执行一次读操作（使输入数据寄存器变空）之后，通道的 RDY 信号引线变为高电平，表示通道已准备好接收外围设备来的数据，外围设备感受到 RDY 有效高电平之后、发出选通脉冲 $\overline{STB}$ ，通过 $\overline{STB}$ 信号、把外围设备来的数据字节装入输入数据寄存器。并在 $\overline{STB}$ 选通脉冲的上升沿时发 $\overline{INT}$ （若这时中断允许触发器置 1，且该通道的中断请求优先权为最高者）。 $\overline{STB}$ 信号的上升沿所对应的时钟 ϕ 的下降沿把 RDY 信号复位，表示输入数据寄存器已满。Z80—CPU 响应中断后、将在执行中断服务程序的过程中后通道输入数据寄存器中读取数据。在 $\overline{RD}$ 信号的上升沿所对应的时钟 ϕ 的下降沿把 RDY 信号引线置高电平、以表示外围设备可以再把新的数据装入 PIO 通道。

输入方式的时序波形如图 2—5 所示。

在一些系统中，若外围设备没有选通脉冲 $\overline{STB}$ 信号，此时可以采用 RDY 信号的上升沿作为外围设备数据锁入通道输入数据寄存器的信号。这是由于在 $\overline{IORQ}$ 前沿后的 $1\frac{1}{2}$ 周期时 RDY 信号被强制变低，在 $\overline{IORQ}$ 后沿的第一个时钟 ϕ 的下降沿将使 RDY 信号变高，此时，外围设备的输入的数据就能在 RDY 信号变高时进入通道输入数据寄存器。

3. 双向方式（方式 2）仅用于 A 通道。

双向数据传送方式，要用全部四根信息交换控制信号线。所以，仅 A 通道可采用这种方式。若 A 通道选择双向方式操作时，B 通道只能选用位控方式。

当 A 通道工作在双向方式时，通道 A 的信息交换控制信号线 $ARDY$ 和 $\overline{ASTB}$ 作为通道 A 的输出控制。而通道 B 的信息交换控制信号线 $BRDY$ 和 $\overline{BSTB}$ 作为通道 A 的输入控制。双向方式实际上只是方式 0 和方式 1 的组合，仅在输入方式时借用了通道 B 的 $BRDY$ 和 $\overline{BSTB}$ 作为控制信号。

双向方式的时序波形如图 2—6 所示。

为了避免通道 A 的数据总线在双向方式时出现总线冲突，PIO 通道 A 在设计上注意到这一点，当它工作在双向方式时，其输出状态和方式 0 的不同点在于：在双向方式时，只有当 $\overline{ASTB}$ 引脚输入信号为低电平时才允许通道 A 把 8 位数据送至通道数据总线，并用这一脉冲的上升沿将数据锁入外围设备中。输入状态和方式 1 的工作情况一样。这就要求当 $\overline{ASTB}$