

大规模集成电路的 未来技术

〔日〕西泽润一 编

科学出版社

内 容 简 介

本书立足于半导体技术的现状,面向大规模集成电路技术的未来,对集成电路技术中的材料制造技术与微细加工技术等作了深入地分析与探讨。全书共九章,分别介绍了多晶硅薄膜、半绝缘多晶硅薄膜及金属硅化物的生长技术和生成机理,利用光致发光法评价硅晶体性能的技术,以及大规模集成电路的微细加工技术,其中包括干法工艺、抗蚀剂材料及曝光技术的现状和展望及等离子化学汽相淀积技术。同时书中还用一章的篇幅介绍了“大规模集成电路与系统相融合”的低能量系统大规模集成电路。

本书可供从事集成电路研制的科技人员阅读参考,也可作为大专院校相关专业高年级师生的教学参考书。

财团法人 半导体研究振興会,西泽润一编

是 LSI 技術[5] LSI の将来技術

工業調査会発行, 1982

大规模集成电路的未来技术

〔日〕西泽润一 编

杨世良 林 泳 译

郑文灏 葛 璜 校

责任编辑 魏 玲

科学出版社出版

北京朝阳门内大街 137 号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1988 年 8 月第 一 版 开本: 787×1092 1/32

1988 年 8 月第一次印刷 印张: 11

印数: 0001—2,770 字数: 249,000

ISBN 7-03-000414-0/TN·22

定价: 4.00 元

译者序

大规模、超大规模集成电路既是大量基础理论研究和各种工艺技术研究的综合结果,也是人类智慧的高度结晶,它的小型化、高集成度的特点决定了其生产技术的先进性。可以说,集成电路的不断发展、前进正是立足于它的生产手段、技术手段的不断革新的基础之上。

本书译自日本“半导体研究”第十八卷——《超 LSI 技术 [5] LSI 的未来技术》。书中既介绍了向超大规模集成电路迅速发展的半导体技术的现状以及将来的展望,也在广阔的范围内,对材料制造技术及微细加工技术等作了深入地分析与探讨。本书各章的撰写者均为日本目前在各该领域第一线从事研究工作的专家。原书前言中认为,书中所述内容是“未来(日本)大规模集成电路技术的指导方针”。当然,这种看法并不一定恰如其分,但“它山之石,可以攻玉”,我们希望本书对我国从事集成电路研制的科技人员能有一定的参考价值。

由于水平所限,译文中不当之处肯定存在,希望读者批评指正。

目 录

第一章 微细器件存在的问题	1
1.1 前言	1
1.2 微细器件	2
1.3 微小化器件	25
1.4 微小化器件的方向	28
参考文献	29
第二章 多晶硅和半绝缘多晶硅	31
2.1 前言	31
2.2 膜的生长与加工	32
2.3 膜的性质	36
2.4 钝化	44
2.5 异质结晶体管	52
2.6 结束语	59
参考文献	59
第三章 金属硅化物的生成与存在的问题	62
3.1 前言	62
3.2 金属硅化物的(固相反应)生成	65
3.3 硅化物的生成机理	79
3.4 硅化物和肖特基势垒	92
3.5 结束语	97
参考文献	98
第四章 利用光致发光法评价硅晶体的性能	100
4.1 前言	100
4.2 硅晶体的光致发光	102
4.3 利用光致发光评价晶体	110

4.4 高纯度晶体中残留杂质的评价	121
4.5 热处理硅晶体的评价	127
4.6 中子掺杂晶体的评价	138
4.7 后记	145
附录 新的杂质量检定线及其应用	146
参考文献	151
第五章 干法工艺	156
5.1 前言	156
5.2 不包括腐蚀的干法工艺	157
5.3 干法腐蚀	166
5.4 结束语	186
参考文献	187
第六章 等离子化学汽相淀积技术	189
6.1 前言	190
6.2 等离子 CVD 技术	190
6.3 等离子氮化硅膜的基本特性	201
6.4 最近的等离子 CVD 技术	231
6.5 其他的等离子 CVD 技术	238
6.6 等离子 CVD 技术的课题	239
参考文献	239
第七章 低能量化的系统大规模集成电路	242
7.1 前言	242
7.2 数字电路的设计	243
7.3 系统的性能	245
7.4 集成化结构和大规模集成电路技术的特点	247
7.5 系统大规模集成电路	249
7.6 计算机-通信系统	257
7.7 低能量化的方向	258
参考文献	260
第八章 今后的抗蚀剂材料	261

8.1 前言	261
8.2 抗蚀剂材料的物理化学性质	261
8.3 抗蚀剂材料的现状	272
8.4 未来的抗蚀剂材料	286
补遗	292
参考文献	293
第九章 今后的曝光技术	299
9.1 前言	299
9.2 曝光技术概述	300
9.3 电子束曝光装置	302
9.4 复制装置	326
9.5 后记	340
参考文献	341

第一章 微细器件存在的问题

西泽润一

1.1 前言

结构最为致密的集成电路的芯片表面的元器件密度正在超过人类大脑细胞的表面密度。人们认为,集成电路的图形尺寸正在进入亚微米级,并将进入毫微米级。实际上,毫微米级的精度即是几个原子层的精度。可以说,集成电路技术正在接近分子工程学领域。

同时,随着集成度的提高,集成电路的能量消耗也迅速减少,与 PL (集成注入逻辑)等效的 SITL (静电感应晶体管逻辑),其功耗-延迟乘积 $P\tau$ 已达到 200aJ (即 0.0002pJ)。据称,这样的性能足可与约瑟夫逊结器件相媲美。

就速度而言,结型器件的速度因电荷存储效应而受到限制。日本武藏野通信研究所研制的砷化镓肖特基栅 FET 的速度已达到 25ps , 据称, 若在液态氮温度中则可达到 15ps , 日本富士通研究所的硅 MOS 型 SIT 的速度已达到 100ps , 可以认为, 上述数值已与约瑟夫逊结器件的速度相差无几。实际上, SIT 可以比场效应晶体管 (FET) 或双极晶体管 (BPT) 的速度更快。特别是采用无存储效应的肖特基栅或金属-绝缘物-半导体 (MIS) 栅时, 在 1fJ 下已达 100ps 。当采用砷化镓时, 由于非双极器件的速度仅取决于电子的迁移率, 所以, 速度可能突破 10ps 。

于是：人们不仅要问：还有必要对约瑟夫逊器件继续进行研究吗？

当然，对于器件，还有一个关键指标，那就是可靠性与重复性问题。今后微细加工的任务是要探讨在十层原子层以内的可靠性与重复性问题，而这当然需要自动化技术。

1.2 微细器件

1.2.1 微细场效应晶体管的极限

根据场效应晶体管的按比例缩小理论^[1]，要提高速度必须缩小尺寸。因为，减小栅耗尽层的厚度可以减小分布电容 C_{gch} ，同时也可减小沟道电阻 r_{ch} ，这样，时间常数 $C_{gch}r_{ch}$ 也就减小了。

增加杂质浓度可以导致耗尽层厚度 d_g 的减小，于是，分布电容 C_{gch} 增大，但如果按照耗尽层厚度的减小相应地减小沟道厚度 T_{ch} ，则 C_{gch} 与 $N^{-\frac{1}{2}}$ (N 为杂质浓度) 成正比地减小，同时，因为杂质浓度增加了，所以，单位长度的电阻同样也与 $N^{-\frac{1}{2}}$ 成正比地减小。即，长度方向的尺寸不变，则时间常数不变。

电导率 σ 为 $qN\mu$ ，所以，沟道电阻 r_{ch} 由下式给出：

$$r_{ch} = \frac{L_{ch}}{T_{ch}W\sigma} \quad (1.1)$$

式中， L_{ch} 为沟道长度， W 为沟道宽度， T_{ch} 为沟道厚度。当外加夹断电压 V_p 和扩散电位 V_D 时，耗尽层厚度 d_g 等于沟道厚度 T_{ch0} ，所以

$$T_{ch0} = [2(V_p + V_D)\epsilon/qN]^{1/2} \quad (1.2)$$

将式 (1.2) 代入式 (1.1)，利用 $V_{gch} = V_g + r_{ch}Id$ ，则

$$r_{ch} = L_{ch}/\{qN\mu W[2(V_p + V_D)\epsilon/qN]^{1/2}$$

$$= [2(V_{gch} + V_p)\epsilon/qN]^{1/2} \quad (1.3)$$

在栅极沿沟道的长度为 L_g 时, 分布电容 C_{gch} 为

$$C_{gch} \approx L_g W \epsilon / dg = L_g W \{ \epsilon q N / [2(V_{gch} + V_D)] \}^{1/2} \quad (1.4)$$

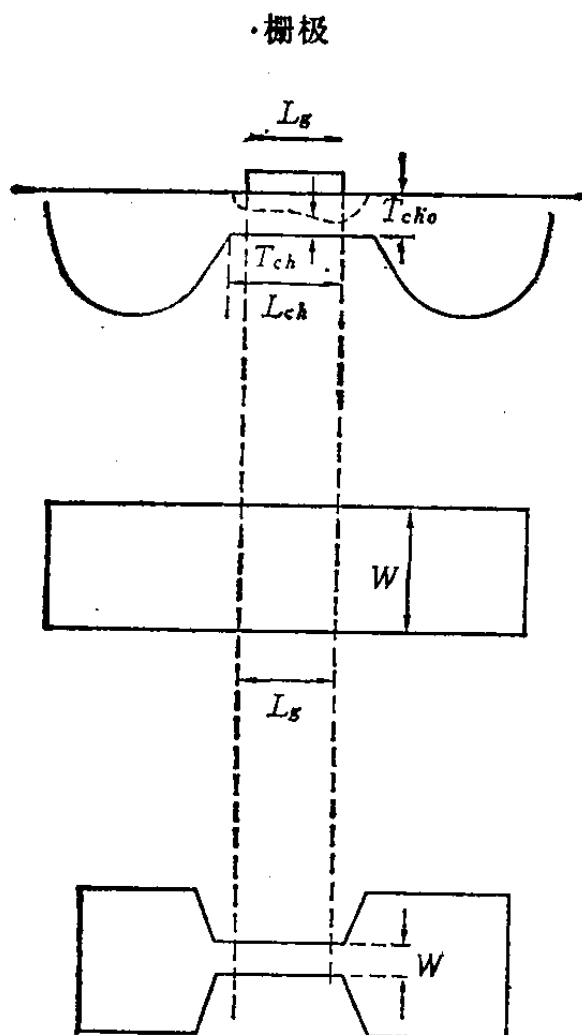


图 1.1 结型场效应晶体管结构图

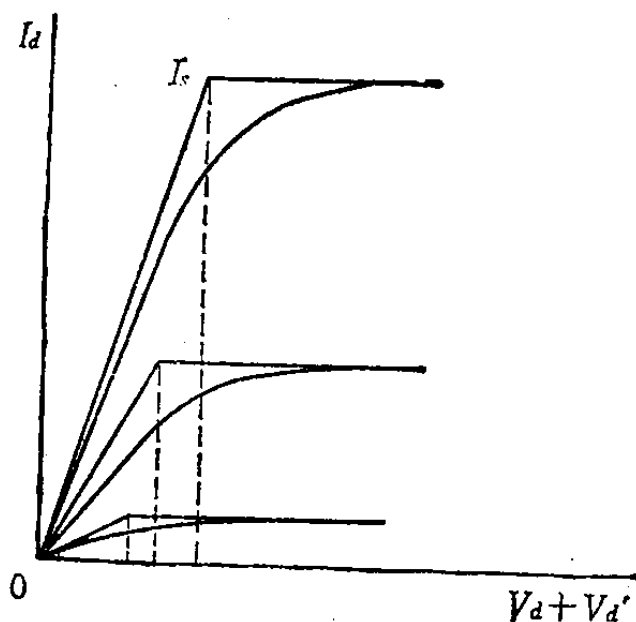


图 1.2 场效应晶体管特性. V_d 为实际加在栅极上的电压; V_d' 为实际加在栅极与漏极之间的电压

通常认为漏极饱和电流 I_s 取决于 I_D 为零 (即 $V_{gch} = V_g$) 时的 r_{ch} 和 V_p , 所以

$$I_s = \frac{V_p q N \mu W (2\epsilon/qN)^{1/2} (\sqrt{V_p + V_D} - \sqrt{V_g + V_D})}{L_{ch}} \quad (1.5)$$

饱和前的跨导 G_m 是 $|I_d r_{ch}| \ll V_g$ 时的 G_m , 漏极电压 V_D

降在整个沟道电阻上,剩余的电压加在夹断点和漏极之间,故可忽略不计,所以

$$G_m = \frac{\partial I_D}{\partial V_g} \approx \frac{\partial(V_d/r_{ch})}{\partial V_g} = V_d \frac{\partial(1/r_{ch})}{\partial V_g}$$

$$= -\frac{V_d}{r_{ch}^2} \frac{\partial r_{ch}}{\partial V_g} = -\frac{V_d q N \mu W}{L_{ch}} \sqrt{\frac{\epsilon/qN}{2(V_g + V_D)}} \quad (1.6)$$

饱和后的跨导 g_m 则为:

$$g_m \approx \frac{1}{r_{ch}} \quad (1.7)$$

现在,工作中的栅极电压 V_g 接近于扩散电位 V_D , 可是,两者又都不能忽略,但如 $V_D > V_g$, 则式(1.2)、(1.3)、(1.4)、(1.5)、(1.6) 及式(1.7) 分别变为

$$T_{ch} \approx (\sqrt{2V_D} + V_p / \sqrt{2V_D})(\epsilon/qN)^{1/2} \quad (1.2')$$

$$r_{ch} \approx \frac{2L_{ch}\sqrt{V_D}}{\mu W (2\epsilon qN)^{1/2} (V_p - V_{gch})} \quad (1.3')$$

$$C_{gch} \approx (\epsilon qN)^{1/2} L_g W / (\sqrt{2V_D} + V_{gch} / \sqrt{2V_D}) \quad (1.4')$$

$$I_s \approx \left(\frac{\epsilon/qN}{2V_D}\right)^{1/2} \frac{V_p q N \mu W}{L_{ch}} (V_p - V_g) \quad (1.5')$$

$$G_m \approx -\frac{V_d q N \mu W \sqrt{2V_D}}{L_{ch}(2V_D + V_g)} \sqrt{\frac{\epsilon}{qN}} \quad (1.6')$$

或

$$g_m \approx \left(\frac{2L_{ch} \sqrt{V_D}}{qN \mu W (2\epsilon/qN)^{1/2} (V_p - V_{gch})} \right)^{-1} \quad (1.7')$$

式中

$$V_{gch} = V_g + I_d r_{ch} = V_g + V_d$$

以上即为结型场效应晶体管耗尽型模型的简单分析。在制造工艺上必须满足 $L_{ch} > L_g$, 但很明显,无论是对 g_m/C_{gch} 还是对 $(r_{ch}C_{gch})^{-1}$, L_{ch} 与 L_g 的值均以小些为佳。

在此,我们没涉及按比例缩小理论.在电场强度均匀分布时,由于夹断点与漏极之间可获得与其尺寸相对应的最大耐压,因此,杂质浓度以低些为好.此时,分布电容也是电压小的时候电容值小.随着杂质浓度的增加,耐压下降,在相同的漏极结电压 V'_d 时,分布电容增大.

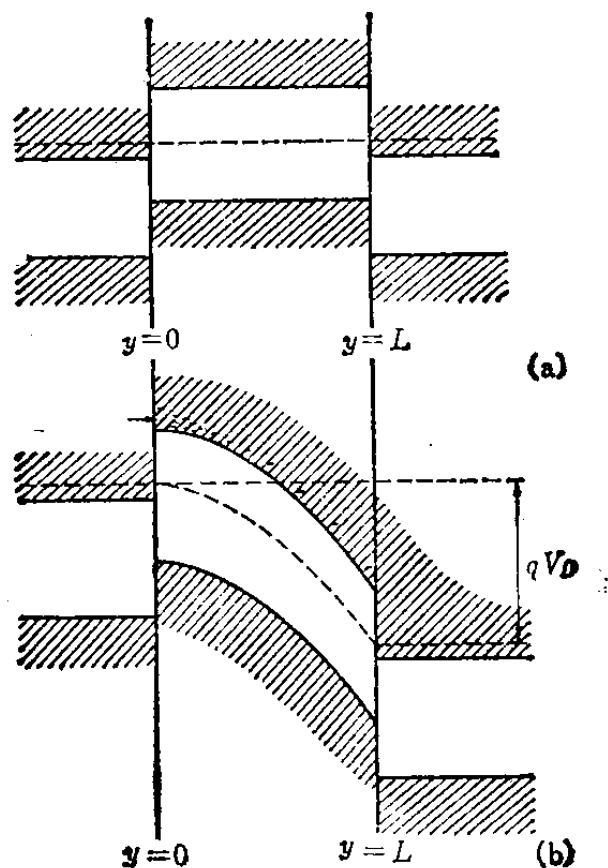
同样,由上述分析可知,杂质浓度的量 N 因相互抵消而未直接进入时间常数或 g_m/C_{gch} , 对时间常数的影响是以扩散电位 qV_D 的形式表现出来的,也就是说, N 不是很起作用的量.但是,在 $V_p \gg V_D$ 时,饱和电流[式(1.5)]与 N 的 $3/2$ 次方及沟道深度 T_{ch} 的近三次方成正比,显示出极大的依赖性,此种性质很重要.因此,虽然并不很引人注目,但作为实际问题,往往存在来自源极的载流子注入.有必要将杂质浓度与载流子浓度分别加以考虑.即,分布电容式中的 N 与沟道电阻等公式中的 N 可以不是同一个量;就是说,有可能大幅度地提高“品质因数”.对于反转型或增强型器件,不可能从开始时就使载流子浓度与杂质浓度相等.

总之,为了减小沟道与漏极之间的电容,需要一定的漏极过剩电压 V'_d , 此种状态的设计对于双极晶体管与 SIT 均相同,但是,集成电路不需要大的功率增益,所以,设计上不必追求最佳电容^[1].

因此,如果仅限于讨论由夹断点到源极附近的范围,则减小 L_g 、 L_{ch} 时,饱和起始电压下降, I_s 急剧增加,因而对增大 g_m 、 G_m 有显著效果;就能量、速度两者而言,尺寸小的晶体管较为有利.

此时,穿通问题反而成为缩小尺寸的限制.“穿通”一词用于双极晶体管的基区,过去曾准确地称之为“基区的电穿通”.曾对场效应晶体管卓有建树的理查曼(P. Richman)^[2] 在论文中指出电穿通的特性如图 1.3 所示,沟道长度因漏极电

压而缩短,源极与沟道间的电位不变,因此,在不发生注入的状态下,漏极电流急剧增加. 而且,从图 1.4 可见,其电流-电压特性为平方特性,并且,当电压一定时截止电流(即减去正常沟道电流后,在图 1.3 所示状态下的剩余电流)与沟道的几何总长度的立方成正比时,获得的结果与空间电荷传导理论一致.



能带图: 受空间电荷限制的电子注入, 穿透禁带型半导体结构. (a) 零偏压; (b) 加正偏压时的电子注入

图 1.3 理查曼提出的漏极电流增加机理: 当增大漏极电压时,源极与沟道间的电位分布不变,而漏极电流增加

有人认为,在无注入时会发生空间电荷传导;这是难以理解的,在这种状态下,无论如何不能称之为穿通状态.

类似的特性还有: 最初,耗尽层由漏极一侧逐渐扩展,由于与栅极的电位差增大,从而,沟道中的分布电阻增加,因此,

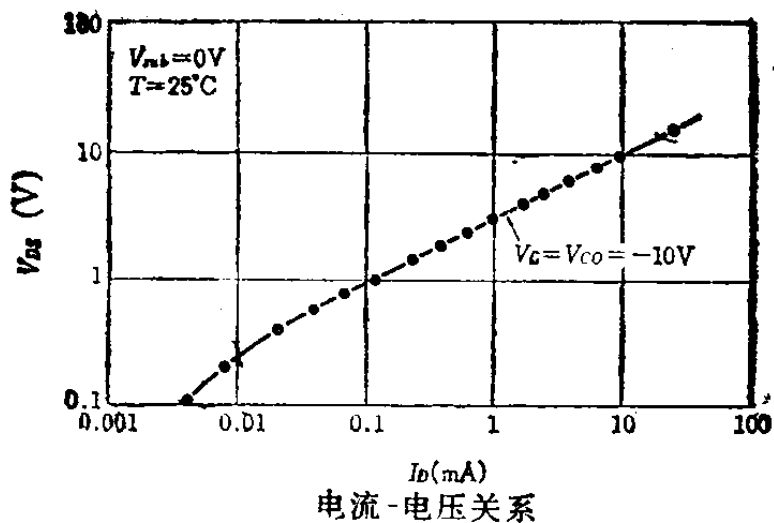
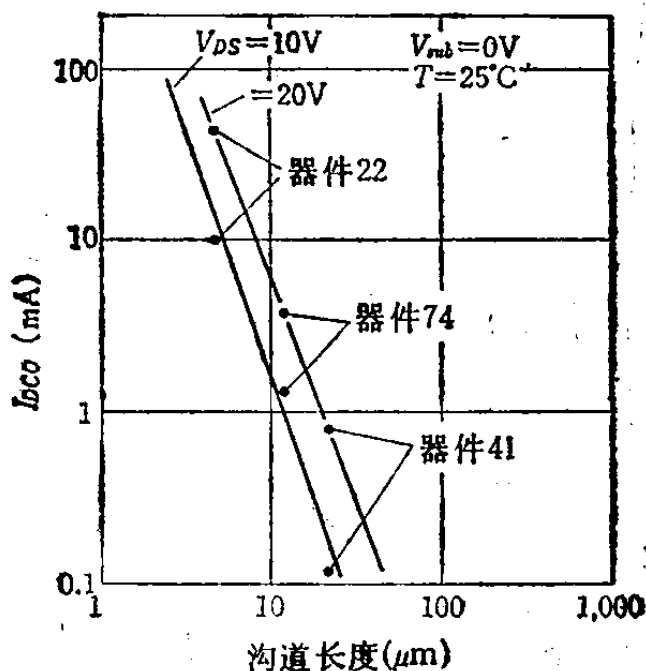


图 1.4 理查曼提出的“穿通”晶体管的电流-电压特性。
电流的增加与电压的近二次方成正比



截止电流与沟道长度的关系

图1.5 理查曼提出的由“穿通”晶体管的
沟道几何长度(此时为源极与漏极间隔)所
引起的电流变化。与空间电荷传导式相
同,也显示立方特性

即使沟道长度缩短,沟道电阻 r_{ch} 也不变化,最终导致漏极电流因沟道长度的缩短而开始增加。在此状态下,沟道中仍遗留有完全中性的部位,所以还不应视为穿通。其特性如图 1.6 所示,开始为饱和状态,但沟道电阻的负反馈效应逐渐减弱,

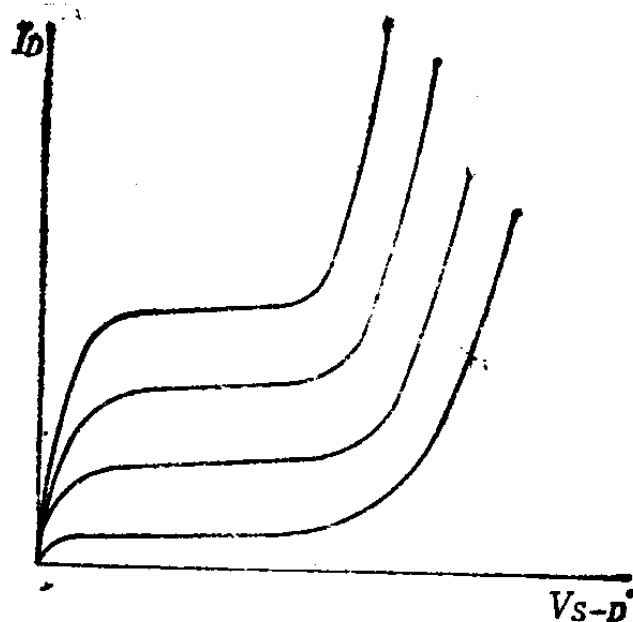


图 1.6 漏极电流因沟道负反馈电阻 r_s 减小而增加

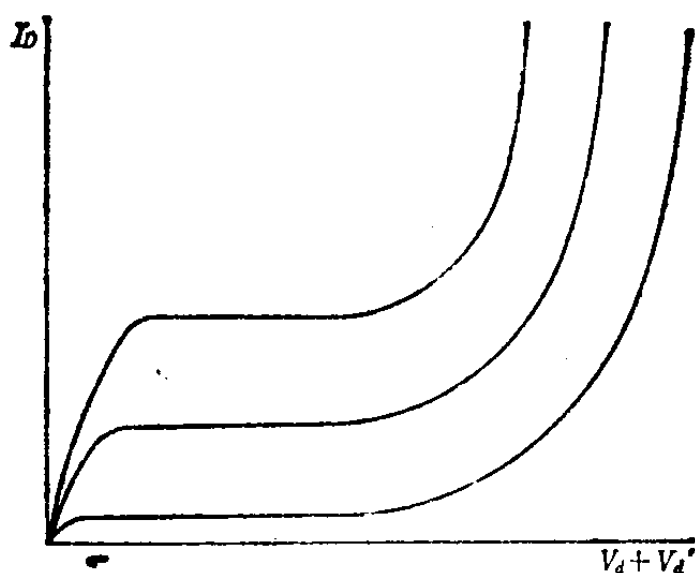


图 1.7 r_s 减小后形成穿通时的 FET $\rightarrow$ SIT 特性

使其特性接近 SIT 特性。在一定意义上，这类似于双极晶体管中的厄雷效应。

在此情况下，如再提高漏极电压，则最终会趋近于沟道穿通，而在源极和沟道间如有势垒存在则势垒变低，由源区向沟道发生注入，特性变为指数函数特性。温度系数在此期间理应反转，但是，纯粹的指数函数特性是难以测定的，由于存在

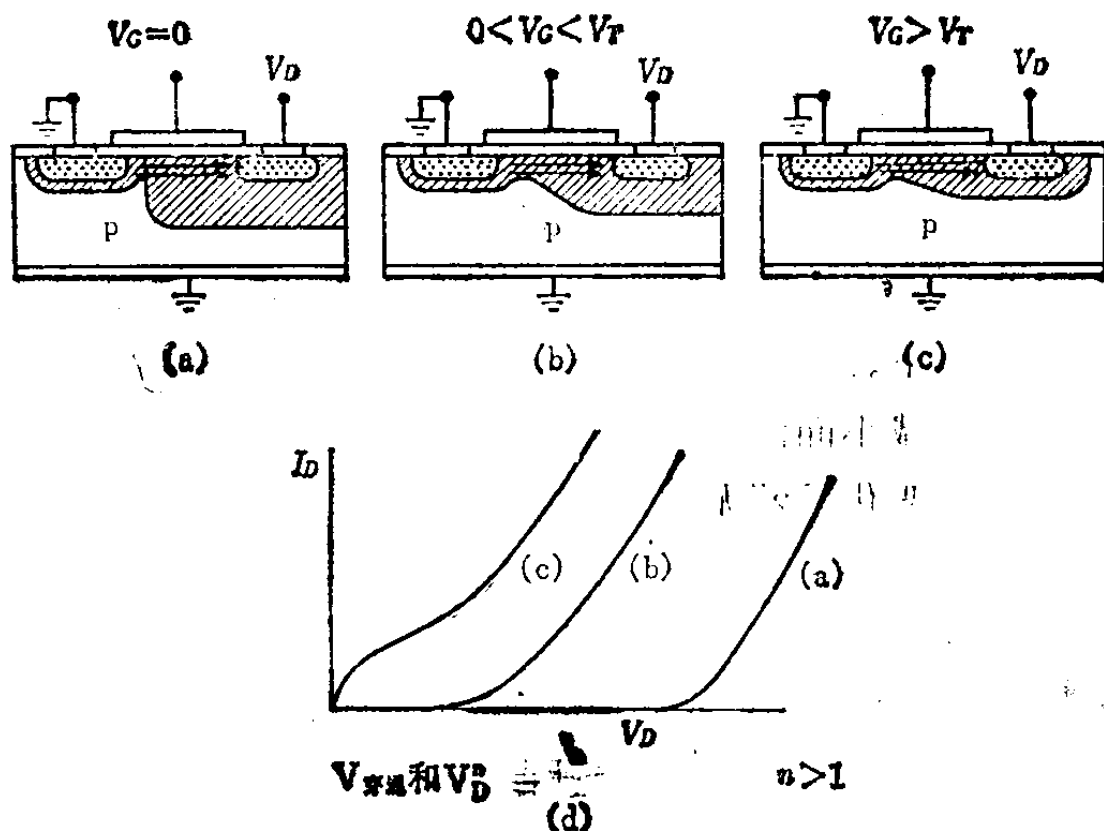


图 1.8 短沟道低杂质浓度 n 沟道 MOS 晶体管截面的耗尽层分布与电压-电流特性

着因少量的剩余电阻而引起的负反馈，因而温度特性多为负值。

理查曼认为，流经沟道的电流为饱和成分，流经沟道外的电流为与 V^2 成正比的电流，两者平行流动。弗罗曼·本茨柯斯基 (D. Frohman Bentchkowsky) 和格罗夫 (A. S. Grove) 却认为，在有反转沟道时，如图 1.8(c) 所示。但对未反转的耗尽型，则如图 1.8(a) 所示，有非饱和成分的与 $V^n (n > 1)$ 相关的电流存在。不过只说明在短沟道和低杂质浓度的场效应晶体管中，发生穿通时，电流的增加与 V^n 成正比^[3]，其实质内容是难以充分理解的。

如电流为完全平行流动，则电压-电流特性在电流轴上平行移动，如为电位控制，则在电压轴上平行移动。最后，因隧道效应或雪崩现象而产生出少数载流子，向源极注入电荷。

对于 MOS 反转型模式,载流子流入沟道,因而沟道电流急剧增加.

总之,在没有负反馈的短沟道化的极限情况下出现 SIT. 这产生于源极-沟道串联电阻小的场合. 这一点对 MOS 器件与结型器件都一样. 现在,需要探讨的问题是,“在使特性饱和的前提下,器件尺寸可以小到何种程度?”与此同时,“当因器件尺寸减小而使得特性变为不饱和状态时,工作特性是改善了还是恶化了?”尤其是,“变为 SIT 时,特性是变好还是变坏?”这也是应探讨的问题.

1.2.2 微细双极晶体管的极限

双极晶体管尺寸缩小时,情况会怎样呢? 横向缩小暂且不谈,纵向缩小时, f_T 相对于基区宽度急剧增加. 输运效率 $\beta^{(1)}$ 为:

$$\beta = \beta_0 \exp\left(-\frac{\omega^2 DW_b}{v^3} - j\omega \frac{W_b}{v}\right) \quad (1.8)$$

$$\beta_0 = \exp\left(-\frac{W_b}{\tau V} + \frac{DW_b}{\tau^2 v^3}\right)$$

式中, v 是载流子移出基区的速度

$$f_T = v/2\pi W_b \quad (1.9)$$

$$f_a = (DW_b/v^3)^{-1/2} (2\pi) \quad (1.10)$$

电场变强时,速度逐渐饱和. 若下式基本成立:

$$v = \mu E$$

则

$$E_b = kT/qL_D \quad (1.11)$$

式中, L_D 为基区中杂质的扩散长度. 于是,可以认为基区宽度 W_b 与 L_D 成正比. 式 (1.9)、(1.10) 可改写为

$$f_T = D/2\pi L_D W_b \quad (1.9')$$

$$f_a = D/2\pi (L_D^3 W_b)^{1/2} \quad (1.10')$$

相对于基区宽度 W_b 而言, f_T 的增加与 W_b^2 成正比, f_a 也一样. 由此可知, 双极晶体管也因小型化而使速度大为提高.

然而, 基区电阻的存在却是双极晶体管的弱点. 如为均匀基区, 则基区电阻为 $\rho/4\pi W_b$. 但是, 在漂移晶体管中, 如基区内的杂质分布为

$$N_{b0} \exp(-x/L_D)$$

则基区的平均杂质浓度 $\bar{n}$ 为

$$\begin{aligned} \bar{n} &= N_{b0} \int_0^{W_b} \exp(-x/L_D) dx / W_b \\ &= (N_{b0} L_D / W_b) [1 - \exp(-W_b/L_D)] \end{aligned} \quad (1.12)$$

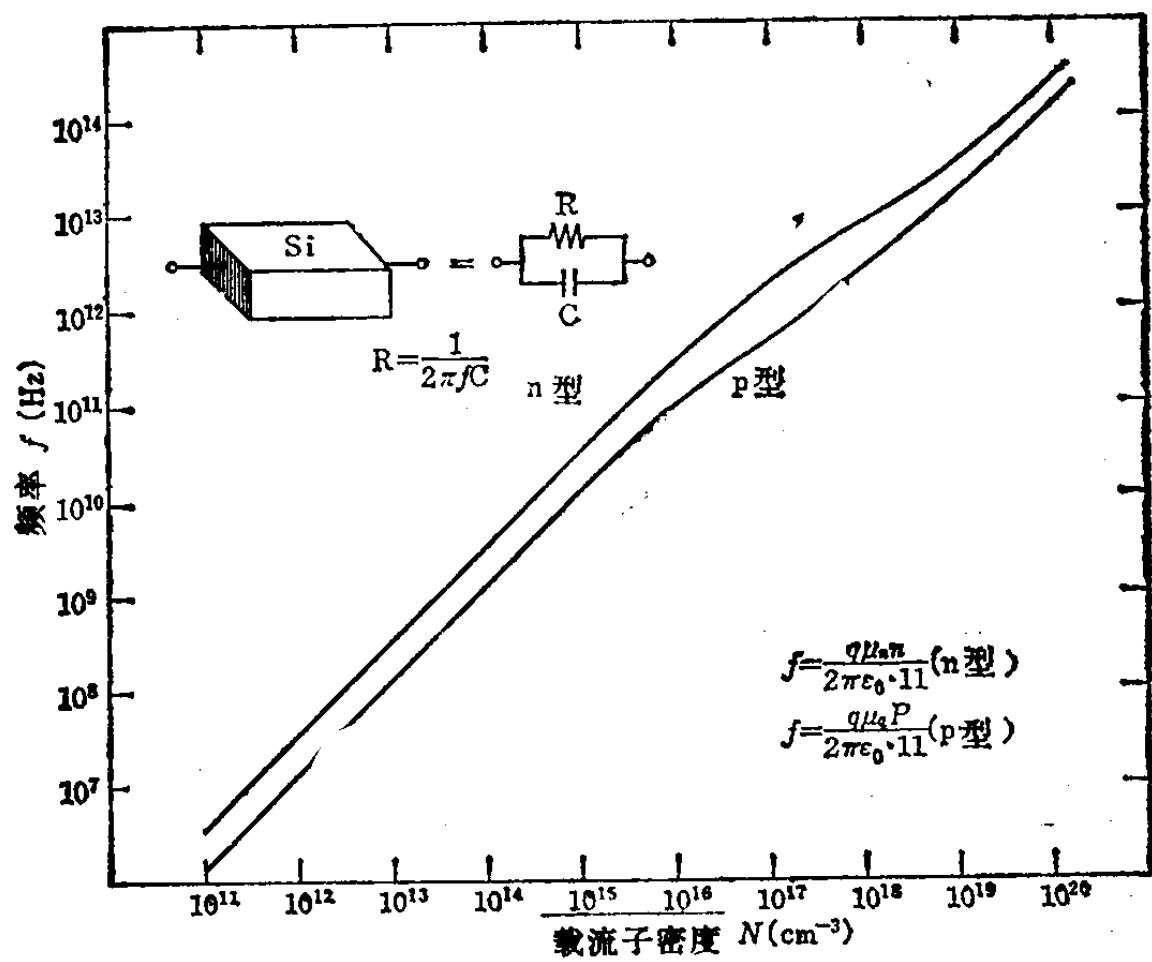


图 1.9 将作为电阻体的单晶硅看作电介质时, 相应的频率与杂质浓度的关系