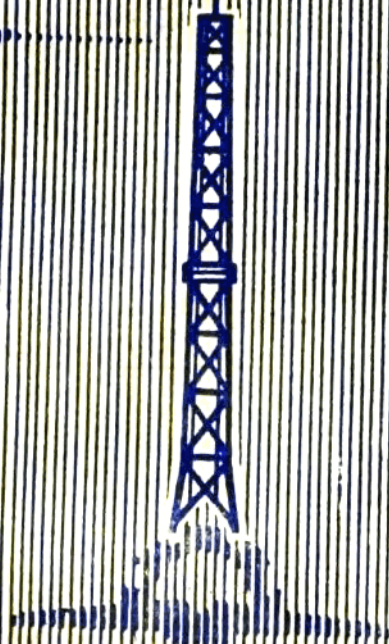
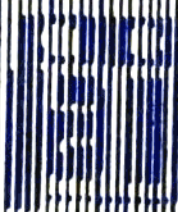
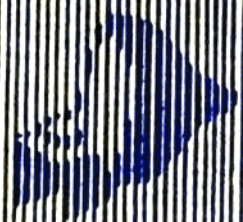
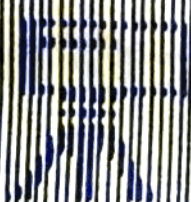


中等专业学校教材

半导体双极型集成电路

黄克立 孙鹤九 黄正 李建明 编



江苏科学技术出版社
电子工业出版社

内 容 提 要

本书以集成电路的基本概念、基本分析方法、基本设计原则为重点,介绍了双极型集成电路中常见的基本电路形式。全书共十章。第一章为双极型集成电路基础,第二章为集成电路中的主要元器件,第三章中讨论了DTL、标准TTL、STTL、LSTTL及先进TTL等门电路,第四章初步介绍了双极型电路版图设计基础,第五章为ECL和I²L电路内容,第六章为集成触发器,第七章扼要介绍了双极型中、大规模集成电路基础,第八章中较详细地讨论了模拟集成电路中的基本单元电路,第九章介绍了集成运算放大器,第十章介绍了其他模拟集成电路。

本书是中等专业学校电子类半导体器件专业教材,也可作为电子技术学校、职业学校相应专业及大专院校(非半导体专业)相关专业作学习了解半导体集成电路用。

出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力,有关出版社的紧密配合,从1978年至1985年,已编审、出版了两轮教材,正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要,贯彻“努力提高教材质量,逐步实现教材多样化,增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验教材”的精神,我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会,在总结前两轮教材工作的基础上,结合教育形势的发展和教学改革的需要,制订了1986~1990年的“七五”(第三轮)教材编审出版规划。列入规划的教材、实验教材、教学参考书等近400种选题。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿,是从通过教学实践、师生反映较好的讲义中经院校推荐,由编审委员会(小组)评选择优产生出来的。广大编审者、各编审委员会和有关出版社为保证教材的出版和提高教材的质量,作出了不懈的努力。

限于水平和经验,这批教材的编审、出版工作还会有缺点和不足之处,希望使用教材的单位,广大教师和同学积极提出批评建议,共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材按电子工业部工科电子类专业教材1986~1990年编审出版规划,由中专电子类专业教材编审委员会元器件编审小组征稿、推荐出版。责任编辑吴士忠。

本教材由无锡无线电工业学校、上海第一仪表电子工业学校和辽宁计算机学校联合编写,无锡微电子有限公司高级工程师朱以南同志主审。

本课程的参考教学学时数为120学时,其主要内容为双极型数字集成电路和模拟集成电路的工作原理、分析方法、设计原则、工艺技术及相应的电路基础知识。全书共设十章,前七章为数字电路部分,后三章为模拟集成电路部分。其中第一章为双极型集成电路基础;第二章介绍双极型电路中的主要元器件;第三、四章分别为双极型TTL门电路及其设计方法;第五章为ECL和 I^2L 电路;第六章为集成触发器;第七章介绍了双极型中、大规模集成电路;第八章为模拟集成电路的基本单元电路;第九章为集成运算放大器;第十章为包括集成稳压电路等的其他模拟集成电路。讲述本课程时,应着重叙述半导体集成电路的原理、结构、工艺特点以及数字和模拟电路的基本单元电路,并适当介绍常用的电路分析基础知识、集成电路设计的内容,这对熟悉集成电路的版图、工艺结构及设计方法是非常必需的。

本教材的一至四章,由上海第一仪表电子工业学校杜魁元同志编写,五至七章由辽宁计算机学校蒋正一同志编写,八至十章由无锡无线电工业学校吴雪方、王建刚同志编写。由杜魁元同志统稿。由于编者水平有限,书中难免还存在缺点和错误,敬请广大读者批评指正。

编 者

1988年2月

绪 论

半导体集成电路,是由多个元器件(如晶体管、电阻器、电容器等)及其连线按一定的线路形式制作在一块或几块半导体基片上,并具有一定功能的一个完整的电子器件。它与将分立元件经过组装焊接而成的电子器件不同,具有体积小、重量轻、功耗低和可靠性高的突出优点。目前,半导体集成电路被广泛地应用于电子计算机、自动控制、通讯、广播以及日常生活的各个领域,已成为微电子技术的基本内容。半导体集成电路的科研和生产水平,是衡量一个国家现代化程度的重要标志。

半导体技术的兴起,是从1947年出现第一个晶体管开始的。1960年发明的硅平面工艺及外延技术,为半导体集成电路的发展,奠定了基础。1960~1962年间,出现了各类中、小规模数字逻辑半导体集成电路;1963~1964年,出现了小规模的线性集成电路;1967年,大规模集成电路出现;1978年,超大规模集成电路问世。在不到二十年的时间内,半导体集成电路的制造取得了长足的进步,其发展之迅速、应用之广泛,是科技发展的历史上所罕见的。

今天,集成电路产品已是类别众多、品种繁复。按一般的方法,对集成电路可作如下分类:

按工艺结构及制作方法的不同,可将集成电路分为膜集成电路、半导体集成电路和混合集成电路三类。膜集成电路一般是用真空蒸发、溅射或涂布的方法将金属、半导体或金属氧化物淀积在玻璃、陶瓷等基片上,形成电阻、电容和导带等无源元件,再将平面三极管等有源元件用蒸发引线的方法或热压焊接的方法,按电路要求连接上,从而形成的电子功能器件。根据淀积膜厚的不同,膜集成电路有厚膜电路和薄膜电路之分。与半导体集成电路相比,膜电路的制作工艺较复杂、效率较低,但膜电路具有精度高、元件及电路参数容差范围大、寄生效应小、稳定可靠等优点,适宜于多品种、小批量生产。混合集成电路则是将半导体集成电路、膜集成电路和分立元器件的制作技术集合于一家,混合制作而成的微小型结构电路,它是目前集成电路发展的一个方向。

按一块芯片(或一个封装)中所集成的元件数(或逻辑门数)的多少,可将半导体集成电路分为小、中、大、超大规模集成电路。一般而言,元件数在2~100个(10门以下)的称为小规模集成电路(SSI);元件数在100~1000个(10~100门以内)的称为中规模集成电路(MSI);大规模集成电路(LSI)的元件数在5000~40000内;超大规模集成电路(VLSI)的元件数在10万以上。上面的称呼主要针对逻辑电路而言,在模拟集成电路中,具有数百个元件的电路一般就被认为是大规模的了。

按集成电路所处理的信号的性质或处理方式的不同,可将电路区分为逻辑电路(即数字电路)和模拟电路两类。逻辑电路对数字化的信号(一般仅0、1两种)进行逻辑操作;模拟电路对模拟信号进行诸如放大、运算、功能变换等操作。

按电路内部采用的晶体管的导电机构的不同,半导体集成电路又被区分为双极型和单

极型两类。双极型电路中的晶体管，如NPN管、PNP管等，这类晶体管正常工作时有两种极性的载流子（多子和少子，即电子和空穴）同时参与导电。单极型电路中的晶体管是单极型的，即场效应的晶体管，常见的有结型场效应管、绝缘栅场效应管中的MOS管等，这些晶体管正常工作时，一般是多子参与导电。目前，兼有双极型管和场效应管的半导体集成电路也获得了很大发展。

本课程主要讲述双极型集成电路，内容包括逻辑电路和模拟电路两部分。讲述中以常见的中、小规模集成电路为主要示例，重点是构成电路及系统的基本单元电路的工作原理、分析方法、设计原则及其相应的电路基础知识，突出了基础性、实用性，并注意吸收了一些新电路型式及工艺技术。

目 录

绪 论.....	(I)
第一章 双极型集成电路基础.....	(1)
第一节 双极型集成电路工艺流程及其特点.....	(1)
第二节 集成电路中元件的寄生效应.....	(7)
第三节 晶体管方程和模型.....	(10)
第四节 PN 结电容.....	(17)
第二章 双极型逻辑集成电路中的主要元件.....	(20)
第一节 NPN晶体管	(20)
第二节 二极管.....	(25)
第三节 电阻器.....	(25)
第三章 晶体管-晶体管逻辑(TTL)门集成电路.....	(33)
第一节 概述.....	(33)
第二节 DTL和HTL电路.....	(35)
第三节 简易TTL“与非”门电路	(40)
第四节 标准TTL“与非”门电路	(56)
第五节 改良TTL门电路	(68)
第六节 TTL门电路的线路设计	(72)
第七节 STTL门电路	(74)
第八节 LSTTL、A-TTL门电路.....	(79)
第九节 TTL门电路的温度特性	(82)
第十节 TTL门电路的主要参数、测试和分析	(87)
第十一节 其他TTL门电路	(90)
第四章 TTL电路版图设计基础.....	(93)
第一节 版图设计中的工艺参数.....	(93)
第二节 版图设计中的一般原则和程序.....	(96)
第三节 版图设计举例.....	(98)

第五章 发射极耦合逻辑(ECL)电路和集成注入逻辑(I²L)电路	(106)
第一节 ECL电路的工作原理	(106)
第二节 ECL电路的特性和主要直流参数	(110)
第三节 ECL电路的逻辑扩展	(115)
第四节 ECL的接口电路	(117)
第五节 ECL电路版图设计的特点	(119)
第六节 集成注入逻辑(I ² L)电路	(121)
第七节 I ² L逻辑组合电路	(123)
第八节 I ² L接口电路	(128)
第九节 I ² L电路的版图设计和工艺结构	(132)
第六章 集成触发器	(136)
第一节 直接触发的R-S触发器	(136)
第二节 钟控R-S触发器	(140)
第三节 钟控触发器的功能	(145)
第四节 各种功能触发器之间的转换	(151)
第五节 集成触发器的参数及测试	(154)
第七章 中、大规模集成电路	(160)
第一节 组合逻辑电路	(160)
第二节 时序逻辑电路	(168)
第三节 集成存储器	(179)
第八章 模拟集成电路中的基本单元电路	(197)
第一节 差分放大器	(197)
第二节 偏置电路	(212)
第三节 有源负载及双转单电路	(223)
第四节 输出级及其保护电路	(226)
第九章 运算放大器典型电路分析	(231)
第一节 集成运算放大器的基本概念	(231)
第二节 通用型集成运放电路分析	(232)
第三节 集成运放主要参数的测试	(242)
第四节 集成运算放大器的设计知识	(248)
第十章 其它模拟集成电路	(260)

第一节	集成稳压器	(260)
第二节	集成音响电路介绍	(271)
第三节	集成电压比较器	(273)
第四节	集成数/模、模/数转换器	(278)
附 录		(289)
附录 I	集成电路型号命名方法	(289)
附录 II	双极型半导体集成电路版图绘制方法摘要	(291)
附录 III	国内外主要集成电路产品型号字冠及生产厂商表	(292)

第一章 双极型集成电路基础

第一节 双极型集成电路工艺流程及其特点

一、工 艺 流 程

双极型集成电路的制造工艺是在建的外延技术和平面晶体管工艺的基础上发展起来的。其基本工艺过程是：首先在衬底硅片上生长一层外延层，将外延层划分为一个个电隔离的区域；然后在各个隔离区内制作特定的元件，如晶体管、二极管、电阻等；接着完成元件间的互连；最后经由装片、引线、封装而成为集成电路成品。图1-1是一个较典型的双极型逻辑集成电路（晶体管-晶体管逻辑电路）的工艺流程方框图。为了看清电路中元件的形成过程和结构，图1-2以一个NPN晶体管和电阻组成的倒相器电路为例，说明

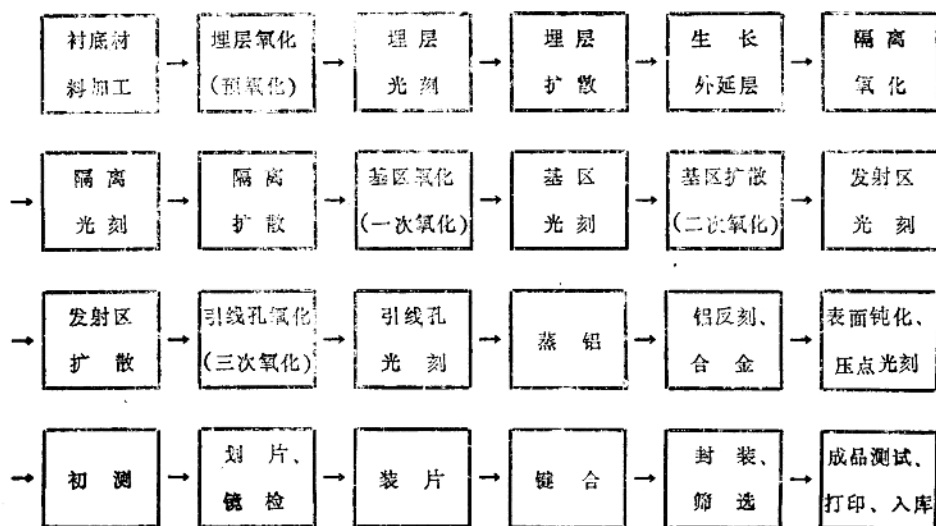
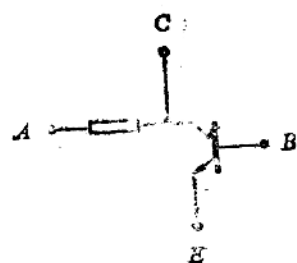


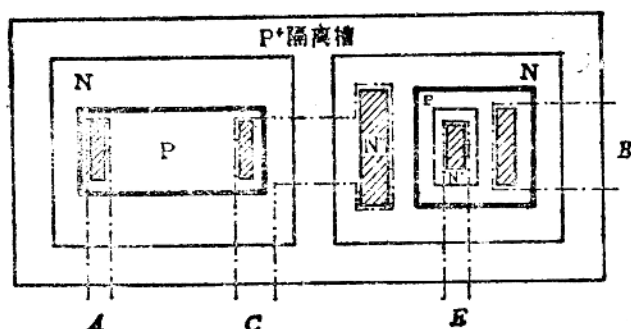
图1-1 典型双极型TTL集成电路工艺流程方框图

了形成该倒相器电路的主要工艺步骤。对于图1-2, 作如下详细说明。

选择电阻率为 $8\sim 13\Omega\cdot\text{cm}$ 的P型硅单晶片, 沿 $\langle 111 \rangle$ 晶面将硅锭切割成 $400\sim 500\mu\text{m}$

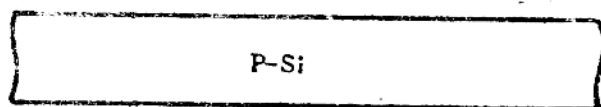


(a) 倒相器线路图



(b) 倒相器版图示意

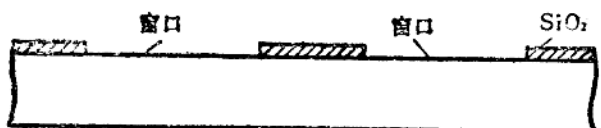
1. 衬底制备



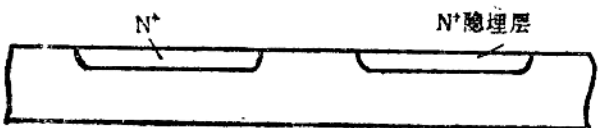
2. 预氧化



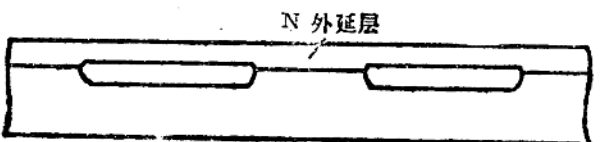
3. 隐埋区光刻



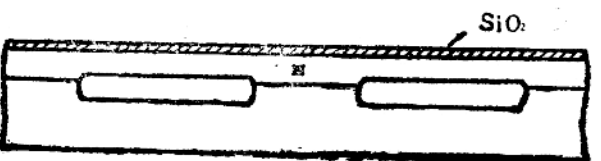
4. 隐埋区扩散



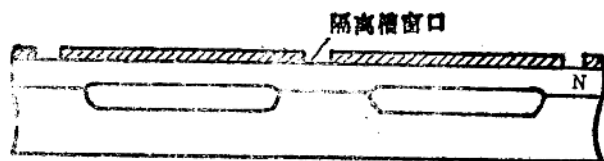
5. 生长外延层



6. 隔离氧化



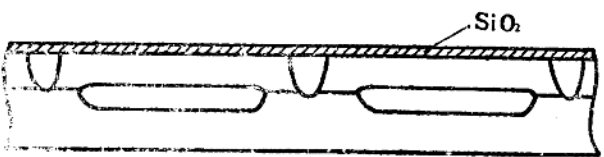
7. 隔离区光刻



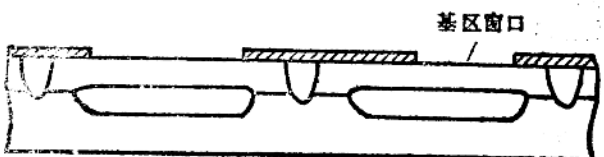
8. 隔离扩散



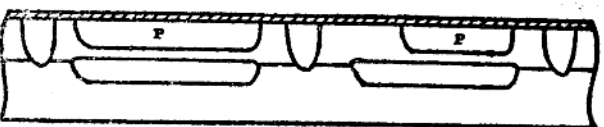
9. 基区氧化
(一次氧化)



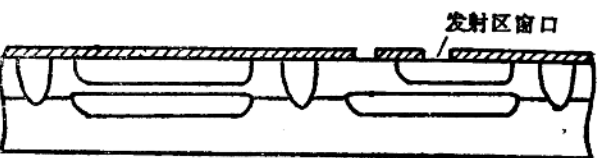
10. 基区光刻



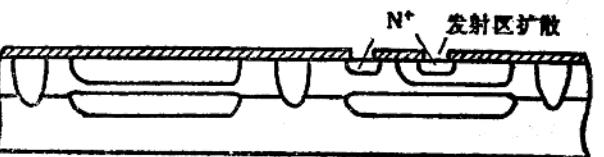
11. 基区扩散
(二次氧化)



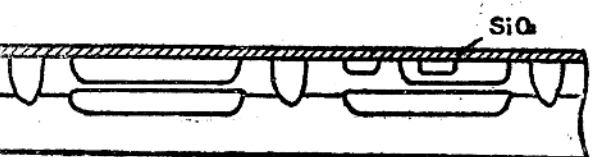
12. 发射区光刻



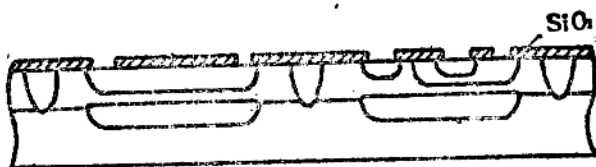
13. 发射区扩散



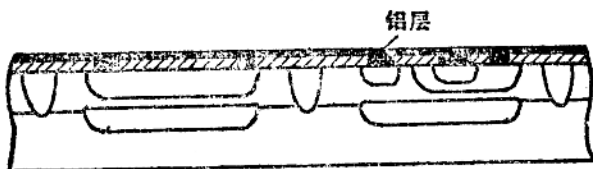
14. 引线孔氧化
(三次氧化)



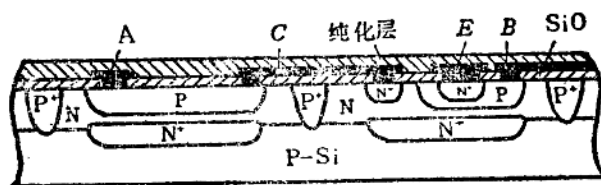
15. 引线孔光刻



16. 蒸铝



17. 电反射、合金、表面钝化



(c) PN结隔离TTL集成电路工艺流程示意图

图1-2 简单倒相器电路工艺用图

厚的大圆片。然后对大圆片进行研磨、腐蚀、抛光，使硅片表面光亮如镜，厚度在 $300 \sim 350 \mu\text{m}$ 左右。将硅片进行化学清洗后，放在 $1000 \sim 1200^\circ\text{C}$ 的氧化炉中进行隐埋氧化（预氧化），使在硅片表面形成一层 $1.2 \sim 1.5 \mu\text{m}$ 厚的二氧化硅层，作为隐埋扩散时的掩蔽膜。再用光刻的方法刻出隐埋扩散窗口，在高温下，将杂质锑（Sb）或砷（As）从氧化层窗口中扩散到硅片内部，形成一个高浓度的 N^+ 型扩散区。隐埋层的薄方块电阻 $R_{\square}$ 一般控制在 $15 \sim 20 \Omega/\text{方}$ 以内。经隐埋扩散后的硅片放入氢氟酸液中，漂去全部氧化层，经化学清洗后，把硅片放入外延炉中，使之生长一层N型优质单晶硅外延层，层厚控制在 $6 \sim 10 \mu\text{m}$ 左右，电阻率约为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$ 。再将外延片在氧化炉中进行高温热氧化，生长 $1.2 \sim 1.5 \mu\text{m}$ 厚的二氧化硅层，作为隔离扩散的掩蔽膜。光刻出隔离扩散窗口后，进行浓硼扩散，形成 P^+ 隔离槽。隔离槽最终贯通外延层，与下面的P型衬底硅片相通，把外延层分割为一个个独立的N型隔离区（隔离岛），将来电路元件就分别制作在这些隔离区内。隔离扩散通常分成预淀积和再分布两步做。实际生产中，隔离槽不一定要在本工序就贯通外延层，一般只控制扩入的杂质总量（如使薄层电阻 $R_{\square}$ 小于 $30 \Omega/\text{方}$ ）和结深，而让它在以后的高温过程中自然扩散贯通。再将氧化层全部去净、烘干，在硅片背面蒸金^①后，高温氧化生成 $0.5 \sim 0.8 \mu\text{m}$ 厚的氧化层，作为基区扩散的掩蔽膜，同时完成金扩散。光刻出NPN管的基区和硼扩散电阻区后，进行淡硼扩散，使在N型隔离岛上形成P型基区和P型扩散电阻区。淡硼扩散也分预淀积和再分布两步进行。再分布后，形成了一定杂质浓度分布（表面浓度控制在约 $2.5 \sim 5 \times 10^{15}/\text{cm}^3$ ）和结深（ $2 \sim 3 \mu\text{m}$ ）的硼扩散区， $R_{\square}$ 约为 $200 \Omega/\square$ 。同时在表面形成一薄层（约 $0.5 \sim 0.6 \mu\text{m}$ ）二氧化硅层，作为发射区浓磷扩散的掩蔽膜。

①这里讲的是“前扩金”的方法。蒸金也可放在引线孔光刻后进行，然后在 1180°C 高温下扩金30s，俗称“冲金”，再行蒸铝、反刻、合金。一般中速以上TTL电路均需掺金。

然后光刻出NPN管的发射区和集电极引线接触区,由液相扩散形成晶体管的发射区,并在集电极引线孔位置形成 N^+ 区,以便制作欧姆接触电极。 N^+ 发射区的扩散深度一般不超过 $2\mu\text{m}$,表面杂质浓度高达 $10^{20}\sim 10^{21}/\text{cm}^3$ 。磷扩散也分预淀积和再分布两步进行。在再分布时形成一定厚度的氧化层,磷再分布也称三次氧化。然后再光刻出各元件电极的欧姆接触窗口。在硅片表面蒸发上一层高纯铝薄膜,膜厚约 $1\sim 1.5\mu\text{m}$,再根据集成电路引出线及电路元件互连线的要求,将不需要的铝膜用光刻方法除去,保留需要的铝膜(即反刻铝引线)。反刻后的硅片,可在真空或氧气、氮气气氛中经 500°C 左右的温度合金 $10\sim 20$ 分钟,使铝电极与硅形成良好的欧姆接触。在合金化后的硅片表面淀积一层氮化硅(Si_3N_4)或磷硅玻璃(PSG)等钝化膜(厚约 $0.8\sim 1.2\mu\text{m}$),再光刻出键合的压点。后将硅片进行初测,点掉不合格的电路芯片,再经划片,把大圆片划分成单个独立的芯片,镜检剔除有损伤的电路芯片,将合格的芯片粘在管座上(装片),再在键合机上将芯片键合压点与管座引出线连接起来,密封封装。经老化等工艺筛选后,进行成品测量(总测),合格品即可分档、打印、包装、入库。

二、工艺特点

由以上的工艺流程可见,在双极型集成电路工艺中,对于工艺手段的运用是很灵活的。同一次工艺中形成的导电层(如N型层、P型层、铝层等)可以作多种用途。如淡磷P型扩散层既可用于制作NPN管的基区,还可用于制作电阻;铝层不仅用来制作器件电极,也用来完成元件间的互连布线等。同一工艺流程可以一次得到大量的不同类型的元件。如一次工艺流程可以制得大量的晶体管、二极管、电阻等。可以想象,同一硅片上位置邻近的同类元件,由于它们经历的工艺过程和条件十分相似,它们的性能参数也将是十分一致的,即集成电路工艺有可能提供匹配性能十分优良的元件对。由于制造晶体管并不比制造电阻带来更多的麻烦,而且制造一个一般的晶体管往往比一个电阻占有更小的芯片面积,因此在半导体集成电路中,总是尽量用有源的晶体管来代替无源的电阻器等,这引起了一个对电子线路设计的观念的变革,因为在传统的电子线路设计时,总是尽量少用电子管、晶体管等有源器件,比较多地应用电阻、电容等无源器件。而在半导体集成电路的设计中,恰恰相反,人们尽力用晶体管来取代电阻,以求得较高的电学性能和较好的经济效益。除上述特点外,与分立元件晶体管平面工艺比较,双极型集成电路的典型工艺有以下两个显著的特点:

1. 增加了隔离工艺

在双极型集成电路中,许多个元件做在同一块硅片上,各个元件之间必须互相绝缘,即需实现“隔离”。否则,元件间将发生电连通,电路就无法正常工作。隔离工艺的目的就是使做在不同隔离区内的元件实现电隔离。

上述的典型常规工艺中,采用的是所谓PN结隔离的方法。它利用反向偏置的PN结具有高阻的特性来达到元件之间相互绝缘的目的。这种方法较简单方便。图1-3是采用这种方法制作在两个隔离岛上的NPN管的结构图,在晶体管 T_1 和 T_2 的集电区(N型外延层)和隔离槽(P $^+$)间形成了两个背靠背的二极管,要使这两个隔离岛互不发生电连通,从而

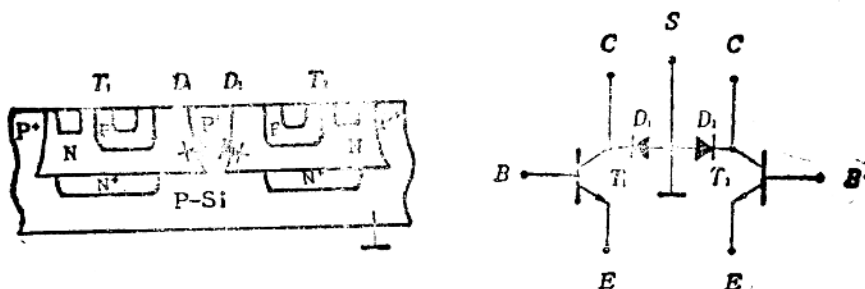


图1-3 反偏PN结实现两个晶体管间隔离

使 T_1 、 T_2 达到电隔离的目的，其必要的条件是P+隔离结（或P型硅衬底）必须接电路的最低电位（在TTL电路中即是接地）。这样，当晶体管 T_1 、 T_2 的集电区电位变化时，正极处于最低电位的 D_1 、 D_2 不可能导通， T_1 、 T_2 就被反偏PN结 D_1 、 D_2 的直流高阻所隔开。

PN结隔离的缺点是制成的元件和电路芯片尺寸较大，寄生效应严重，不耐高压和辐射，从而影响电路性能的提高，它仅能适用于一些场合。当对电路的性能和使用要求较高时，可采用其它的隔离方法。如果电路元件之间的绝缘是依靠二氧化硅等介质层来实现的（图1-4），就叫做介质隔离，一种较好的隔离方法是“等平面隔离”，如图1-5所示，它的底壁仍是PN结隔离，而侧壁采用了介质隔离。

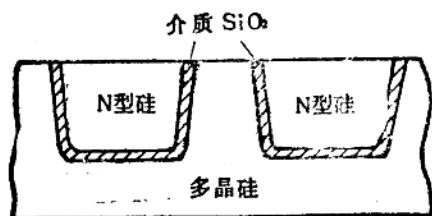


图1-4 介质隔离示意

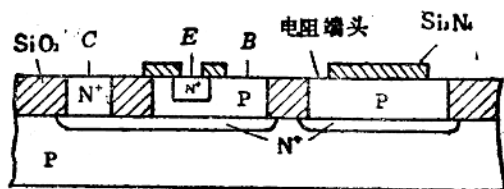


图1-5 等平面隔离示意

这个问题，在TTL电路的制造过程中，增加了一道锑或砷扩散工序。在制作了 N^+ 埋层的集成晶体管中，集电极电流由集电区 N^+ 引线孔横向流动到发射区下部集电结时的串联电阻 r_{cs} ，可视为外延层电阻 r_N 和埋层电阻 r_{N^+} 的并联，计算表明， r_N 可达几百甚至上

2. 增加了埋层工艺

在上面的工艺流程和结构图中，晶体管和扩电阻的下方，都做了一个 N^+ 隐埋扩散层，这是与平面晶体管工艺所不同的。在平面晶体管工艺中，一般是在 N^+ 硅衬底上生长 N 型外延层，制成的合格管芯被烧结在管架上，晶体管的集电极由下层 N^+ 硅衬底引出。而在集成电路工艺中，NPN管的集电极引线只能从硅片上面引入，这样，由集电极到发射极的电流，必然从高阻的外延层上横向流过，较平面晶体管的情形，电流流经的路途大为增长，而通导的截面积却大为减小，势必使晶体管集电极串联电阻变得很大，从而导致晶体管参数如饱和压降、开关时间等变差，严重时会使电路无法正常工作。为解决

千欧,而 r_{N+} 一般可控制于 $20\ \Omega$ 以下,因此设置埋层有效地降低了集成晶体管的集电极串联电阻。而在硼扩散电阻下面设置 N^+ 埋层,可以改善电阻隔离岛电位的均匀性,在电阻岛接电情况不良时, N^+ 埋层的存在可以减小P型电阻扩散区到衬底的穿通电流。

集成电路制造工艺是处于不断的变化发展之中的。事实表明:新型电路的出现,电路性能参数的提高,往往基于工艺质量的提高,或新工艺手段,或新工艺流程的采用。如为了提高双极型数字电路的传输速度,出现了以薄外延层、浅结扩散、泡发射极和细光刻线条为基本特征的所谓“高速工艺”。在新型双极数字电路中,广泛采用了肖特基势垒二极管(SBD)钳位、离子注入技术和等平面隔离等工艺手段。在模拟集成电路的设计制造中,因元件品种增加、参数要求严格,工艺过程一般更为繁复。为适应电路品种增多、性能提高和新工艺手段的采用,电路制造工艺流程也会不断更新。而新工艺流程是建立在原有工艺的基础上,可看作是对原工艺流程的增删,调整和改革。因此上面介绍的常规工艺流程还最是基本的一个制造方法,由此工艺制得的TTL标准电路的分析方法和所得的基本结论,对当前双极型集成电路的设计制造仍具有指导性的意义。

第二节 集成电路中元件的寄生效应

在双极型集成电路中,所用的元件有多种。上一节中,介绍了常见的、使用最广泛的NPN晶体管和硼扩散电阻的形成过程。它们的纵向结构示于剖面图1-6中:由图可见,集成电路中的NPN管是一个四层三结结构。四层分别是: N^+ 发射区层、P型基区层、N型

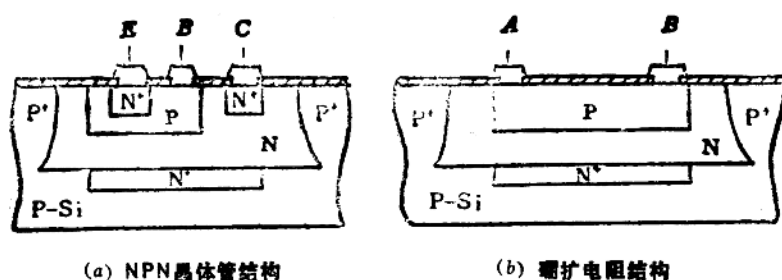


图1-6 结构示意图

集电区(即外延层)和P型衬底层;三结分别是:发射结、集电结和隔离结(衬底结)。集成电路中的硼扩散电阻是一个三层两结结构,三层分别是:P型基区层(构成电阻本身)、N型外延层和P型衬底层;两结则是:由浅硼扩散及N型外延层形成的PN结(相当于NPN管的集电结)和衬底隔离结。

集成电路中单个元件的这种多层结构形式,以及由于在同一芯片上许多元件密集地存在在一起,使得集成电路中元件与元件之间、元件与衬底之间,存在着许多复杂的相互联系。这种相互联系,一般不为人们预先所期望,我们称之为集成电路的寄生效应。由于寄生效应对集成电路的性能乃至正常工作,起着十分重要的作用,因此有必要加以重视和认真研究。

集成电路中的寄生效应，可以分成两类，即有源寄生和无源寄生，分别讨论如下，

一、有源寄生

集成电路中的有源寄生，主要是晶体管寄生。从电路结构横向的方面来分析，存在有相邻的隔离岛通过隔离槽构成的 $NP+N$ 结构，以及同一个隔离岛上的相邻硼扩散电阻构成的PNP结构；从纵向的方面来分析，浅硼P型扩散区、N型外延层和P型衬底构成的PNP结构，构成了对集成NPN管和硼扩散电阻的寄生。在这些寄生中，由于元件电隔离的需要，衬底或隔离槽接地，加之隔离扩散浓度一般较高，槽宽实际较大，所以上述的 $NP+N$ 结构一般不起作用；而电阻与电阻间的PNP寄生、NPN管和硼扩散电阻的纵向PNP寄生，只要条件满足，就都会起作用。

考虑了纵向存在的PNP寄生效应，一个集成NPN管，可以画成如图1-7(a)所示的两元件线路图，一个硼扩散电阻可以画成图1-7(d)所示的线路。它们都寄生着一个PNP管。图中S表示衬底层，N表示外延层。因在双极型集成电路中，衬底S是接电路最低电位的，即寄生PNP管的集电结一般处于反偏状态，当寄生管的发射结正偏导通时，寄生PNP管将进入正向有源工作，就是说，PNP有源寄生发生作用的条件是NPN管工作于饱和区（此时NPN管的发射结和集电结都正偏导通）或反向有源区（此时NPN管的集电结正偏，发射结反偏，相当于一般的NPN管B、C极对调后使用）；对电阻而言，则是电阻P型扩散区的电位高于N型外延层的电位。

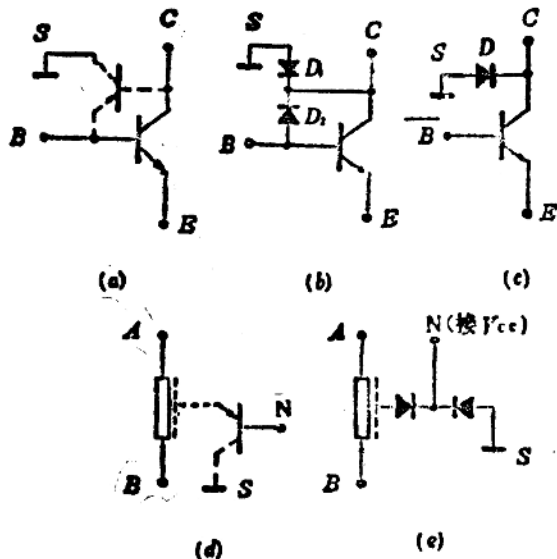


图1-7 集成NPN管和硼扩散电阻的PNP有源寄生

呢？对于硼扩散电阻，不管是横向的还是纵向的PNP管寄生，可以用该电阻隔离岛接电路最高电位的方法，使寄生PNP管的N型基区始终处于电路的最高电位，这样，寄生PNP管在电路工作过程中永远处于不导通的截止状态，PNP寄生三极管退化为两个头对头的反偏

集成电路中这种PNP管的有源寄生作用，有时会对电路的参数起到改善的作用。如有源PNP管寄生会使晶体管的本征饱和压降低；使反向运用的NPN管的集电极电流减小。这使TTL门电路中输出低电平 V_{OL} 和高电平输入漏电流 I_{in} 减小。总的说来，集成电路中元件的寄生效应是有害的，它干扰了人们对电路有目的的设计，可以使多数的电路参数变坏，因此必须设法防止和消除。

采取什么措施来防止和消除PNP管有源寄生效应