

MOS 数字大规模 及超大规模集成电路

徐 茗 生

清华 大学 出版 社

内 容 提 要

本书全面地介绍和分析 MOS 数字大规模集成电路 (LSI) 及超大规模集成电路 (VLSI)，并以 VLSI 为重点。从介绍 VLSI 的基础即器件尺寸缩小原理及 MOS 小尺寸器件模型入手，分析各种重要的 LSI、VLSI 电路及其设计方法，包括随机存储器、运算器、控制器、多种专用电路及砷化镓高速电路等。在内容上力求反映当代微电子技术发展的高技术和高水平。

本书为主修微电子专业的研究生和本科高年级学生的教材，同时适用于电子工程系和计算机硬件专业，也可作为从事微电子技术设计、制造和应用等方面的技术人员进修提高的一本重要参考书。

MOS 数字大规模及超大规模集成电路

徐 茗 生



清华大学出版社出版

北京 清华园

北京京辉印刷厂印刷

新华书店总店科技发行所发行



开本：850×1168 1/32 印张：7.5 字数：192 千字

1990年9月第1版 1990年9月第1次印刷

印数：0001~5000

ISBN 7-302-00659-8/TN·17

定价：2.05 元

出 版 说 明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1978年至1985年，已编审、出版了两轮教材，正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻“努力提高教材质量，逐步实现教材多样化，增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验的教材”的精神，我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会，在总结前两轮教材工作的基础上，结合教育形势的发展和教学改革的需要，制订了1986～1990年的“七五”（第三轮）教材编审出版规划。列入规划的教材、实验教材、教学参考书等近400种选题。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿，是从通过教学实践、师生反应较好的讲义中经院校推荐，由编审委员会（小组）评选择优产生出来的。广大编审者、各编审委员会和有关出版社为保证教材的出版和提高教材的质量，作出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还会有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

目 录

第一章 小尺寸 MOS 器件模型	1
第一节 GCA 及其局限性	1
第二节 沟道区离子注入作用	4
第三节 开启电压的短窄沟效应	15
第四节 表面迁移率的纵向电场效应	23
第五节 源漏电流 I_{ds}	25
第六节 沟长调制效应	35
第七节 电荷守恒电容模型	39
第八节 次开启电流	50
第二章 器件尺寸缩小及其限制	59
第一节 Scaling-Down 的基本原理	59
第二节 源漏穿通及次开启	62
第三节 热载流子效应	66
第四节 反型层电容分压	72
第五节 内连线对延迟时间的影响	73
第六节 尺寸缩小的限制分析	77
第三章 VLSI 随机存储器	80
第一节 DRAM 单元	80
第二节 灵敏恢复放大器	86
第三节 DRAM 总体结构	102
第四节 NMOS DRAM 电路形式及性能	104
第五节 CMOS DRAM	113
第六节 Mb 级 DRAM	118
第七节 VLSI SRAM	123
第八节 冗余容错技术	129

第九节	专用 RAM	139
第四章	运算电路	143
第一节	算术逻辑单元 (ALU)	143
第二节	其他运算器电路.....	151
第三节	乘法器.....	157
第五章	控制电路	165
第一节	简单控制器.....	165
第二节	存储程序控制.....	166
第三节	微程序控制.....	169
第六章	专用集成电路	178
第一节	门阵列.....	179
第二节	标准单元法.....	187
第三节	ROM 基专用电路	192
第七章	GaAs 高速集成电路及其他新型高速电路	211
第一节	材料的性质.....	211
第二节	组成高速数字电路的器件.....	212
第三节	电路形式.....	215
第四节	几种高速 GaAs VLSI	218
第五节	高速 BiCMOS 技术.....	221
第六节	高速低温 CMOS 电路.....	226

第一章 小尺寸 MOS 器件模型

缩小 MOS 器件的尺寸是推进 VLSI 技术发展的关键因素。¹ 初期的 MOS 器件都是大尺寸的 ($10\mu\text{m}$ 左右)，因而习惯上有一套适用它们的物理模型和计算方法，所得的结果与大尺寸器件的实测特性相符合。这种模型和计算方法叫做逐次沟道近似 (Gradual Channel Approximation)，简称为 GCA。但是，它对 VLSI 中的小尺寸器件不适用，必须进行修正。

本章将阐明 MOS 小尺寸器件的各种物理效应（包括一级和二级效应），并对 GCA 作相应的各项修正。小尺寸 MOS 器件是 VLSI 中最基本的元件，必须了解其基本的物理和电学特性，建立起符合实际且较简便的计算模型公式，这是正确进行计算机电路模拟的基础，也是进行 VLSI 设计计算的基本工具。

实际上，计算机电路模拟的精度很大程度上决定于器件模型的精度。因此，建立一个较精确的、而且便于计算的器件模型对 VLSI 设计是至关重要的，这也是本书首先介绍器件模型的原因。

同时，由于目前国际上普遍使用美国加州大学伯克利 (Berkeley) 分校开发的 SPICE 电路模拟程序，所以我们也结合它给出的小尺寸 MOS 器件模型进行一定的介绍及分析讨论，并指出它的不足，以利于那些用该程序的 VLSI 设计者对它有较正确的认识。

第一节 GCA 及其局限性

图 1.1 为一个 NMOS 管的结构剖面。它是一个四端器件，

栅下的沟道区是它的核心。沟道区的载流子受到纵向和横向电场的同时作用，由此形成电流，因此是一个二维问题。如果考虑它

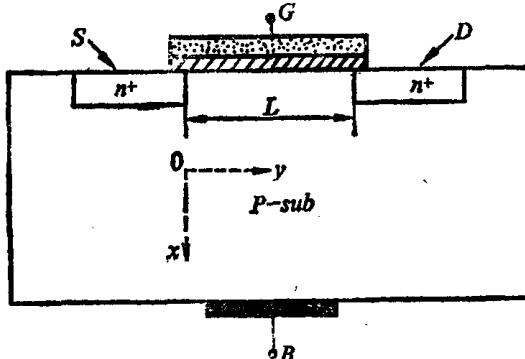


图 1.1 NMOS 管的结构剖面

在沟道宽度方向的边缘效应，应该是一个三维问题。求解三维泊松方程是十分麻烦的，不可能得到解析解，只能用数值分析方法求解。

在长沟大尺寸情况下，问题可以大大简化。由于沟长 L 比栅介质 SiO_2 的厚度（约 $100\sim200\text{nm}$ ）大很多，纵向电场比横向电场强得多，即有

$$\left| \frac{\partial \phi}{\partial x} \right| \gg \left| \frac{\partial \phi}{\partial y} \right|$$

其中 ϕ 为沟道区各处的电势。在这种情况下，可以把横向电场仅作为对纵向电场的微扰。

GCA 就是将上述的多维问题近似简化为一维问题。其处理方法如下：先解纵向一维泊松方程，决定沟道内的可动载流子及其分布，然后在此基础上再计算在横向电场作用下这些载流子的漂移运动所形成的源漏电流 I_{DS} 。

纵向是一个 Si/SiO_2 的界面系统。在一定的栅压作用下可使表面反型，在沟道内具有与源漏区同型的可动电荷（即载流子），这是能够形成源漏电流的必要条件。它的一个最重要的参量是开启电压 V_T ，即是使表面反型的起始栅压。显然， V_T 与

沟道内各点的电位 V 有关。在沟道内不同点具有不同的开启电压。

通过解纵向一维泊松方程，得到 V_T 的表达式如下：

$$V_T = V_{FB} + V + 2 |\phi_p| + \gamma_0 (2 |\phi_p| + V - V_B)^{1/2} \quad (1.1)$$

其中： V_{FB} ——平带电压；

ϕ_p ——衬底费米势（以中心能级为参考）；

V_B ——衬底电位；

γ_0 ——衬偏系数， $\gamma_0 = \sqrt{2\epsilon_s q N_{sub}} / C_{ox}$ ；

C_{ox} ——单位面积栅介质电容；

N_{sub} ——衬底杂质浓度。

由于 V_T 是 V 的函数，不宜作为一个描述管子特性的电参数。作为一个可比参数，选用相对于源点电位的开启电压 V_{TH} 作为该 MOS 管的开启电压，则有：

$$\begin{aligned} V_{TH} &= V_T(S) - V_S \\ &= V_{FB} + 2 |\phi_p| + \gamma_0 (2 |\phi_p| - V_{BS})^{1/2} \end{aligned} \quad (1.2)$$

在栅压 $V_G > V_T$ 的条件下，沟道各点具有可动电荷密度 Q_m ，

$$Q_m = C_{ox} (V_G - V_T) \quad (1.3)$$

在横向电场下，通过积分计算得到 I_{DS} 的表达式如下：

$$\begin{aligned} I_{DS} &= \frac{\mu W C_{ox}}{L} \left\{ \left(V_G - V_{FB} - 2 |\phi_p| - \frac{1}{2} V_D - \frac{1}{2} V_S \right) (V_D - V_S) \right. \\ &\quad \left. - \frac{2}{3} \gamma_0 [(2 |\phi_p| + V_D - V_B)^{3/2} - (2 |\phi_p| + V_S - V_B)^{3/2}] \right\} \end{aligned} \quad (1.4)$$

这就是 GCA 近似导出的源漏电流公式。

上述的开启电压和源漏电流公式一向作为分析 MOS 器件特性的理论依据，并为 MOS 器件设计者掌握和应用。但这些公式并不适用于 VLSI 中的小尺寸器件，因为对它们而言，作为推导 GCA 公式的前提，即 $|\frac{\partial \phi}{\partial x}| \gg |\frac{\partial \phi}{\partial y}|$ 不成立。

用数值分析法求解多维泊松方程虽然是一种有效的精确方法，但是它只适用于单器件模拟，而不适于 VLSI 电路模拟。其原因是即使只计算一个器件就要花费不少机时，因此，对 VLSI 中包含那么多的器件进行电路模拟计算几乎是不可能的。

更实用的方法是修正 GCA 公式，以得到具有较好近似程度的小尺寸器件的解析式，作为电路模拟的修正模型。这是属于一种工程近似的解决办法。以下各节将围绕小尺寸器件的各种物理起因进行分析，并提出对 GCA 公式的修正方法。

推导 GCA 简化公式 (1.2) 与 (1.4) 的过程中，还有一些其他的近似和假设如下：

1. 整个栅介质以下的区域为均匀掺杂 N_{sub} ；
2. 以表面势 $\phi_s = -\phi_p$ 强反型条件作为开启的标准；
3. 迁移率 μ 是常数；
4. V_{FB} 与器件尺寸无关。

以上 4 点只是在某些条件下可用，但对小尺寸器件有时也会带来较大的误差，也应进行适当的修正。

第二节 沟道区离子注入作用

在 VLSI 中 MOS 器件的沟道区需要进行离子注入。一般进行两次注入，即浅注入与深注入。浅注入为了调整开启电压；深注入为了防止源漏之间的穿通（穿通问题将在第二章分析）。因此，栅下的杂质分布不仅决定于衬底掺杂，而且还决定于注入杂质，因而呈不均匀分布。

离子注入会影响管子的开启特性，改变开启电压的数值和符号，同时，也影响导电沟道的类型。为了避免概念上的混淆，我们先介绍增强管、耗尽管、表面沟管及埋沟管这四种管型的意义。增强管和耗尽管是以栅源电压 $V_{GS} = 0$ 时管子是关还是开为衡量标准，并不涉及导电沟道的位置，而埋沟和表面沟是以导电

沟道的位置来区分的。埋沟的形成是由于在沟道区注入与衬底反型的杂质，在表面以下的区内形成导电沟道，因此多数情况下是耗尽管。但是，因为有 V_{FB} 因素的存在，注入形成的导电埋沟有可能在 $V_{GS} = 0$ 时被耗尽掉，成为增强管。在 CMOS 电路中的 PMOS 管就是这种埋沟型的增强管。另外，NMOS 管经常可以是表面沟的耗尽管。所谓表面沟是指由栅压感应而形成的反型载流子导电沟道，它们产生于栅介质下的表面。

由此可知，一个 MOS 管是耗尽型还是增强型只是电参量不同，不涉及导电机理本质问题。而表面沟和埋沟产生导电沟道的机理不同，因此对它们的分析方法有所不同，会得到不同的电参量表达式。

一、表面沟型

沟道区注入杂质与衬底同型，形成杂质浓度在表面附近高、向衬底方向渐减的分布趋势。器件的特性与具体的杂质分布函数有关。用离子注入得到的分布函数与它的注入剂、能量以及后步热处理等条件有关。

较大能量的深注入在表面附近形成如图 1.2 所示的对称高斯分布，其峰值在表面以下。较浅注入的情形，峰值基本上在表面，形成近似单边高斯分布。后步的热处理使峰值附近的变化趋于平缓。综合深、浅注入及后步热处理，最终形成近似于图 1.3 所示的三段式分布：起始段是表面附近的平坦分布，而后是近似呈指数下降段，最后是浓度为 N_{sub} 的均匀衬底段。

在此，我们先用“BOX”作更简单的近似，然后再对三段

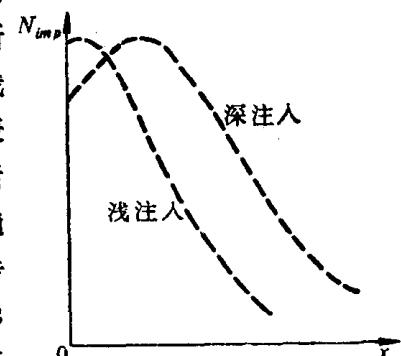


图 1.2 离子注入杂质的纵向分布

式分布的 MOS 管特性进行分析计算。所谓“BOX”近似是把注入杂质看成分布在表面附近的矩形盆内，如图 1.3 上用点划线所

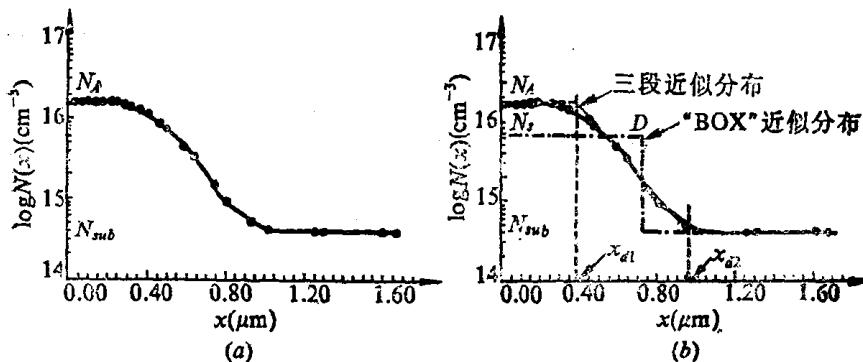


图 1.3

(a) 注入管的沟道区杂质实际分布曲线；(b) 三段近似或“BOX”近似分布

标出那样：在 x 为 0 到 D 之间为注入区，它的杂质浓度均匀地为 N_s ；在 $X=D$ 处 N 发生突变；在 $X>D$ 区无注入杂质， $N=N_{sub}$ 。

设离子注入的单位面电荷剂量为 Q_i ，则有

$$N_s = Q_i / (qD) + N_{sub}$$

MOS 管的特性受到注入深度 D 和剂量 Q_i 的影响。根据 D 的大小，分成三种情形进行讨论。

1. D 很浅， $D \ll x_a$ ，其中 x_a 是表面达到反型时的耗尽层宽度。在此情形下，可以近似认为注入剂量集中在表面，则有

$$\begin{aligned} V_{FB} &= V_{FB} + 2 |\phi_p| + Q_B / C_{ox} + Q_i / C_{ox} \\ &= V'_{FB} + 2 |\phi_p| + Q_B / C_{ox} \end{aligned} \quad (1.5)$$

其中 Q_B 为衬底区的单位面积耗尽电荷量。 $V'_{FB} = V_{FB} + Q_i / C_{ox}$ ，即把 Q_i 并入平带电压中，作为新的平带电压的一部分，因此根本不需要改变原来计算 MOS 特性的公式，是最简易的理想情况。在 SPICE 电路模拟程序中就是采用了这样的理想分布情况。但实际情况并不如此理想。由于注入和后热处理等因素起作

用, D 总有一定的深度, 并且可以与 x_d 相比拟。因此, 一般不能采用上述的理想情况进行分析计算, 否则会带来较大的误差。

2. $D > x_d$, 即表面达到反型的耗尽区在注入区以内。这是一种深注入的情形。由于耗尽区未出注入区, 所以相当于把 MOS 管做在杂质浓度为 N_s 的衬底上, 则有

$$V_{TH} = V_{PB} + 2 |\phi_p| + Q'_B / C_{ox}$$

其中 ϕ_p 为杂质浓度为 N_s 的费米势, Q'_B 为在注入区耗尽的电荷量, 可表示为:

$$Q'_B = \sqrt{2q\epsilon_s N_s (2|\phi_p| - V_{BS})}$$

由于 $N_s > N_{sub}$, 结果使开启电压和衬偏系数大大增加, 给 MOS 管的特性带来不良的影响。因此, 这种情况在实际中不采用。

3. $x_d > D$, 这是实际工艺中常见的情形, 即注入深度 D 小于表面达到反型时的耗尽区宽度, 但两者仍能相互比拟。因此, 耗尽区分为两部分, 即近表面浓度为 N_s 的注入区及注入区以外浓度为 N_{sub} 的衬底。

解一维泊松方程, 得

$$x_d = \left[\frac{2\epsilon_s}{qN_{sub}} (2|\phi_p| - V_B) - \frac{DQ_i}{N_{sub}} \right]^{1/2} \quad (1.6)$$

$$Q_B = Q_i + qx_d N_{sub} \quad (1.7)$$

$$V_{TH} = V_{PB} + 2 |\phi_p| + \frac{Q_i}{C_{ox}} + \gamma_0 \left[2 |\phi_p| - V_{BS} - \frac{Q_i D}{2\epsilon_s} \right]^{1/2} \quad (1.8)$$

由 (1.8) 式可知, 在 $x_d > D$ 情况下, 当注入剂量 Q_i 一定时, D 越大, V_{TH} 越小。这是因为 D 越大, 表面势受注入区电荷的屏蔽越强, 使 x_d 及 Q_B 越小。

D 的存在也会引起表观衬偏系数 γ^* 变大, 这可从下式看到:

$$\gamma^* = \frac{dV_{TH}}{d\sqrt{2|\phi_p| - V_{BS}}} = \gamma_0 \frac{\sqrt{2|\phi_p| - V_{BS}}}{\sqrt{2|\phi_p| - V_{BS} - \frac{Q_t D}{2\varepsilon_s}}} > \gamma_0$$

只有当 $(2|\phi_p| - V_{BS}) \gg \frac{Q_t D}{2\varepsilon_s}$ 时，才能有 $\gamma^* \approx \gamma_0$ 。图 1.4 画出在不同 D 下的 V_{TH} 衬偏特性的计算曲线。由图可见，当 $x_d < D$ 时 γ 很大，而 $x_d > D$ 时 γ 虽呈减小趋势，但由注入引起对 γ 的影响，在 x_d 比 D 大得不多时仍旧是十分可观的。

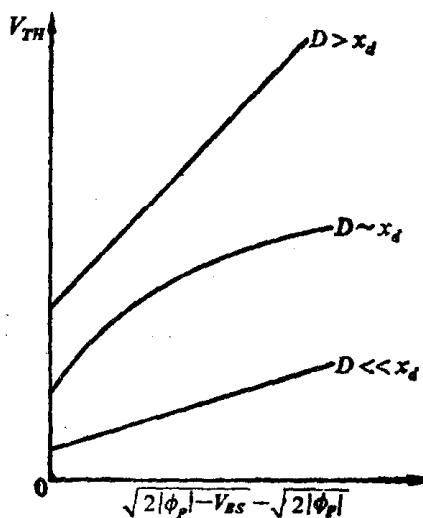


图 1.4 不同 D 的开启电压衬偏特性。
为了使 γ 尽量不要增大太多，在工艺和电路设计上应当采取如下措施：

1. 注入尽量浅，即 D 尽量小。为此必然要选用合适的注入能量，使注入杂质集中在表面附近。更重要的是注入后的热处理温度要尽量低，以减小注入杂质的热推进深度。

2. 衬底加上一个负偏压 V_B ，增大 x_d ，使它比 D 大得多一点。

上述的分析是建立在“BOX”近似基础上的，与实际分布偏差较大。当然，用严格的分布函数求解它的电参量解析表达式也是十分困难的。因此，可采取折衷方法。用图 1.3 所示的三段近似分布求解泊松方程，所得结果应较“BOX”近似精确得多。

三段近似分布的数学表达式如下：

$$N(x) = \begin{cases} N_A & 0 < x \leq x_{d1} \\ N_{sub} \left(\frac{N_A}{N_{sub}} \right)^{(x-x_{d2})/(x_{d1}-x_{d2})} & x_{d1} < x \leq x_{d2} \\ N_{sub} & x_{d2} < x < \infty \end{cases}$$

由此可得注入总剂量 D_I 及 x_{d2}

$$\begin{aligned} D_I &= \int_0^{x_{d2}} [N(x) - N_{sub}] dx \\ &= N_A x_{d1} - N_{sub} x_{d2} + \frac{(N_A - N_{sub})(x_{d2} - x_{d1})}{\ln(N_A/N_{sub})} \end{aligned} \quad (1.9)$$

$$x_{d2} = \frac{D_I - N_A x_{d1} + \frac{(N_A - N_{sub}) x_{d1}}{\ln(N_A/N_{sub})}}{\left[(N_A - N_{sub}) / \ln \frac{N_A}{N_{sub}} \right] - N_{sub}} \quad (1.10)$$

在上述条件下求解泊松方程，得到耗尽电荷 Q_B 及衬偏系数 γ 与衬偏项 $[\sqrt{2|\phi_p|} - V_{BS} - \sqrt{2|\phi_p|}|V|^{1/2}]$ 的关系如图 1.5 (a) 和 (b) 所示。

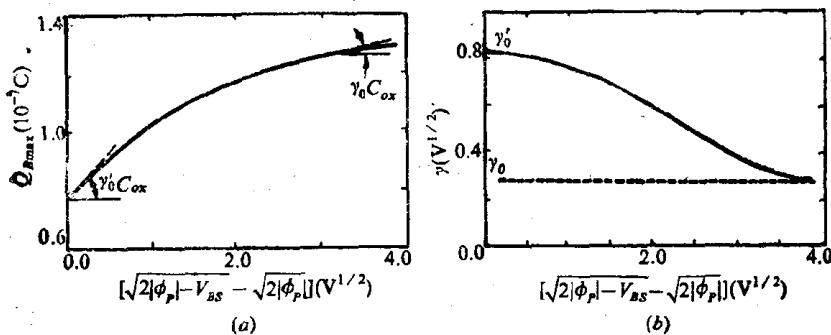


图 1.5

- (a) 注入管沟道下耗尽区电荷随衬偏电压变化；
- (b) 注入管衬偏系数 γ 随衬偏电压变化

由图可见，由于沟道区在深度方向上增强掺杂的浓度逐渐减少， γ 随 $|V_{BS}|$ 加大 (x_d 加大) 也会减小而趋近于 γ_0 ， Q_B 随着衬偏项的变化而上升减慢。根据曲线变化的趋势可合理地设定

Q_B 和 γ 与 V_{BS} 关系的近似表达式如下：

$$Q_B = b_1 \left(1 - \frac{|V_{BS}|}{b_2 |V_{BS}| + b_3} \right) Q_{B0} = \gamma C_{ox} \sqrt{2 |\phi_p| - V_{BS}} \quad (1.11)$$

$$\gamma = b_1 \left(1 - \frac{|V_{BS}|}{b_2 |V_{BS}| + b_3} \right) \gamma_0 \quad (1.12)$$

其中 Q_{B0} 及 γ_0 是无注入情况下的 Q_B 及 γ , 应有

$$Q_{B0} = \sqrt{2 \epsilon_s q N_{sub} (2 |\phi_p| - V_{BS})}$$

$$\gamma_0 = \sqrt{2 \epsilon_s q N_{sub} / C_{ox}}$$

b_1 、 b_2 和 b_3 是三个与杂质分布有关的系数，其中 b_1 是与 N_A 有关的大于 1 的数， $b_2 = \frac{b_1}{b_1 - 1}$ 。当 $V_{BS} = 0$ 时，耗尽区在近表面， $\gamma = b_1 \gamma_0$ ，即增大 b_1 倍；当 $|V_{BS}| \rightarrow \infty$ 时，耗尽区远离注入区，则有 $\gamma = \gamma_0$ ， $Q_B = Q_{B0}$ 。

最后要说明一点，表面沟型 MOS 器件的导电载流子主要集中在表面附近，它们的迁移率 μ_s 由于受界面态等缺陷散射的影响而大大低于体迁移率。例如，NMOS 的电子表面迁移率为 $600 \text{ cm}^2/\text{V}\cdot\text{s}$ 左右；PMOS 的空穴表面迁移率为 $200 \text{ cm}^2/\text{V}\cdot\text{s}$ 左右。

二、埋沟型

向沟道区注入与衬底反型的杂质，会在表面下形成一层与源漏区同型的导电沟道及对衬底的 $p-n$ 结，由此得到埋沟导电机理。

埋沟管的杂质分布剖面如图 1.6 所示。注入区补偿衬底杂质后得反型浓度为 N_A ；在深度为 x_{d1} 点注入杂质与衬底杂质浓度相同，形成 $p-n$ 结。为了计算简单，一般采用“BOX”近似进行分析，当然也可以采用较复杂的、较精确的分布进行计算分析，但在方法上基本是类似的，结论也是相似的。

对 NMOS 管，由于它的平带电压 V_{FB} 是负的，埋沟注入的结果必然形成常通的耗尽管，但不能简单地把它处理成开启电压

为负的表面沟管。PMOS 的情况有所不同，在无注入情况下，由于平带电压的作用，它在零偏时是常闭的增强管，而且开启电压

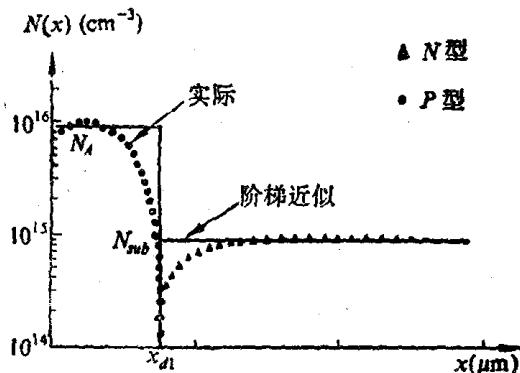


图 1.6 P型埋沟管杂质分布剖面

的绝对值较大（约 4 V 左右），不宜在 5 V 电源电压下工作。反型杂质（受主型）的注入可以降低开启电压的绝对值，这正是电路设计所希望的。这时的 PMOS 管虽然仍是增强管，但是埋沟型的，因为注入形成的埋沟被平带电压所耗尽，因此在零偏时不能起导电作用。在实际 CMOS 工艺和电路中的 PMOS 就是这种增强型的埋沟管。通过对它的埋沟注入，使开启电压从 -4 V 左右上升到 -0.7V 左右，以适合于 CMOS 电路在 5 V 电源下工作。

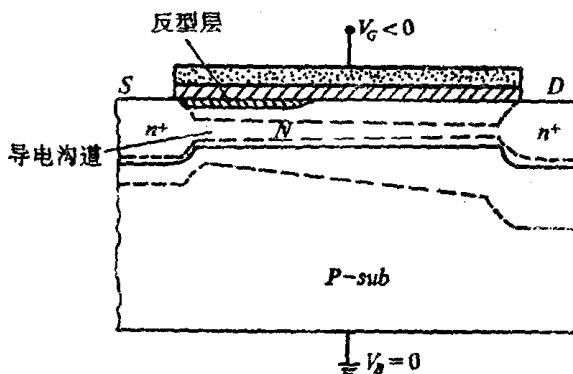


图 1.7 NMOS 耗尽型埋沟管在负栅压下的剖面

下面我们以 NMOS 耗尽型埋沟管为例进行分析计算。采用“BOX”近似，设埋沟区是浓度为 N_D 的 N 区，其深度为 x_i 。

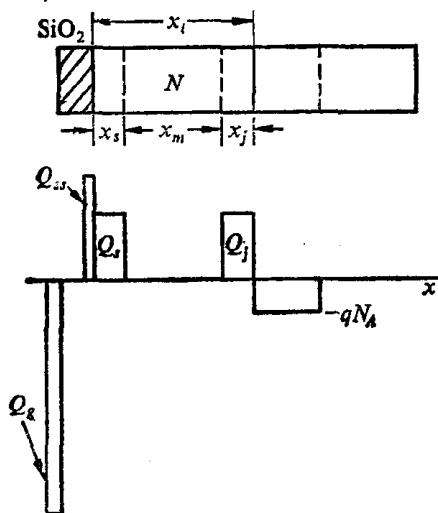


图 1.8 NMOS 耗尽型埋沟管在负栅压下的电荷分布剖面

建电势。

令 $V_{mG} = V_G - V_B + \phi_B$, V_{mG} 可以看成是有效栅压，当 $V_{mG} = V_m$ 时达到平带条件。

以 V_{mG} 的大小为依据，表面分成三种情况：

$V_{mG} > V_m$, 表面积累, $Q_s = -C_{ox}(V_{mG} - V_m)$;

$V_{TI} < V_{mG} \leq V_m$, 表面耗尽, $Q_s = qN_x s$;

$V_{mG} \leq V_{TI}$, 表面反型, $Q_s = qN_x s_m$ 。

其中 V_{TI} 是表面反型呈 P 型的阈值。这里的反型条件有一定的特殊性，因为反型表面呈 P 型，而衬底也是 P 型，一旦表面达到反型就会通过沟道宽度方向与衬底连在一起，表面电位被箝位至 $V_B = 0$ 。图 1.9 是沟道宽方向上的剖面，可以清楚地看到上述的情况。由此可得

$$V_{TI} = -K_N \sqrt{V_m / C_{ox}} \quad (1.13)$$

其中 $K_N = \sqrt{2\epsilon_s q N}$ 。

图 1.7 为器件在负栅压下的剖面图；图 1.8 为沿沟道垂直方向的电荷分布。由图可见，注入在埋沟的导电载流子一部分被底部的 pN 结所耗尽，另一部分被表面负栅压所耗尽，剩下的中间部分成为导电沟道。

以衬底电位 $V_B = 0$ 为参考电位，沟道中各点的电位为 V 。

令 $V_m = V + \phi_B$, 其中 $\phi_B = \phi_{fn} + \phi_{fp}$ 是 pN 结的内