

十四、锁相环与频率合成电路

锁相环(PLL)是一种实现相位自动锁定的控制系统,它一般由鉴相器(PD),环路滤波器(LF)、压控振荡器(VCO)等部件组成,如图 14-1 所示。

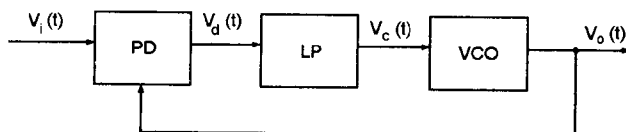


图 14-1 锁相环的功能框图

图中鉴相器是对输入信号 $V_i(t)$ 与压控振荡信号 $V_o(t)$ 的相位进行比较,其输出为正比于两输入信号相位差的误差电压 $V_d(t)$ 。该电压经环路滤波器的平滑滤波后,去控制压控振荡器的振荡频率和相位,以使朝着减小两信号的频率差和相位差方向变化,直到压控振荡器的输出信号频率逼近于输入信号频率,相位差等于常数时,环路处于锁定状态。

由于锁相环具有窄带滤波等良好而突出的性能,因而在通信、电视、控制与仪器诸电子领域中获得了广泛的应用。在通信范围内,它主要用于频率合成与频率变换、调制与解调、稳频倍频与分频、自动频率调谐跟踪、位同步提取与载波恢复等方面。

频率合成技术是现代通信对频率源的频率稳定度与准确性,频谱纯度及频带利用率提出愈来愈高要求的产物。它能够利用一个高稳标准(或参考)频率源(如晶体振荡器)合成出大量具有同样性能的离散频率。

频率合成器可以根据实现方法的不同分为三类:混频滤波式、脉控锁相式与数字锁相式频率合成器。其中数字锁相式频率合成器是一种用数字方法控制分频比的锁相环路,产生相应的离散频率。它将先进的数字技术和锁相技术结合起来,赋予锁相环频率合成器以良好的性能,我们在本部分中将重点介绍这类频率合成器。

直接式锁相环频率合成器构成如图 14-2 所示。它仅在图 14-1 所示锁相环的反馈支路中插入一个可编程控制的分频器($\div N$)。如图所示,高稳定度的参考振荡信号经 R 次分频后,得到频率为 f_R 的参考脉冲信号。同时压控振荡器输出经 N 次分频后得到频率为 f_N 的脉冲信号,它们在鉴相器进行比相。当环路处于锁定状态时,则:

$$f_o = Nf_N = Nf_R$$

显然,只要改变分频比 N ,即可达到改变输出频率 f_o 的目的,从而实现了由 f_R 合成 f_o 的任务。在该电路中,输出频率点间隔 $\Delta f = f_R$ 。

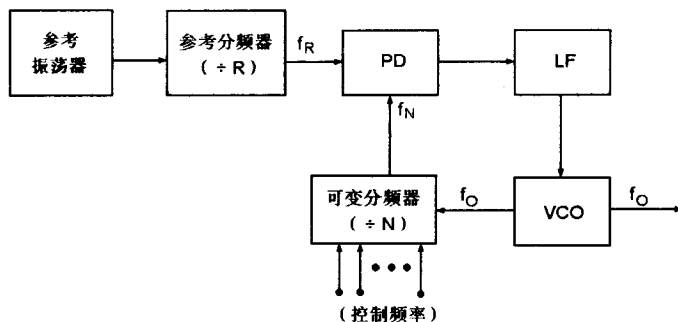


图 14-2 直接式锁相环频率合成器功能框图

在实际应用中,特别在超高频工作情况下,为降低 N 分频器的输入频率,通常在 N 分频器与压控振荡器之间插入高速前置分频器 ($\div P$)。显然此时频率关系为 $f_O = NPf_R$ 频率点间隔增为 Pf_R 。

为了在给定的频段内合成更多的离散频率,需减小上述方案之频率点间隔 Pf_R 。为此,在实际通信设备中通常采用双模前置分频器 ($\div P$ 与 $\div (P+1)$) 和含有吞食计数器的可编程分频器。其构成框图如图 14-3 所示,一般称它为吞脉冲式 PLL 频率合成器。

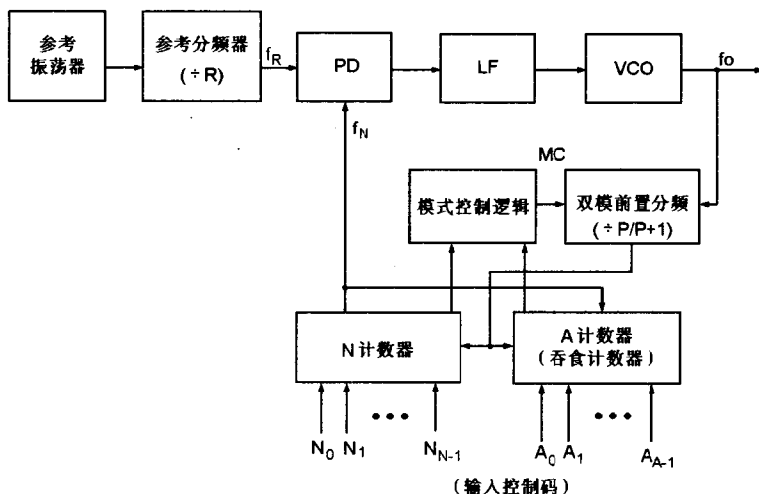


图 14-3 吞脉冲式锁相环频率合成器功能框图

在该方案中通常 N 计数(分频)器的级数大于 A 计数器的级数,即 $N > A$ 。在计数循环开始时,模式控制信号 $MC=0$,前置分频比为 $P+1$,这样 A 计数器每次比另一前置分频模式(P)吞食一个脉冲。由于 N 、 A 计数器同时开始计数, A 先计满,输出使模式控制逻辑状态变为 $MC=1$,前置分频比变为 P ,直到 N 计数器计满,输出将模式控制逻辑重置成 $MC=0$ 状态。这样,计数链路的总分频比是:

$$N_{\Sigma} = A(P+1) + P(N-A) = PN + A$$

$$f_O = (PN + A)f_N = PNf_R + Af_R$$

可见合成频率点间隔减为 f_R 。

由于锁相环与频率合成器是通信设备特别是移动通信设备中的基本而关键部件,为了

改善性能、缩小体积、降低功耗、提高可靠性、便于调整与维修及降低成本,其根本解决途径是大力研制、开发、与应用专用集成电路。国外自六十年代末集成锁相电路问世以来,这类专用集成电路发展迅速,产品种类繁多,工艺日新月异,到七十年代中、末期已达到大规模集成电路的水平,锁相环与频率合成器几乎全部集成化、系列化了。

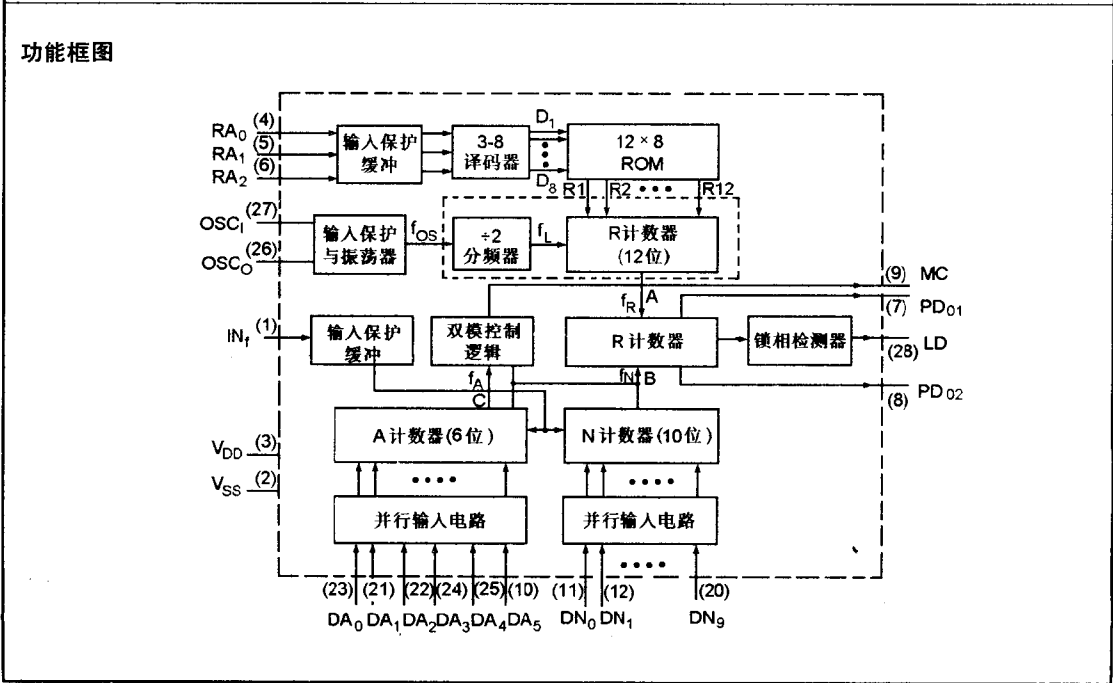
就目前这类集成电路的研制和应用现状而论,主要分为模拟式和数字式两大类。为适应于不同用途的要求,目前产品或设计成小规模、较通用集成电路(如晶振、压控振荡器、鉴相器或模拟乘法器、单模或双模前置分频器、锁相环、可编程分频器等),或设计成中、大规模的较专用集成电路(如单片频率合成器等)。

通常模拟式电路多为双极型工艺,数字式电路除高速前置分频器采用 ECL 工艺外,几乎都采用 CMOS 工艺。CMOS 电路具有集成度高,功耗小、成本低等优点,适于移动通信设备应用。

本部分将专门介绍锁相环与频率合成器的基本集成部件,着重介绍某些国际上有代表性的产品和国内常用的型号,简要说明它们的特点、参数、构成与原理,并给出几种典型实用线路。有关无绳电话、无线寻呼、模拟与数字蜂窝移动通信设备及个人通信系统等专用集成电路,将放其它分册介绍。

并行码输入锁相环频率合成器	MC145152-1
简要说明 该电路是MOTOROLA公司生产的并行码输入锁相环频率合成器,它虽属较为通用的集成电路,但目前主要用于仪器仪表与无线、移动通信设备中作频率合成器。电路的基本特性为: (1) R计数器分频比变化范围 8、64、128、256、512、1024、1160、2048 (2) N计数器分频比变化范围 3~1023 (3) A计数器分频比变化范围 0~63 (4) 编程控制方式 并行码输入 (5) 最高输入与振荡频率 > 15MHz (6) 参考信号为片内振荡或外接输入,鉴相特性为线性。 (7) 电源 +5V (8) 工艺 CMOS (9) 封装 DIP-28PIN	引出端排列

引出端符号说明					
IN_r	信号输入	$RA_0 \sim RA_2$	参考译码器地址	LD	锁相状态检测
V_{DD}, V_{SS}	正、负电源	MC	双模控制信号输出	$DN_0 \sim DN_9$	N计数器输入
PD_{01}, PD_{02}	鉴相输出	OSC_1, OSC_0	振荡器输入、输出	$DA_0 \sim DA_5$	A计数器输入



引出端功能说明

IN_f ——信号输入。在使用时一般来自前置分频器输出或压控振荡器。

$RA_0 \sim RA_2$ ——参考译码器输入地址。它经译码,读出 ROM 内容以控制 R 计数器的分频比和 f_R 。具体关系详见下表。

$DA_0 \sim DA_5$ ——控制 A 计数器分频比的输入并行码。

$DN_0 \sim DN_9$ ——控制 N 计数器分频比的输入并行码。

MC —— 双模控制信号输出。它由 A、N 计数器输出作用于控制逻辑而产生的,在构成 PLL 频率合成器时,一般输到双模前置分频器。

OSC_i, OSC_o —— 振荡器或时钟信号输入、输出端,通常用以外接晶体。

PD_{01}, PD_{02}, LD ——R、N 计数器输出相位比较信号与锁相状态检测信号,它们反应锁相情况,通常经低通滤波器去控制 VCO。

V_{DD}, V_{SS} —— 正电源与负电源,通常 V_{SS} 接地。

电路的功能说明

电路内部共由八部分构成:参考译码器,只读存储器(ROM)、参考振荡器、12 位 ÷ R 计数器、6 位 ÷ A 计数器、10 位 ÷ N 计数器、双模控制逻辑及鉴相器与锁相状态检测电路。

在 $OSC_i - OSC_o$ 两端接一定频率的晶体和适当的电容(或由 OSC_i 加入参考信号),它们与芯片内的倒相器、电阻构成振荡电路,产生参考信号 f_{os} ,输到参考计数器(包含二分频器)。3 位并行码($RA_2 \sim RA_0$)经 3-8 译码器产生 8 位地址码(D8 ~ D1)控制 12×8 ROM,从中读取相应之 12 位并行信息(R12 ~ R1),控制 12 级 ÷ R 计数器,以实现分频比可编程的任务。这样参考计数器的总分频比为 $R = f_{os}/f_R$,其输出(频率为 f_R)作为参考信号加到鉴相器。

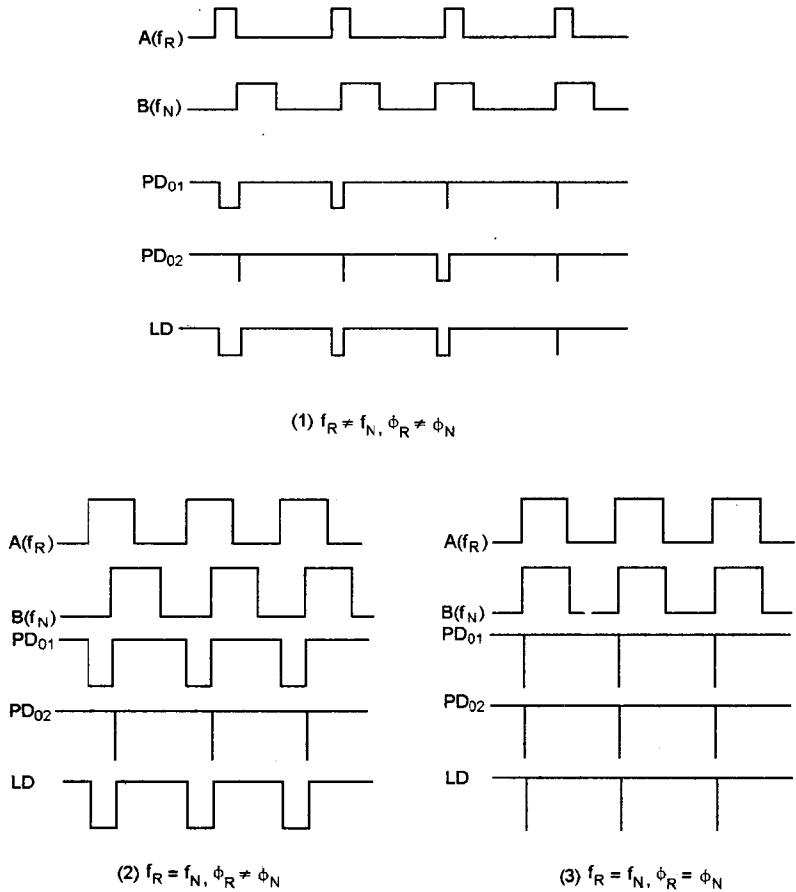
输入码与译码逻辑、ROM 信息、分频比 R 之间的关系由内部电路结构决定,如下表所示。

输入码			译码输出	ROM 输出	ROM 输出	分频比
RA_2	RA_1	RA_0	D8 ~ D1	R12 ~ R1(二进制)	R12 ~ R1(十进制)	$R = f_{os}/f_R$
0	0	0	11111110	00000000100	4	8
0	0	1	11111101	000000100000	32	64
0	1	0	11111011	000001000000	64	128
0	1	1	11110111	000010000000	128	256
1	0	0	11101111	000100000000	256	512
1	0	1	11011111	001000000000	512	1024
1	1	0	10111111	001001000100	580	1160
1	1	1	01111111	010000000000	1024	2048

此外,来自压控振荡器和双模前置分频器的输入信号(IN_f)经输入保护电路同时加到 A 和 N 计数器进行分频、计数。输入并行码($DA_0 \sim DA_5$)、($DN_0 \sim DN_9$)通过缓冲电路分别控制该两计数器的分频比,由于分频比 $N > A$,因而 A 计数器先计满,输出脉冲(C)使双模

控制逻辑从 $MC=0$ 变为 $MC=1$ 。N 计数器继续计数直到计满，输出脉冲(B)将 MC 重置为 $MC=0$ 状态，并将两计数器同时复零，以等待下一循环。

R、N 计数器的输出 (A、B) 同时送到鉴相器进行比相和锁相状态检测。其中输出 PD_{01} 、 PD_{02} 分别反应信号 A、B 之间相位超前与滞后情况，该两电压经低通滤波去控制 VCO 的振荡频率以改善锁相状态，直到环路处于锁定状态，即 $f_R = f_N, \phi_R = \phi_N$ ，电压 PD_{01} 、 PD_{02} 维持在高电平，锁相状态检测输出 $LD = PD_{01}$ 。 PD_{02} 也为高电平。下图给出了三种典型情况下鉴相器输出的波形。



鉴相器波形示意图

主要电参数

(1) 电特性

特性	符号	V _{DD} (V)	-40℃		+25℃			+85℃		单位
			最小值	最大值	最小值	典型值	最大值	最小值	最大值	
电源电压	V _{DD}		3	9	3		9	3	9	V
输入电平	V _{IL}	3		0.9		1.35	0.9		0.9	V
		5		1.5		2.25	1.5		1.5	
		9		2.7		4.05	2.7		2.7	
输入高电平	V _{IH}	3	2.1		2.1	1.65		2.1		V
		5	3.5		3.5	2.75		3.5		
		9	6.3		6.3	4.95		6.3		
输出低电平	V _{OL}	3								V
		5		0.05		0.001	0.05	0.05		
		9								
输出高电平	V _{OH}	3	2.95		2.95	2.999		2.95		V
		5	4.95		4.95	4.999		4.95		
		9	8.95		8.95	8.999		8.95		
静态电流	I _{DD}	3		800		200	800		1600	μA
		5		1200		300	1200		2400	
		9		1600		400	1600		3200	
输入电容	C _I			10		6	10		10	pF

(2) 开关特性 (T_A=25℃, C_L=50pF)

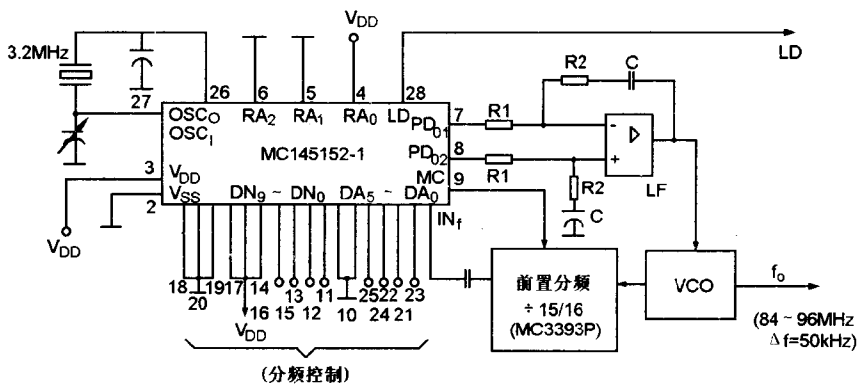
特性	符号	V _{DD} (V)	最小值	典型值	最大值	单位
MC上升时间	t _{PLH}	3		50	115	ns
		5		30	60	
		9		20	40	
MC下降时间	t _{PLH}	3		25	60	ns
		5		17	34	
		9		15	30	
LD、PD ₀₁ 、PD ₀₂ 上升与下降时间	t _{PLH} t _{PHL}	3		60	140	ns
		5		40	80	
		9		30	60	
传播延时 (IN _I -MC)	t _{PLH} t _{PHL}	3		55	125	ns
		5		40	80	
		9		25	50	
输出脉宽	t _w	3	25	100	175	ns
		5	20	60	100	
		9	10	40	70	

(3) 极限参数

参数	符号	最小值	最大值	单位
电源电压	V_{DD}	-0.5	+10	V
输入、输出电压	V_i, V_o	-0.5	$V_{DD}+0.5$	V
输入、输出电流	I_i, I_o	-10	10	mA
电源电流	I_{DD}	-30	30	mA
功耗	P_D		500	mW
贮存温度	$T_{\text{储}}$	-65	+150	℃

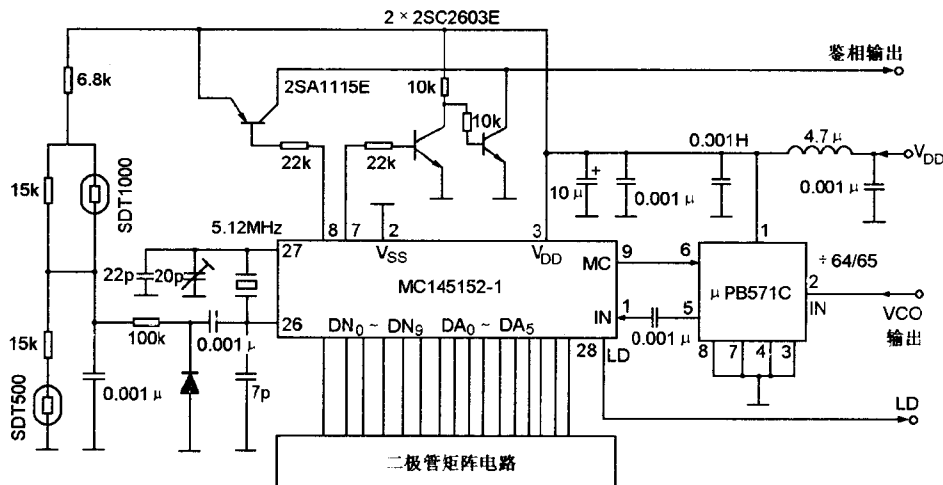
典型应用线路

(1)典型线路 I :

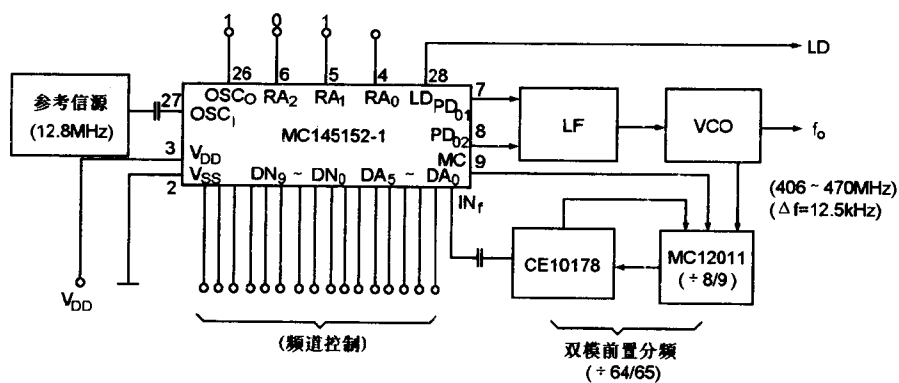


(图中 $RA_2, RA_1, RA_0=001, R=64, f_R=50\text{kHz}$;
 $A=0\sim 15, N=112\sim 127, N_{\Sigma}=1680\sim 1920$)

(2) 典型线路 II:



(3) 典型线路Ⅲ：



(图中RA₂, RA₁, RA₀=101, R=1024, f_R=12.5 kHz;
A=0 ~ 63, N=507 ~ 587, N_Σ= 32480 ~ 37600)

串行码输入锁相环频率合成器

MC145156-1

简要说明

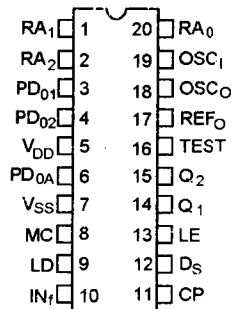
该电路是MOTOROLA公司生产的串行码输入锁相环频率合成器,它与MC145152-1相似,只是输入控制方式不同。目前也主要用于仪器与无线、移动通信等设备中作频率合成器。电路的基本特性为:

- (1) R计数器分频比变化范围 8、64、128、256、640、1000、1024、2048
- (2) N计数器分频比变化范围 3~ 1023
- (3) A计数器分频比变化范围 0~ 127
- (4) 编程控制方式为串行码输入

最高输入与振荡频率 $> 15\text{MHz}$

- (5) 参考信号为片内振荡或外部接入, 鉴相特性为线性。
- (6) 电源 +5V
- (7) 工艺 CMOS
- (8) 封装 DIP-20PIN

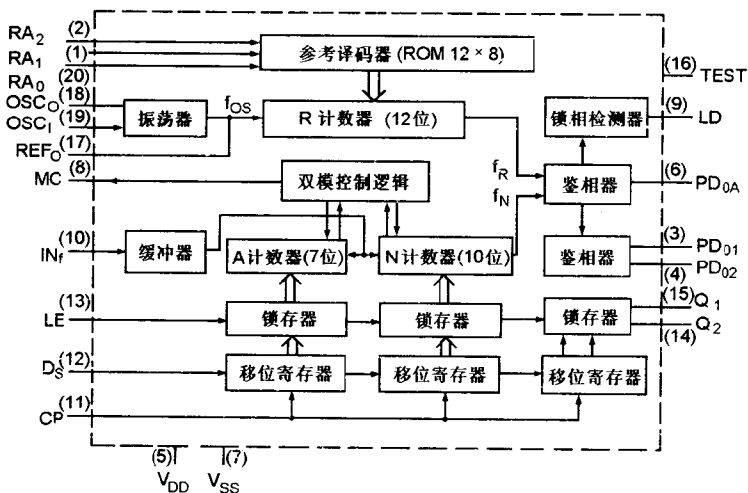
引出端排列



引出端符号说明

$RA_0 \sim RA_3$	参考译码器地址	LD	锁相状态检测	Q1、Q2	锁存输出
PD_{01}, PD_{02}	鉴相输出	IN_r	信号输入	TEST	测试点
V_{DD}, V_{SS}	正、负电源	CP	时钟输入	REF_0	参考振荡器输出
PD_{0A}	鉴相器A输出	D_s	串行码输入	OSC_1	振荡器输入
MC	双模控制输出	LE	锁存允许	OSC_0	振荡器输出

功能框图



引出端功能说明

D_S —— 串行数据输入, 它在时钟信号 CP 作用下经 19 级移位寄存器, 将串行码转换成并行码。

CP —— 与 D_S 同步的时钟输入信号。

LE —— 锁存控制信号, 若 $LE=H$, 锁存器锁存并行数据, 并传送到 A、N 计数器, 以控制其分频比; 若 $LE=L$, 则闭锁, 使数据对 A、N 计数器无效。

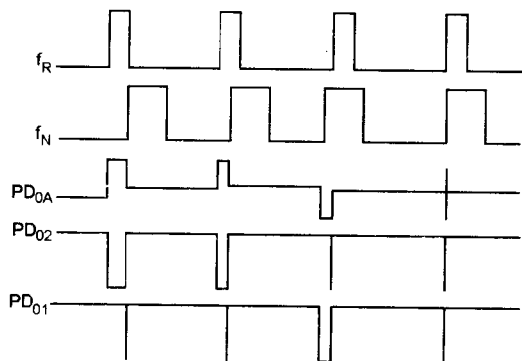
Q_1 、 Q_2 —— 三态锁存输出, 相当于数据的 1、2 位。

TEST —— 在芯片制造时设置的测试点, 通常在使用电路时必须将其开路或接到 V_{SS} 。

其它引出端的功能同 MC145146-1 或 MC145152-1。

电路的功能说明

电路内部构成和工作原理基本与 MC145152-1 相同, 其差别仅在于: (A) MC145156-1 输入为串行码 (D_S), 经 19 级移位寄存器移位和锁存, 将串行码转换为并行码, 以控制 A、N 计数器分频比和改变 f_N 。(B) 增加了最后二级锁存输出 Q_1 、 Q_2 (三态), 在接收系统中可用来控制 AM/FM 波段开关和显示电路。(C) 除有鉴相输出 PD_{01} 、 PD_{02} 外, 增加了 PD_{0A} , 它相当于鉴相功能的单端输出, 以增强电路应用的灵活性。其鉴相输出波形如下图所示。



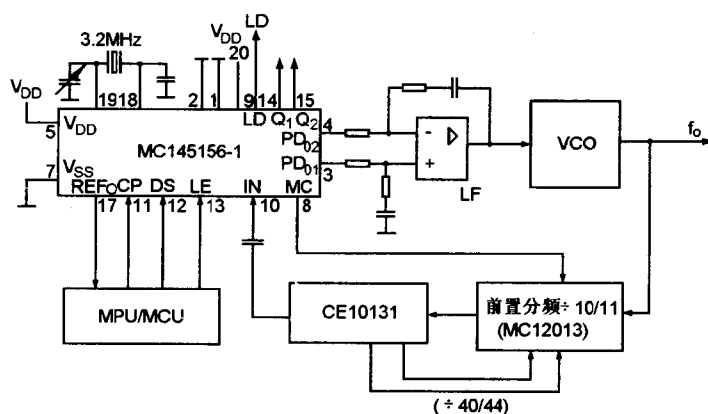
鉴相器波形示意图

主要电参数

同 MC145152-1。

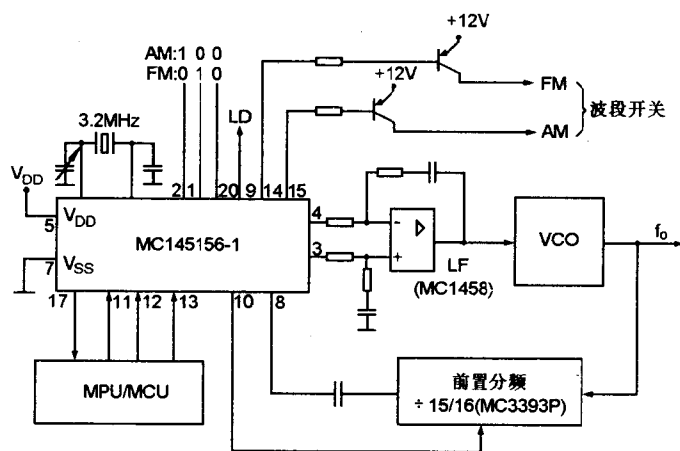
典型应用线路

(1) 典型线路 I :



(图中 $RA_2, RA_1, RA_0=001$, $R=64$, $f_R=50\text{kHz}$, $N_\Sigma=1946-2145$, $f_c=97.300-107.250\text{MHz}$)

(2) 典型线路 II :



(图中 AM: $RA_2, RA_1, RA_0=100$, $R=640$, $f_R=5\text{kHz}$,
FM: $RA_2, RA_1, RA_0=010$, $R=128$, $f_R=25\text{kHz}$)

数据总线输入锁相环频率合成器

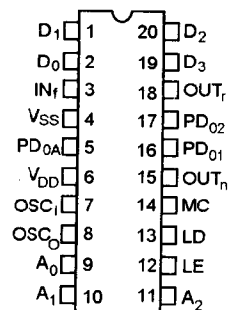
MC145146-1

简要说明

该电路是MOTOROLA公司生产的4位数据总线输入锁相环频率合成器，它与上述的MC145152-1、MC145156-1相似，但输入控制方式不同。电路的基本特性为：

- (1) R计数器分频比变化范围 3 ~ 4095
- (2) N计数器分频比变化范围 3 ~ 1023
- (3) A计数器分频比变化范围 0 ~ 127
- (4) 编程控制方式为4位数据总线输入
- (5) 最高输入与振荡频率 > 15MHz
- (6) 参考信号 片内振荡或外部接入。
- (7) 鉴相特性 线性
- (8) 电源 +5V
- (9) 工艺 CMOS
- (10) 封装 DIP-20PIN

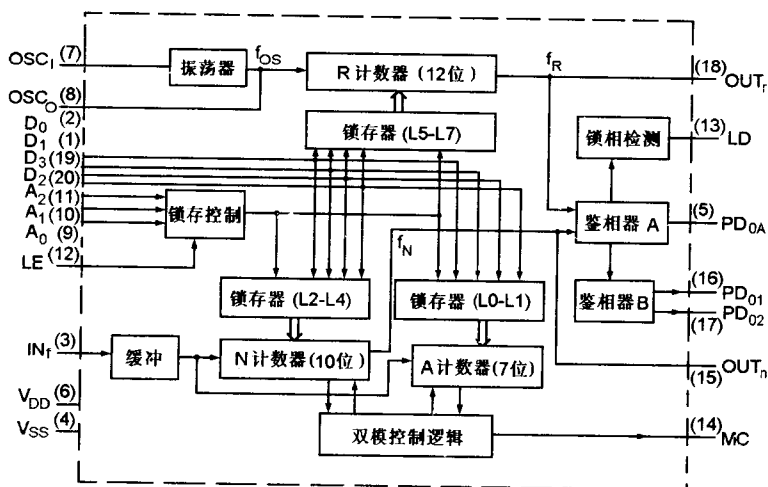
引出端排列



引出端符号说明

D ₀ ~ D ₃	数据输入	OSC _i	振荡器输入	MC	双模控制输出
IN _r	信号输入	OSC _o	振荡器输出	OUT _n	N计数器输出
V _{SS}	负电源	A ₀ ~ A ₂	地址输入	PD ₀₁ 、PD ₀₂	鉴相器B输出
PD _{0A}	鉴相器A输出	LE	锁存允许	OUT _r	R计数器输出
V _{DD}	正电源	LD	锁存状态检测		

功能框图



引出端功能说明

$D_0 \sim D_3$ — 4 位总线数据输入。当 $LE=H$ 时, 数据送到由地址 ($A_2 \sim A_0$) 译码所选择的锁存器中, 为 N、A、R 计数器预置数据, 控制相应的分频比。

A_0, A_1, A_2 — 地址输入码, 用于确定哪个锁存器应接收总线上的输入数据。下表给出了地址码、选择锁存单元、计数器与总线数据的对应关系。

LE — 锁存允许或地址选通信号。若 $LE=H$, 则数据总线上的数据将被传送到地址所确定的锁存器和相应计数器; 若 $LE=L$, 则锁存器处于信息闲锁和无效状态。

OUT_r, OUT_n — 为 R、N 计数器的分频输出。

IN_r — 信号输入, 它可以交流耦合小信号 (如 $500mV_{PP}$ 正弦波) 或直流耦合 CMOS 电平输入。通常在 PLL 频率合成器中接前置分频器的输出端。

PD_{OA} — 鉴相器 A 的单端相位差信号输出 (三态), 当 $f_N > f_R$ 或 f_N 相位超前时, PD_{OA} 为负脉冲; 当 $f_N < f_R$ 或 f_N 相位滞后时, PD_{OA} 为正脉冲; 当 $f_N = f_R$ 且两者相位一致时, PD_{OA} 呈高阻态。具体波形同 MC145156-1。

其它各引出端功能同 MC145152-1 或 MC145156-1。

电路的功能说明

电路内部的构成和工作原理也与上述 MC145152-1、MC145156-1 基本相同。它由四部分构成: (A) 参考频率部分: 由一级门电路组成内部参考振荡器, 产生 f_{OS} , 经 12 位超前预置零读出减计数器 (即 $\div R$ 参考分频计数器) 得到参考频率 f_R 。预置数由 4 位总线数据锁存后提供, 以控制分频比和 f_R 。(B) 吞食计数部分: 它由 N、A 计数器和双模控制逻辑组成。N 计数器为 10 位超前预置零读出减计数器, 分频比变化范围是 $3 \sim 1023$; A 计数器是 7 位减计数器, 实际分频比范围是 $0 \sim 127$, 它们也均由 4 位输入数据锁存控制。(C) 锁存与选通控制部分: 3 位地址码 $A_2A_1A_0$ 经 3-8 译码器, 控制八个锁存单元数据的写入, 以改变 R、N、A 计数器的分频比。其对应关系如下表示。

A_2	A_1	A_0	选择锁存单元	控制计数器	D_0	D_1	D_2	D_3
L	L	L	L_0	A	0	1	2	3
L	L	H	L_1	A	4	5	6	—
L	H	L	L_2	N	0	1	2	3
L	H	H	L_3	N	4	5	6	7
H	L	L	L_4	N	8	9	—	—
H	L	H	L_5	R	0	1	2	3
H	H	L	L_6	R	4	5	6	7
H	H	H	L_7	R	8	9	10	11

(D) 数字鉴相部分: 它提供单端 (三态) 和双端鉴相信号 PD_{OA} 、 PD_{O1} 、 PD_{O2} 及锁相检测信号输出。其工作原理和波形与 MC145156-1 中鉴相器波形示意图相同。此外各输入端都有二极管保护电路, 以防过压击穿。

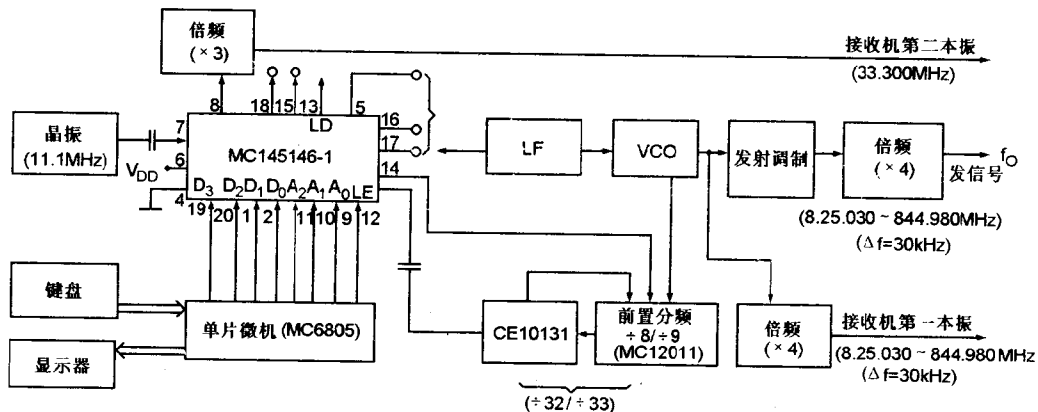
主要电参数

同 MC145152-1。

典型应用线路

(1) 典型线路 I

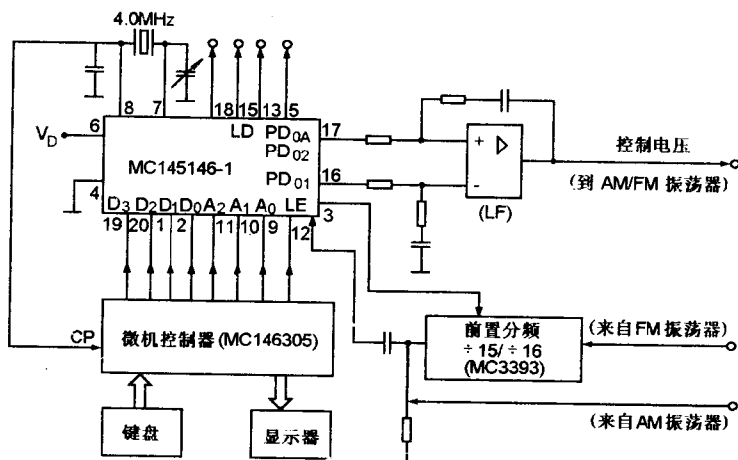
800MHz 微机控制移动无线电系统频率合成器线路：



(图中 $R=1480$, $f_R=7.5\text{kHz}$, $A=0 \sim 31$, $N=859 \sim 880$;
 $N_{\Sigma}=27501 \sim 28166$; 共 666 个讯道)

(2) 典型线路 II

AM/FM 无线广播频率合成器线路：



(图中 FM: $R=160$ $f_R=25\text{MHz}$; AM: $R=4000$ $f_R=1\text{kHz}$)

并行数据输入频率合成器

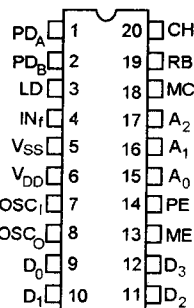
MJ8820

简要说明

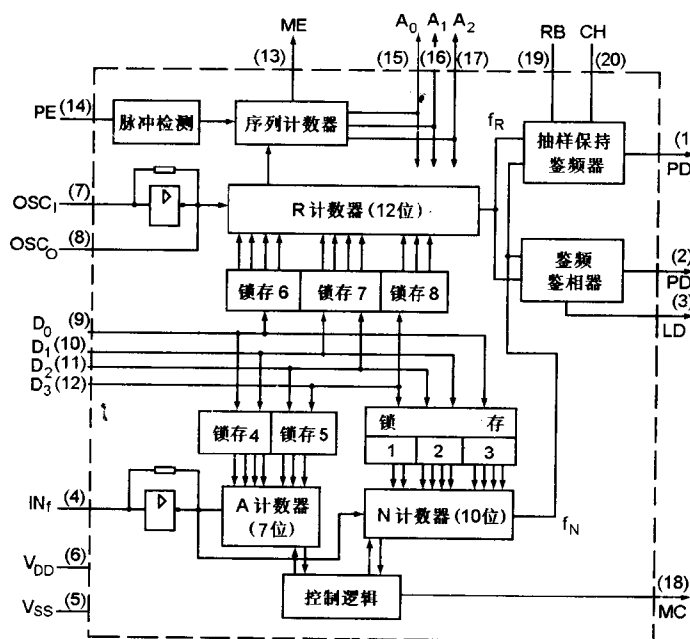
该电路是 PLESSEY 公司生产的锁相环频率合成器。它也采用4位数据输入控制可变分频器,内部包含参考振荡器、可编程参考计数(12位)、可编程 N 计数器(10位)与 A 计数器(7位)、抽样保持相位比较器及必要的双模控制逻辑和锁存电路。可与存储器或适当微处理器直接接口。电路的基本特性为:

- (1) R计数器分频比变化范围 4096
- (2) N计数器分频比变化范围 1023
- (3) A计数器分频比变化范围 127
- (4) 编程控制方式 4位并行数据输入
- (5) 最高输入频率 $> 10\text{MHz}$
- (6) 参考信号 片内振荡或外接。
- (7) 电源 +5V
- (8) 工艺 CMOS
- (9) 封装 DIP-20PIN

引出端排列



功能框图



引出端符号说明

- PD_A 抽样保持鉴相输出
 PD_B 鉴频鉴相输出
 (三态)
 LD 锁相状态检测
 IN_f 信号输入
 V_{DD}、V_{SS} 正、负电源
 OSC_i 振荡器输入
 OSC_o 振荡器输出
 D₀~D₃ 数据输入
 ME 存储器允许
 PE 编程允许
 A₀~A₂ 地址信号
 MC 双模控制输出
 RB 鉴相增益控制电阻
 CH 外接保持电容端