

高压硅半导体器件 耐压与表面绝缘技术

徐传骧 主编



机械工业出版社

本书根据西安交通大学绝缘研究室近年来从事高压大功率硅半导体器件的耐压和表面绝缘方面的科研成果，并结合所收集的国内外有关资料编著而成。全书共分六章，分别对高压硅整流管和硅晶闸管的体内耐压、表面耐压、表面放电、表面漏电流、表面处理及表面保护等方面的基本理论、试验规律和实际生产经验作了较详细的介绍。

本书供从事高压大功率半导体器件科研、设计、生产的专业科技人员和有关高等院校师生参考。

高压硅半导体器件 耐压与表面绝缘技术

徐传骥 主编

*

机械工业出版社出版（北京阜成门外百万庄南街一号）

（北京市书刊出版业营业许可证出字第 117 号）

房山县印刷厂印刷

新华书店北京发行所发行·新华书店经售

*

开本 $787 \times 1092 \frac{1}{32}$ · 印张 $6 \frac{5}{8}$ · 字数 145 千字

1981年11月北京第一版·1985年11月北京第二次印刷

印数 2,801—4,720 · 定价 1.65 元

*

统一书号：15033·5172

目 录

编者的话

第一章 导言	1
一、研究高压硅半导体器件的耐压与表面绝缘技术的意义	1
二、影响硅半导体器件耐压及稳定性的主要因素	5
第二章 高压硅半导体器件的体内耐压	8
一、半导体 P-N 结的形成和基本特性	8
二、P-N 结空间电荷区的电场分布	17
三、P-N 结的击穿	31
四、高压硅整流管的结片结构与耐压设计	49
五、硅晶闸管的耐压设计	56
第三章 高压硅半导体器件的表面电场与表面耐压	79
一、P-N 结的表面击穿与表面电场	79
二、整流管与晶闸管的表面造型	86
三、表面电场与表面空间电荷区的测量方法	94
四、表面电场分布的近似计算方法	98
五、表面耐压的温度特性	106
第四章 高压硅半导体器件的表面放电	111
一、气体击穿的基本实验规律	111
二、气体击穿机理——碰撞电离理论	116
三、高压硅半导体器件管壳内部气体放电的产生与改善措 施	123
第五章 高压硅半导体器件的漏电流	128
一、P-N 结反向漏电流理论	128
二、硅整流管反向漏电流的测试与分析	140
三、影响硅整流管表面漏电流因素的分析	149

四、硅晶闸管的漏电流	157
第六章 高压硅半导体器件的表面处理与表面保护	
材料	159
一、硅半导体器件表面的腐蚀与清洗	159
二、表面保护的要求和几种保护方法	165
三、有机保护材料的结构、性能与使用工艺	177
四、保护材料对硅半导体器件电性能的影响	191
附录 漏电流中 I_D 、 I_G 分量的分解	200
参考文献	202

第一章 导 言

一、研究高压硅半导体器件的 耐压与表面绝缘技术的意义

高压大功率半导体器件是近廿年来迅速发展起来的一种新型电力电子器件。目前,此类器件多以硅单晶为基础材料,利用硅单晶P-N结的单向导电特性而制成,硅整流管及硅晶闸管(即可控硅整流元件)为其典型产品,故有硅器件的简称。

本世纪五十年代开始研制生产的硅器件,耐压均较低。如1958年国外刚出现的晶闸管,耐压只有200伏,但到了1964年就提高到1300伏,1971年之后,已生产出2000~4000伏的晶闸管(图1-1),并有10千伏的晶闸管样品出现。由于硅器件耐压水平的提高,促进了它在冶金、铁路运输、直流输电等部门的广泛应用,并导致了这些部门的技术更新〔1〕、〔2〕。

在我国,这一类新型大功率硅半导体器件的研制生产,是从六十年代才开始的。1964年首先研制成功耐压数百伏的5安培晶闸

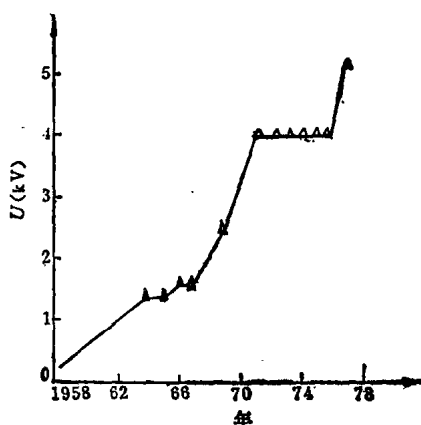


图1-1 国外生产晶闸管
最高电压水平逐年提高概况

管，并先后投入生产，后来建立了硅材料的生产和大功率硅半导体器件制造工业部门，批量生产了5~500安培1000~2000伏高压硅整流管和硅晶闸管，并应用于冶金、化工、交通、采矿等各个领域。随着轧钢、直流输电、电力机车等大型设备的生产和发展，对于高压大功率（500安培2000~4000伏）晶闸管的要求很为急迫，许多厂、所都在进行此种高压硅器件的研制。

要提高硅器件的耐压，一方面应采用高电阻率、高寿命的硅单晶材料，选择合适的器件结构参数与尺寸，以提高器件体内耐压水平；另一方面就是要采用适当的表面造型和表面保护绝缘技术，以提高器件的表面性能。一般高压硅器件的电特性往往受到器件的表面特性所限制，因而，高压硅器件表面特性的研究对于提高器件的耐压和稳定性具有很大的实际意义。

目前，广泛采用的高压大功率硅半导体器件，主要是用于交、直流变换的硅整流管和硅晶闸管。就此类器件的电特性来看，主要要求是：在通态下，允许通过较大的电流，但希望通态压降、通态损耗较

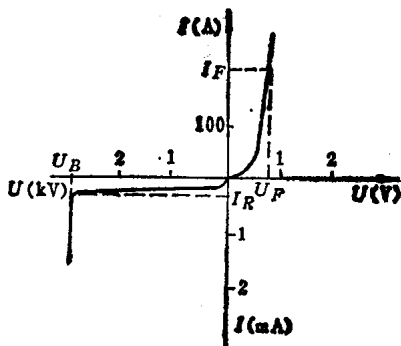


图1-2 硅整流管伏安特性

小，在阻断状态下，则希望其耐压高，漏电流小。因为，半导体P-N结的电流随电压的变化是非线性关系，所以，硅器件的主要电特性常以电压-电流特性曲线（即伏安特性）来表示（图1-2和图1-3）。

图中, U_R 表示硅整流管的反向耐压, 在正常情况下, U_R 由整流管中硅 P-N 结的雪崩击穿电压所决定。 U_{BO} 、 U_F 为晶闸管的正向阻断电压和反向阻断电压, 它与 P-N 结的雪崩击穿电压以及结间影响因素 (如电流放大系数 α_1 、 α_2 等) 有关。 I_F 、 U_F 为通态电流和通态压降, I_R 、 I_{DR} 为反向漏电流和正向断态漏电流。从以上器件参数来看, 对

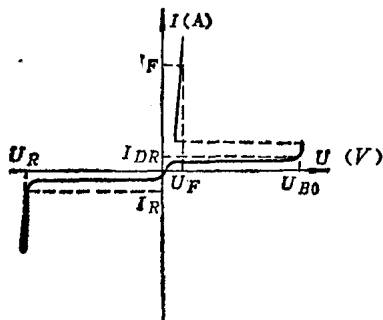


图1-3 硅晶闸管伏安特性

于一个质量高的器件, 在通态下, 要求通态电流 I_F 大而通态压降 U_F 低, 这样损耗发热小、器件温升低; 在断态下, 则要求耐压 (U_R 、 U_{BO} 、 U_F) 高、漏电流 (I_R 、 I_{DR}) 小而且稳定。

硅器件的通态特性主要与器件的结构设计及工艺参数有关。通过扩大硅片的直径、改善散热条件、采用高掺杂浓度层 (P^+ 、 N^+) 和注意保持少子寿命等技术措施来达到。通态特性虽与器件的表面特性无直接的联系, 然而, 通过改善器件表面特性的热稳定性, 器件的工作温度可以提高, 从而增加通态电流 I_F , 这样通态电流也间接地与器件的表面耐压和表面特性的热稳定性有关。在提高通态电流方面, 1974年国外已有 5000 安 600 伏的晶闸管出现 (图 1-4) [1]。对此, 本书不作专门讨论, 可参阅有关文献 [3]、[4]。

在阻断状态下, 硅器件的耐压 (U_R 、 U_{BO} 、 U_F) 及漏电流 (I_R) 的大小与稳定性, 主要取决于硅单晶 P-N 结的耐压和反向导电特性。通常, 人们对于此种特性多归结为反向

P-N 结体雪崩击穿和体内漏电流问题来进行理论研究,而往往忽略了 P-N 结表面击穿和表面导电此一极为重要的方面。目前硅半导体器件体内耐压及导电理论已比较成熟,而表面

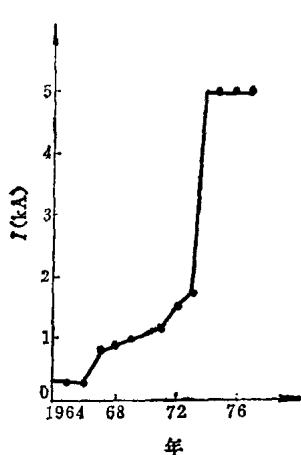


图1-4 国外晶闸管产品电流最高水平提高情况

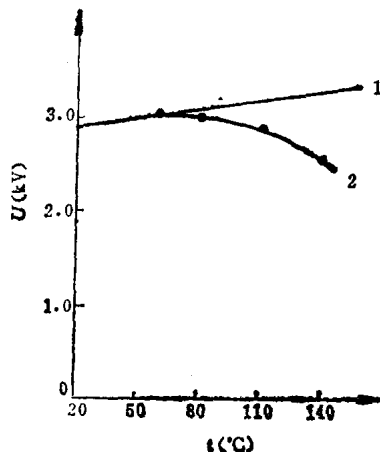


图1-5 硅整流管的耐压与温度的关系

1—体雪崩器件 2—表面限制器件

耐压及导电规律还有许多问题需要从实验和理论上加以研究。然而,在实际生产中,硅器件在阻断状态下的耐压能力与稳定性的高低,主要与器件的表面状态和特性有关,特别是在高温下,器件的耐压主要取决于器件的表面电特性。例如,按硅半导体 P-N 结的体内耐压规律来看,在硅整流管的工作温度 (140°C) 以下的范围内,随着温度的增加其击穿电压应不断提高。但有的高压硅整流管,在高温下往往耐压下降 (图 1-5)。通常,这是由于表面电场局部集中或表面漏电流过大而引起。这种耐压特性为表面特性所限制的器件,称之为“表面限制器件”。这种器件的稳定性和可靠性较

差，而且未能充分发挥硅单晶 P-N 结本身所应有的体击穿耐压能力。如能注意改善表面电场、降低表面漏电流，器件的击穿则发生在体内，这种器件称为“体特性器件”。此类器件具有稳定的耐压水平，稳定性和可靠性也较高，但在实际生产中往往还难以达到此一目的，特别是在高压硅器件的生产中，出现“表面限制器件”的机会就更多。因此，要正确设计硅器件，提高器件的耐压和质量，必须在分析硅器件体内特性的基础上，对于表面的耐压和导电问题作重点的探讨。

二、影响硅半导体器件耐压及稳定性的主要因素

在设计制造高压硅器件时，要使器件具有一定的耐压能力，性能稳定可靠，必须综合地考虑到各方面的因素。以耐压 2 千伏的高压硅整流管为例（图 1-6）作一分析：

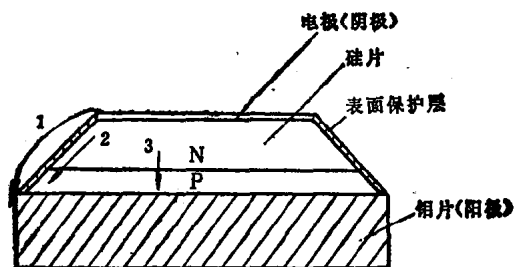


图1-6 高压硅整流管结构截面图

1—表面放电 2—边缘 P-N 结击穿 3—体内 P-N 结击穿

1. 硅单晶 P-N 结本身的体击穿电压必须达到 2 千伏以上。
2. P-N 结的边缘，即硅整流管的硅片四周边缘半导体 P-N 结的击穿电压也要高于 2 千伏。

3. 硅器件周围的媒质（通常为气体）在各种环境条件下，不会在低于2千伏的电压下发生表面弧越放电而造成媒质局部击穿。

4. 在2千伏的高压作用下，硅整流管的反向漏电流不致局部过高，从而引起热不稳定，导致耐压的下降。

5. 器件应具有良好的热传导特性以及正向特性，以保证整个器件的热稳定，此一问题涉及器件的热特性设计与计算。

根据以上分析，本书将从电的角度较全面地讨论与硅器件耐压和稳定性有关的几个主要问题。

（一）高压硅半导体器件的体内耐压

硅器件的体内耐压，主要是由硅单晶P-N结在反向加压时的阻断能力所决定，其实质是要搞清P-N结的击穿规律，以及各种因素（材料结构、掺杂、基区宽度、温度等）对击穿的影响，以研究如何选择合适的材料和器件结构尺寸来满足体内耐压的要求。

（二）高压硅半导体器件的表面电场与表面耐压

硅器件内部的平均场强可高达10千伏/毫米，如果在P-N结的结片边缘不作专门表面处理，则器件在空气中即将发生表面击穿。即使表面加以绝缘，但有时由于表面电场的局部集中，则击穿仍发生在硅片边缘表面的半导体层内，这种现象称为“边缘击穿”。1964年戴维斯（Devies）研究成功了表面斜角造型技术，因而降低了半导体边缘的表面电场，硅器件的耐压水平得到迅速的提高，从而为制造高压硅器件开辟了广阔的前景。目前，高压硅器件的耐压，特别是高温稳定性，往往决定于器件的表面电特性。因此，对表面造型技术、表面电场的理论计算和测试以及表面击穿机理的研究，对于器件的设计和质量的提高有十分重要的意义。

(三) 高压硅半导体器件的表面放电

高压硅器件的耐压提高，除受半导体P-N结边缘击穿的限制外，在实际生产中还发现硅器件在封装后，其内部气氛发生游离放电而使耐压下降的现象。经分析研究表明，上述现象是由于在封装时，管壳内部存在耐电强度低的气氛，并因封装时加热管壳，封结后壳内又形成了低气压，故使煤质的耐电强度进一步下降，台面发生弧越放电所致。其实质是表面气体放电问题，这在高压器件生产中常会遇到，因此，在设计和生产中必须加以考虑。

(四) 高压硅半导体器件的漏电流

硅半导体器件的漏电流，比一般电介质绝缘材料的漏电流要大得多，在器件工作温度(115~140°C)下常达几毫安。如所加电压为2千伏时，将有近十瓦的功率损耗。这部分的功率损耗虽比通态时的损耗为小，但漏电流多集中通过半导体表面，而且往往分布不均匀，这样会引起半导体表面局部电流密度过大和发热严重，以致破坏局部P-N结的热稳定性，伏安特性出现不稳定的软特性，甚至热击穿。另外，器件长期稳定性的优劣，通常也是由测定器件的漏电流变化来进行评价的，即器件电特性的恶化，往往首先表现在漏电流的增加上。因此，对于器件漏电流的讨论，特别是对器件表面漏电流机理的分析，对提高器件耐压和稳定性也是必不可少的一部分。

(五) 表面处理与表面保护材料

为了提高表面的耐压，降低并稳定表面的漏电流，在实际生产中，采用了磨角、腐蚀、清洗和绝缘保护等一系列工艺处理。这对于体特性器件的获得、控制和改善器件的表面特性极为重要。故本书最后一章，综合介绍表面处理与表面保护材料的有关实际技术以供参考。

第二章 高压硅半导体器件

的体内耐压

一、半导体 P-N 结的形成和基本特性

(一) P-N 结的形成

近代发展的高压电力半导体器件，都是利用 P-N 结制成的结型器件，例如，整流管的核心部分就是一个 P-N 结，而晶闸管则由三个 P-N 结所组成。因此，研究高压电力半导体器件的基本性能，必须从分析半导体 P-N 结特性入手。

在电力半导体器件的实际生产中，通常采用高阻 N 型（电子型）半导体硅单晶为基片，通过扩散或合金烧结工艺，对 N 型单晶的某一局部掺入大量的受主杂质（在硅中为三价的硼〔B〕、铝〔Al〕、镓〔Ga〕、铟〔In〕），当掺入的受主杂质浓度超过 N 型单晶中原来的施主杂质（在硅中为五价的磷〔P〕、砷〔As〕、锑〔Sb〕、铋〔Bi〕）浓度时，则此局部变为 P 型（空穴型）半导体，此交界面处即称为 P-N 结。

如在交界面处浓度随位置的变化很陡，半导体从 N 型变为 P 型处，掺杂浓度和类型近似地可看成是突然变化的，这称为“突变结”；相反，交界面处浓度随位置的变化较缓时，则称为“缓变结”（图 2-1）。合金结和高浓度的扩散结可作为“突变结”处理；而低浓度长时间扩散形成的结，则近似于“缓变结”。

半导体在正常条件下的导电性能主要由多数载流子所决定，如 N 型硅半导体中的多数载流子为电子，它是由五价的磷、砷等施主杂质取代了四价的硅并电离而产生的“自由电子”。

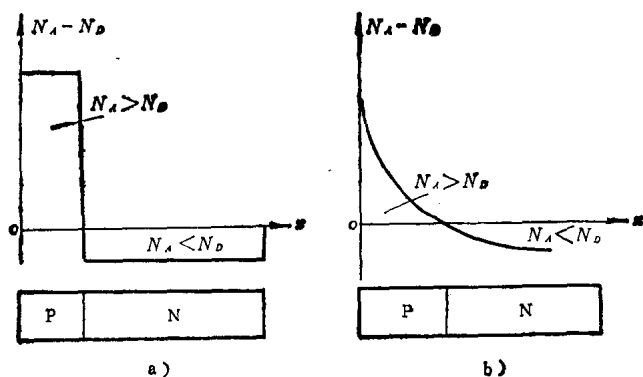


图2-1 两种P-N结的浓度分布

N_A —受主浓度 N_D —施主浓度 a) 突变结 b) 缓变结

N型硅半导体中，带正电可自由迁移的空穴则很少，此为少数载流子。在N型半导体单独存在时，虽然能自由迁移的电子和空穴数并不相等，但整体而言，半导体本身却呈电中性。这是由于在杂质电离形成能自由迁移的载流子时，同时在杂质中心留下束缚的异号固定电荷，此电荷数目与电离时形成的载流子数相等而电荷符号相反。在N型半导体中，电离的施主杂质中心的固定电荷带正电，在P型半导体中则有相反的情况，多数载流子为带正电的空穴，少数载流子为电子，电离的受主杂质中心带负电。

当N型半导体经扩散掺入受主杂质（如扩铝）局部变为P型半导体形成P-N结时，在结附近，由于能自由迁移的电子和空穴在单晶中具有通过扩散趋向均匀化的特性，因此，P-N结附近P型区中的空穴将向N型区扩散，并到达N区与自由电子复合；N区的电子则向相反方向扩散，到达P区与空穴复合。这样一来，在P-N结附近，即出现一段多数载

流子被复合而缺乏载流子的区域，此区称为“耗尽层”或“贫乏层”。由于多数载流子被复合，则P-N结附近的区域显现出被束缚的固定电荷的作用，此时，P区出现负的固定电荷，N区出现正的固定电荷，从而使“耗尽层”中有空间电荷存在。这种空间电荷在P-N结处形成一个内电场，称为“自建场”，电场的方向是自N区指向P区，它与载流子扩散电流的方向相反，此时将产生与扩散电流相反方向的电流，这是电场引起的“漂移电流”。当漂移电流与扩散电流相抵消时，则P-N结处电流达到动平衡状态，通过P-N结的总电流为零。由于P-N结处形成的耗尽层对于多数载流子的扩散具有阻挡作用，并有空间电荷存在，所以也称为“阻挡层”或“空间电荷区”。正是由于有阻挡层的存在，

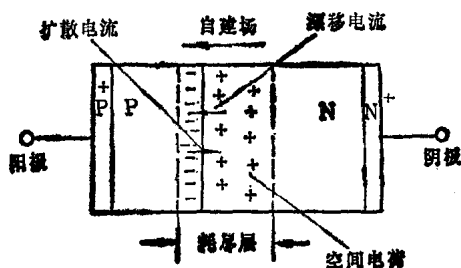


图2-2 P⁺-P-N-N⁺结构整流管简图

才使P-N结出现单向导电的整流特性（图2-2）。

如果P-N结加上正向电压，即P区接正极，N区接负极。此时，外加电压在耗尽层中形成的电场是从P区指向N区，它与空间电荷形成的自建场方向相反，削弱了自建场，从而使漂移电流减少，扩散电流增加。扩散电流大于漂移电流后，电流的动态平衡被破坏，P区、N区的多数载流子就不断地以扩散电流的方式穿过P-N结，形成很大的正向电流（电流密度可达100安/厘米²以上）。然而压降却很小，仅需克服结压降、体压降和接触压降（这三者总称通态压降，一

般只有1伏左右),此时P-N结近于导体情况,伏安特性见图1-2。

P-N结加上反向电压时,则外电场与自建场方向相同。这时P区、N区的多数载流子被拉向电极,使耗尽层加宽,耗尽层中载流子极少仅留下由杂质中心形成的束缚固定电荷。因而,此层导电困难,其特性与绝缘体类似,能承受较高的电场。在电压不高时,通过P-N结的反向电流小(微安~毫安级),这主要是由少数载流子引起的扩散电流和耗尽层中形成的产生电流所决定,常称之为漏电流。

从上面对P-N结的单向导电整流特性的定性分析可以看到:半导体P-N结导电特性,在一定条件下发生向对立面的转化,即在正向电压作用下,P-N结具有良好的导电性;而在反向电压作用下,则转为绝缘体特性。

(二) P-N结的能带结构〔5〕

对于半导体中载流子运动的定量分析,可用能带理论来加以讨论。

应用量子力学对晶体中电子状态加以分析,可以得出,电子在晶体中所允许占据的能级将组成一组组的能带,每组能带内能级相差很小,而各组能带之间则可能为不允许电子占据的禁带所隔开,见图2-3。晶体原子的最外层的价电子多处于低能量状态的价带(或称为满带)上。通常绝缘体中的价电子处于原子之间的共价键上而被强烈地束缚着,很难离开共价键而电离。从能带观点来看,绝缘体价带与导带间隔着较宽的禁带,价带被价电子所充满而导带上电子极少,故难以导电。金属中往往价带与导带相重叠,价电子都可到达导带参加导电,故电导率很高。半导体则处于两者之间,具有较窄的禁带,在常温下,将因热激发有少量电子从价带跃

迁到导带，而在导带中引起电子型导电，在价带中失去电子的“空位”则引起空穴型导电。这种方式引起的导电，称为本征导电。通常所

遇到的N型半导体或P型半导体，则是由位于禁带中的施主能级提供导带以电子或受主能级引起空穴，造成半导体中的载流子有明显的变化，从而形成具有杂质导电

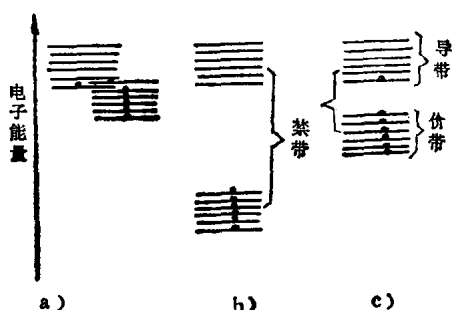


图2-3 导体、绝缘体和半导体的能带结构图

a) 导体 b) 绝缘体 c) 半导体

特性的杂质半导体。下面将讨论半导体中载流子浓度的计算。

半导体中，电子在各能级上占有几率随能量的变化是服从费米-狄喇克统计规律分布的，此几率 $f(E)$ 由下式给出

$$f(E) = \frac{1}{1 + e^{(E - E_F)/kT}} \quad (2-1)$$

式中 E_F ——费米能级；
 k ——波尔兹曼常数；
 T ——绝对温度。

当 $E < E_F$ ，而且， $E_F - E \gg kT$ ， $e^{-(E_F - E)/kT} \ll 1$ 时，则 $f(E) \approx 1$ 。即在远低于 E_F 的价带低能级处均被电子所占满。而在 $e^{-(E_F - E)/kT}$ 较小但不可忽略时， $f(E) \approx 1 - e^{-(E_F - E)/kT}$ ，空穴的占有几率 $[1 - f(E)] \approx e^{-(E_F - E)/kT}$ ，即价带顶处未被电子占据的空位（空穴）几率随能量的变化与波尔兹曼指数分布一致。

当 $E > E_F$ ，而 $(E - E_F) > kT$ 并满足 $e^{(E - E_F)/kT} \gg 1$ 时，

$f(E) \approx e^{-(E-E_F)/kT}$, 即在能量高于 E_F 的导带中电子按能量分布的占有几率亦与波尔兹曼指数式分布相一致。

由于我们研究的半导体多处于常温附近, $kT \approx 0.026$ 电子伏, 此值很小, 因而, 对于导带中电子浓度和价带顶的空穴浓度的分布均可采用波尔兹曼分布来加以讨论。

设 N_c , N_v 分别为导带和价带的有效态密度; E_c , E_v 分别为导带底和价带顶的能级, 则从上述的近似条件出发, 可得出导带电子浓度 n 和价带空穴的浓度 p , 如下式:

$$n = N_c e^{-(E_c - E_F)/kT} \quad (2-2)$$

$$p = N_v e^{-(E_F - E_v)/kT} \quad (2-3)$$

$$np = N_c N_v e^{-(E_c - E_v)/kT}$$

$$E_c - E_v = E_g$$

式中 E_g ——禁带宽。

所以

$$np = N_c N_v e^{-E_g/kT} \quad (2-4)$$

对于本征半导体, 导带电子由价带电子热激发所产生, 所以, $n = p = n_i$ (n_i 为本征载流子浓度), 则

$$np = n_i^2 = N_c N_v e^{-E_g/kT} \quad (2-5)$$

N型半导体, 由于施主杂质存在, 导带附近的禁带中具有施主杂质能级, 因此, 导带中的电子大部分由施主杂质能级激发而来, 如杂质能级与导带底能级相差较小, 则可认为在常温下杂质已全部电离, 此时, 如施主浓度为 N_D , 则

$$n_n = N_D = N_c e^{-(E_c - E_F)/kT} \quad (2-6)$$

$$p_n = \frac{n_i^2}{n_n} = \frac{n_i^2}{N_D} = N_v e^{-(E_F - E_v)/kT} \quad (2-7)$$

式中 n_n ——N型半导体中电子浓度;

p_n ——N型半导体中空穴浓度。